

広島市立大学審査博士学位論文

**MOSFET の容量特性からのパラメータ
抽出法に関する研究**

2020 年 9 月

辻 勝弘

要旨

MOSFET は微細化により、性能向上、低消費電力化、集積度の向上を同時に達成してきた。しかしながら、近年、微細化の進展に伴い、MOSFET の電流特性、容量特性がばらつくため、しきい値電圧といった重要なパラメータがばらつくという問題が生じている。それに加えて微細化が進むにつれて、ばらつきはさらに顕在化する恐れがある。特性ばらつきは VLSI (Very Large Scale Integration) の信頼性や製造歩留まりの低下といった問題を引き起こすため、電流特性、容量特性の評価は重要である。特に蓄積・空乏・反転領域を示す容量特性からは、しきい値電圧、フラットバンド電圧、酸化膜厚といったパラメータが推測可能なため、その評価は重要である。先行研究として電流特性ばらつきに関する研究報告は多くなされている一方、容量特性ばらつきに関する研究報告は、電流特性ばらつきのそれと比べて少ない。その理由は、たくさんの実寸法 MOSFET の容量を高精度でかつ高分解能で測定することが難しいと考えられるためである。よって、本研究では容量特性ばらつきを求め、それよりしきい値電圧ばらつき、フラットバンド電圧ばらつきを求め評価を行う。

そこで、まず初めに実寸法 MOSFET の容量特性を効率良くたくさん測定可能なテストストラクチャーの開発を行う。開発されたテスト回路は多数の実寸法 MOSFET を効率良く測定するために DMA (Device Matrix Array) にて構築される。テスト回路は 64 個のセル、行デコーダー、列デコーダーそして共通プロービングパッドを含む。個々のセルは、NMOS トランスファージェート部、CBCM (Charge-Based Capacitance Measurement) 部、DUT (Device Under Test) MOSFET から構成される。通常、MOSFET の容量は LCR メーターを用いて測定されるが、MOSFET の微細化が進むにつれて、測定システム等に含まれる寄生容量が相対的に増加するために、正確に容量を測定することが困難になってくる。そこで本研究では、容量特性の導出には集積回路の配線間容量を測定するために開発された CBCM 法を改良した CIEF (Charge-Injection-Induced-Error-Free) CBCM 法を用いた。この測定方法を用いた理由は、サブフェムトオーダーの分解能まで測定可能な方法だからである。CIEF CBCM 法により容量-電圧特性 (C-V 特性) を測定した結果、測定された実寸法 MOSFET の C-V 特性は、蓄積・空乏・反転領域を示すことがわかった。得られた C-V 特性から、MOSFET の重要なパラメータの一つであるしきい値電圧 (V_{TH}) の抽出を行った。その結果、開発したテスト回路は C-V 特性ばらつきから、しきい値電圧ばらつきを評価可能であることが示された。

次に、容量特性から得られた実寸法 MOSFET におけるしきい値電圧ばらつきが、電流特性によって得られたそれらと比較される。そしてそれらの差について述べられるが、この言及は本

研究が初めてである。容量特性から得られるしきい値電圧ばらつきと電流特性から得られるそれらの比較にはペルグロムプロットを用いた。その結果、容量特性によって得られたしきい値電圧ばらつきは、電流特性のそれらと同様のふるまいを示すこと、そして容量特性から得られたしきい値電圧ばらつきの絶対値は電流特性によって得られたそれらより小さいことがわかった。その差の理由は、部分的に電流経路に沿った局所的なチャネルドーパントの不均一性が、電流測定から得られるしきい値電圧ばらつきを大きくするためである。しきい値電圧の分散が $\sigma^2(V_{TH})$ であるとき、それは $\sigma^2(V_{TH}) = \sigma^2(RDF) + \sigma^2(\text{others})$ で表される。ここでRDFはRandom Dopant Fluctuationで、しきい値電圧ばらつきの支配的な成分であることが報告されている。othersはRDF以外のしきい値電圧ばらつきの成分を表す。フラットバンド電圧ばらつきはEOT (Equivalent Oxide Thickness : 等価酸化膜厚)などと同様に、このothersに含まれるしきい値電圧ばらつきの成分の一つと考えられる。しきい値電圧ばらつきからフラットバンド電圧ばらつきの分離に成功したのは本研究が初めてである。その結果、測定されたC-V特性から得られたフラットバンド電圧ばらつきは小さく、そしてしきい値電圧ばらつきにとって重要でないことがわかった。

さらに、MOSFETのモデリングにおいて重要なパラメータの一つである、実効チャネル長の抽出方法について述べられる。電流特性からの実効チャネル長の抽出方法は多く報告されているが、本研究では、ゲート電圧の関数としてMOSFETの実効チャネル長(L_{CRM})をチャネル抵抗法で抽出する。その結果、 L_{CRM} は強くチャネルドーパントの不均一性とゲート電圧によって影響されることが観測された。この特性を考慮して、新しいチャネル長の定義を設計者と技術者の両方に共通のチャネル長の解釈を与えるために提案する。これは一定で均一なチャネルを有するMOSFETにおける古典的な電流方程式に従う。次に、容量特性から実効チャネル長を抽出するが、その抽出方法に関する報告は電流特性から抽出する方法と比べて少ない。その理由の一つとして、寄生容量が著しく測定された容量に影響を及ぼし、そして容量からの抽出方法に誤差を引き起こすためである。本研究では、C-V特性から寄生容量を除いた実寸法MOSFETのゲート容量から実効チャネル長 (L_{GCM}) を求める。その結果、ゲートチャネル容量と設計チャネル長との間に強い線形関係が得られた。 L_{GCM} は測定されたMOSFETのドレイン電流から抽出された実効チャネル長 L_{CRM} よりわずかに小さいことがわかった。

最後に、パラメータ抽出は正確なモデリングにおいて有用であることを示す。そのためにPower MOSFETの一種である、オフセットゲートMOSFETのモデリングを行った。本研究では、オフセットゲートMOSFETをMOSFET, JFET, 抵抗の3素子で近似した回路によりモデル化した。そのモデルに対して、実効チャネル長などの構造パラメータが変化した場合における開発したモデルの近似精度を調べた。その結果、rms (root mean

square) により評価された誤差はいずれも約5%前後に収まることがわかった。よって、近似したモデルが回路モデルとして、構造パラメータが変化した場合においても有効であることが定量的に示された。

目次

第 1 章 序論	1
1.1 背景	1
1.2 目的	3
1.3 本論文の構成	3
参考文献	5
第 2 章 CBCM 法を用いた実寸法 MOSFET の容量測定回路の開発	7
2.1 序言	7
2.2 容量測定回路の開発	7
2.2.1 実寸法容量測定回路の開発	7
2.2.2 CBCM 法による容量測定	9
2.3 改良型実寸法容量測定回路の開発	10
2.3.1 容量測定回路の改良	10
2.3.2 容量測定方法の改良	11
2.3.3 測定結果	12
2.3.4 サイズ効果の除去	13
2.3.5 しきい値電圧ばらつきの抽出の可能性	15
2.4 結言	15
参考文献	26
第 3 章 しきい値電圧ばらつきの抽出と評価	27
3.1 序言	27
3.2 しきい値電圧の抽出	27
3.3 しきい値電圧のばらつき	28
3.4 ペルグロムプロット	29
3.5 電流電圧特性から得たしきい値電圧ばらつきとの比較	30
3.6 電流ばらつきへの不純物ドーパントの不均一性の影響	30
3.7 フラットバンド電圧の抽出	32
3.8 フラットバンド電圧のばらつき	32
3.9 しきい値電圧ばらつきとフラットバンド電圧ばらつき	33
3.10 結言	34
参考文献	44
第 4 章 実効チャネル長の抽出	46
4.1 序言	46
4.2 CRM による実効チャネル長の抽出	46

4.2.1	実効チャネル長 L_{EFF} の定義	46
4.2.2	Channel Resistance Method (CRM)	47
4.2.3	テストデバイスと測定手順	48
4.2.4	$\Delta L-V_{GT}$ 関係	48
4.2.5	実効チャネル長の再考	49
4.2.6	CRM の実効チャネル長の再考におけるディスカッション	51
4.3	GCM による実効チャネル長の抽出	53
4.3.1	C-V カーブの測定	53
4.3.2	寄生容量の除去	54
4.3.3	周辺効果の除去	55
4.3.4	ゲート-ソース間, ゲート-ドレイン間容量の除去	55
4.3.5	GCM によるチャネル長抽出	57
4.3.6	GCM による実効チャネル長抽出におけるディスカッション	58
4.4	結言	60
	参考文献	75
第 5 章	MOSFET のモデリング	77
5.1	序言	77
5.2	オフセットゲート MOSFET のモデリング	77
5.2.1	モデル化	77
5.2.2	MOSFET の式	78
5.2.3	JFET の式	79
5.2.4	解析及び評価方法	80
5.2.5	結果および考察	81
5.3	結言	82
	参考文献	86
第 6 章	結論	87
	謝辞	89
	研究業績と本論文の対応	90
	研究業績	91
	学術論文誌 (査読あり)	91
	国際会議 (査読あり)	91

第 1 章 序論

1.1 背景

BTL(Bell Telephone laboratory) の Attala と Kahng が 1960 年に MOSFET(Metal-Oxide-Semiconductor Field-Effect-Transistor)を開発して以来、MOSFET は次のように、ムーアの法則に従い発展を続けてきた。Intel の創設者の一人である Gordon E. Moore(当時は Fairchild 社勤務)が、Electronics Magazine 誌 1965 年 4 月 19 日号に『半導体素子に集積されるトランジスタ数が 1965 年まで 1 年に 2 倍の割合で増加した事実から、1975 年には 65,000 個の素子が集積されるだろう』という予測を発表した[1]。その後、増加の係数は 18 ヶ月～24 ヶ月に 2 倍と変化したが、チップに集積されるトランジスタ数が一定の期間で倍増するというムーアの法則は、以後 40 年にわたり半導体の技術開発や経営の基本指針となった[2]。

MOSFET の性能を向上させる原理は微細化である。ムーアの法則により 2000 年ころまでは、DRAM(Dynamic Random Access Memory)が微細化技術をけん引した。これにより、MOSFET のゲート長は 3 年で約 0.7 倍という一定の速さで指数関数的に微細化されてきた。2000 年以降は、マイクロプロセッサが DRAM に代わって微細化をけん引するようになり、その速さに拍車がかかるようになった[3]。ITRS(国際半導体技術ロードマップ)によれば、2009 年に 27 nm、2015 年には 15 nm 程度のゲート長を有する MOSFET が実用化されることが見込まれていた[4]。

VLSI(Very Large-Scale Integration)の発展をけん引したのも MOSFET の微細化である。微細化により MOSFET は、性能向上、低消費電力化、集積度の向上を同時に達成してきた。しかしながら、微細化に伴い素子特性のばらつきの顕在化、高集積化による回路設計の複雑化により回路シミュレーションが困難になるといった問題も生じてきており、微細化の利点が薄れてきている。ばらつきは製造プロセスに起因するものであり、ばらつきをなくすことはできない。電気的特性のばらつきに関しては微細化が進むにつれてさらにばらつきが顕在化する恐れがあり、特性ばらつきは VLSI の信頼性や製造歩留まりの低下といった問題を引き起こすため、電流特性、容量特性の評価は

重要である．さらに蓄積・空乏・反転領域を示す容量特性からは，しきい値電圧，フラットバンド電圧，酸化膜厚といったパラメータが推測可能なため，その評価は重要である．しかしながら，電流特性ばらつきに関する研究は多く報告されているが[5-9]，容量特性のばらつきに関する報告は，電流特性のばらつきのそれと比べると少ない[10]．その理由は，たくさんの MOSFET の容量を高精度でかつ高分解能で測定することが難しいと考えられるためである．よって，本研究では容量特性からしきい値電圧，フラットバンド電圧を求め，容量特性ばらつきから，上記の 2 つのパラメータばらつきを導出する．

そこでまず初めに，実寸法 MOSFET の容量特性を効率良く測定可能なテストストラクチャーの開発を行う．通常 MOSFET の容量は LCR メーターを用いて測定されるが，MOSFET のスケーリングが進むにつれて，MOSFET に含まれる寄生容量が比較的増加するために，正確に容量を測定することが困難になってくる．そこで本研究では容量特性の導出には配線間容量を測定するために開発された CBCM (Charge-Based Capacitance Measurement) 法[11]を改良した CIEF (Charge-Injection-Induced-Error-Free) CBCM 法[12]を用いた．この測定方法を用いた理由は，サブフェムトオーダーの分解能まで測定可能な方法だからである．この方法により，MOSFET の容量-電圧特性(C-V 特性)を測定し，蓄積・空乏・反転領域のそろった特性を得る．そして，MOSFET において最も重要と考えられるしきい値電圧の抽出を試みる．さらに C-V 特性のばらつきから，しきい値電圧ばらつきを求め，評価を行う．しきい値電圧ばらつきでは Random Dopant Fluctuation (RDF)が支配的な成分であることが報告されているが[7]，RDF がすべてではない．よって，RDF 以外のばらつき成分として考えられるフラットバンド電圧を抽出し，そのばらつきについて評価を行う．

回路シミュレーションの問題に対しては，精度の良いデバイスモデルを用いることで対応可能と考えられる．なぜならば，回路シミュレーションの精度は，デバイスモデルの精度に依存するためである．デバイスモデルの精度をよくするためには，パラメータの良い抽出技術が必要になる．そこで，モデリングにとって重要なパラメータの一つである実効チャンネル長をチャンネル抵抗法[13]と寄生容量を除いたゲート容量から求める[14]．そして両者の

比較を行う。次に、パラメータ抽出は正確なモデリングにおいて有用であることを示す。本研究では実効チャンネル長を抽出し、設計チャンネル長が変化した場合にも対応できることを示すために、比較的low耐圧な Power MOSFET の一種であるオフセットゲート MOSFET のモデリングについて述べる。そして最後に本研究の結論を述べる。

1.2 目的

本論文の目的は、

1. しきい値電圧ばらつきとフラット電圧ばらつきを求め、しきい値電圧ばらつきからフラット電圧ばらつきを分離する
2. 電気的特性をモデル化するのに重要な実効チャンネル長をチャンネル抵抗法と、ゲート容量から抽出したそれぞれの実効チャンネル長の比較を行う
3. モデリングの例として、比較的low耐圧な Power MOSFET のモデリングについて述べる

ことが主な目的である。

1.3 本論文の構成

第1章（本章）にて、本論文の研究背景、目的、本論文の構成について述べる。第2章では MOSFET の重要なパラメータであるしきい値電圧を効率よく抽出するために、抽出用に容量を測定する回路の開発とそれからしきい値電圧を抽出することができることについて述べる。第3章では、第2章にて開発した回路を用いて測定した容量からしきい値電圧を抽出し、それらのばらつきについて述べる。さらに、しきい値電圧とフラットバンド電圧の分離について述べる。第4章では、電気的特性をモデル化するのに重要な、MOSFET の実効チャンネル長の抽出に関して、チャンネル抵抗法とゲート容量からの抽出方法について述べる。第5章ではモデリングの例として、比較的low耐圧な Power MOSFET のモデリングについて述べる。そして最後に第6章

では本論文のまとめについて述べる.

参考文献

- [1] G. E. Moore, “Cramming more components onto integrated circuit,” *Electronics*, Volume 38, (1965).
- [2] 新電気編集部 編 “エレクトロニクス入門早わかり” オーム社 (1999).
- [3] 平本俊郎 編著 “集積ナノデバイス” 丸善 (2009).
- [4] International Technology Roadmap for Semiconductors, 2013 Edition (<http://www.itrs2.net/>).
- [5] 平本俊郎, 竹内潔, 西田彰男, “MOS トランジスタのスケーリングに伴う特性ばらつき” *電子情報通信学会誌* Vol.92, No.6, pp.416-426, (2009).
- [6] A. Asenov, S. Kaya, and A. R. Brown, “Intrinsic parameter fluctuations in decananometer MOSFETs introduced by gate line edge roughness,” *IEEE Trans. Electron Devices*, vol. 50, no. 5, pp.1254-1260, May (2003).
- [7] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “Analysis of 5s Vth Fluctuation in 65nm-MOSFETs Using Takeuchi Plot,” 2008 Symp. on VLSI Tech. Dig. of Tech. Papers, 2008, pp.156-157, (2008).
- [8] T. Tsunomura, A. Kumar, T. Mizutani, C. Lee, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “ Analysis and prospect of Local Variability of Drain Current in Scaled MOSFETs by a New Decomposition Method,” 2010 Symp. on VLSI Tech. Dig. of Tech. Papers, 2010, pp.97-98, (2010).
- [9] T. Tsunomura, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “High-Temperature Properties of Drain Current Variability in Scaled Field-Effect Transistors Analyzed by Decomposition Method,” *Jpn. J. Appl. Phys.*, **50** pp.04DC08-1-04DC08-5, (2011).
- [10] A. R. Brown, and A. Asenov, “Capacitance fluctuation in bulk MOSFETs due to random discrete dopants,” *J. Comput. Electron*, pp115-118, (2008).
- [11] J. C. Chen, B. W. McGaughey, D. Sylvester, and C. Hu, “An on-chip, attofarad interconnect charge-based capacitance measurement (CBCM) technique,” *IEDM Tech. Dig.*, 1996, pp. 69-72, (1996).

- [12] Y. W. Chang, H. W. Chang, C. H. Hsieh, H. C. Lai, T. C. Lu, W. Ting, J. Ku, and C. Y. Lu, "A novel simple CBCM method free from charge injection-induced errors," *IEEE Electron Device Lett.*, vol. 25, no. 5, pp. 262-264, May (2004).
- [13] Kazuo Terada, Kazuhiko Sanai, and Katsuhiro Tsuji, "Reconsideration of effective channel length for metal-oxide-semiconductor field-effect transistor," *Jpn. J. Appl. Phys.* **53** pp.064303-1-064303-6, (2014).
- [14] Katsuhiro Tsuji, Kazuo Terada, and Hisato Fujisaka, "Study on effective MOSFET channel length extracted from gate capacitance," *Jpn. J. Appl. Phys.*, **57** pp.016601-1-016601-7, (2018).

第 2 章 CBCM 法を用いた実寸法 MOSFET の容量測定回路の開発

2.1 序言

本章では, CBCM (Charge-Based Capacitance Measurement) 法 [1] を用いて, 実寸法 MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) の容量-電圧特性を効率よく多数の素子に対して測定を行う回路を開発する. 多数の素子を効率よく測定できる回路の開発を目指すのは, 容量-電圧特性からしきい値電圧等のパラメータを抽出し, そのばらつきを評価できるようにするためである. 開発には CMOS 65 nm 1.2 V 標準プロセス及び CMOS 0.6 μm 3 V 標準プロセスを用いた.

2.2 容量測定回路の開発

2.2.1 実寸法容量測定回路の開発

図 2-1 は電流-電圧特性 (I-V 特性) を多数効率よく測定するために開発された回路 TEG (Test Element Group) のレイアウトを示している [2]. この回路 TEG は DUT (Device Under Test: 被測定素子) は CMOS 65 nm 1.2 V 標準プロセスで作製されており, その他の全ての MOSFET は (例えばデコーダ一部分等) CMOS 0.6 μm 3 V 標準プロセスで作製されている. 本研究では, この回路 TEG を応用し, 実寸法 MOSFET の容量-電圧特性 (C-V 特性) 測定回路 TEG の開発を行った.

図 2-2 に開発した回路 TEG のレイアウトを示す. レイアウトの赤い四角は 24 個の共通プローブパッドで 24 ピンの探針で測定を行う. 図 2-3 は共通プローブパッド部を除いたレイアウトの概略図を表している. 開発した回路 TEG は DMA (Device Matrix Array [3]) 状に構築されており, 64 個のセル, row デコーダーと column デコーダーと共通プローブパッドからなる. 64 個中のうち 1 つのセル (ユニットセル) が row デコーダーと column デコーダーによって選択される. row デコーダーと column デコーダーは CMOS 0.6

μm 3 V 標準プロセスで作製されている。図 2-4 はユニットセルの等価回路図を示している。ユニットセルは N-channel MOSFET (NMOS) トランスファークラーク部、CBCM 部、DUT MOSFET からなる。緑の線で囲まれているのは、デコーダの出力を受ける NMOS トランスファークラーク部である。破線で囲まれている部分が CBCM 部である。CBCM 部は一对の NMOS と P-channel MOSFET (PMOS) が直列接続された擬似インバータで構成され(図中の赤線部)、NMOS と PMOS の中間ノードに DUT MOSFET が接続されている。この擬似インバータ部へ図 2-5 に示すパルスを加えることで DUT MOSFET への充電と放電を行う。オレンジで囲まれているのは、測定精度を高めるために採用したケルビン接続を示している。ノード名の F がフォース、S がセンスを表している。ユニットセルの DUT MOSFET は CMOS 65 nm 1.2 V 標準プロセスで作製されており、その他のユニットセルの全ての MOSFET は CMOS 0.6 μm 3 V 標準プロセスで作製されている。このセルが選択されたとき、ノード V1F, V1S, V2F, V2S, CLOCK1 と CLOCK2 が NMOS トランスファークラークを通じて共通プローブパッドに接続される。

DUT の容量 (C_{DUT}) は V1F, V2F を流れる充放電電流を測定することによって(2-1)式から得られる。

$$C_{DUT} = \frac{I_{DUT} - I_{REF}}{f \cdot (VDDQ - VSSQ)} \quad (2-1)$$

ここで、 I_{DUT} と I_{REF} はそれぞれ、V2F 端子と V1F 端子で測定された電流である。 f は CLOCK1 と CLOCK2 へ入力される印加パルスの周波数であり、 $VDDQ$ は V1F と V2F の両方への印加電圧である。 $VSSQ$ は擬似インバータの NMOS のソース電圧である。CBCM 法によって測定された電流は平均値である。それ故、(2-1)式から得られる C_{DUT} もまた平均容量であると考えられる。もし両方の擬似インバータの寄生成分が一致しており、かつ“REFERENCE”に何も接続されていないならば(つまり DUT MOSFET が接続されていないならば)、 C_{DUT} は(2-1)式から簡単に見積もられる。しかしながら、それぞれの擬似インバータは偏差 (σ_{inv}) があるので、我々は DUT の容量を見積もるためにそれを考慮する必要がある。この節では REFERENCE に DUT が接続されていないいくつかのセルにおける平均電流を、それぞれの擬似インバータの σ_{inv} の

影響を減少させるために、(2-1)式の I_{REF} として用いる。

2.2.2 CBCM 法による容量測定

CBCM 法による測定の困難さは、MOSFET の容量の蓄積から空乏、反転の幅広いレンジを確保することである。充放電電流の測定は、Agilent Technology 社（現キーサイト社）の B1500A 半導体デバイスアナライザーにより行った。図 2-6 は 16 個の DUT に対して容量対 V_{SSQ} 電圧をプロットしたものを示している。測定された DUT の寸法はチャンネル幅 $W = 1.0 \mu\text{m}$ 、チャンネル長 $L = 1.0 \mu\text{m}$ である。擬似インバータへの入力パルスは電圧振幅 0 から 1 V、周波数 1 MHz である。図 2-6 に示されるように、容量は徐々に増加し、その後 $V_{SSQ} > 0.5 \text{ V}$ のところにおいて V_{SSQ} が増加するにつれて急激に減少していることがわかる。これは擬似インバータの NMOS のソースにおける電位が上昇し、それからゲート-ソース間電圧が NMOS のしきい値電圧よりも小さくなるためである。ターンオフ点が 16 個の DUT で異なるのは、擬似インバータの MOSFET のしきい値電圧の偏差 ($\sigma_{\text{inv_th}}$) のためである。 V_{DDQ} を変化させ、 V_{SSQ} を一定に保った場合においても、図 2-6 と同様な特性が、擬似インバータの PMOS のしきい値電圧の影響により観測された。それゆえ、蓄積、空乏、反転状態を含む連続した MOSFET の C-V 曲線を得るためには、電流測定のバイアス条件が擬似インバータの MOSFET のしきい値電圧の影響を防ぐように、改良する必要がある。図 2-4 において、 V_{DDQ} や V_{SSQ} を変化させても C-V 曲線は得られないので、唯一 DUT MOSFET の基板電圧が C-V 曲線を得るために変化させることができる。言い換えると、 $V_{DUTwell}$ 端子の電圧が曲線を得るために変化させられる。

図 2-7(a)は $V_{DUTwell}$ 端子の電圧を変化させて測定した 16 個の DUT MOSFET を持たない“REFERENCE”側の電流特性を示している。このとき、 V_{DDQ} と V_{SSQ} はそれぞれ、1.0 V と 0.5 V に固定されている。 V_{DDC} と V_{SSC} は測定の間、 $V_{DUTwell}$ の電圧と等しい電圧が印加されるように接続されている。測定された電流特性に振動が観測されることがわかる。その振動の原因は電源や周辺回路の浮遊容量からくるノイズに引き起こされるものかもしれない。さらに、それぞれの特性の間にわずかな差が、異なるセル内における擬似インバータの MOSFET 間のソース/ドレイン接合やオーバーラップ

容量の偏差 (σ_{inv_par}) によって引き起こされる。それらの影響を取り去るために、図 2-7(b)に示されるように、測定された電流は全ての測定電圧において平均化処理によって平滑化される。この方法によって、得られた平均データは(2-1)式を使って DUT 容量を見積もるための I_{REF} として用いられる。

図 2-8 は、 $W/L = 4.0 \mu\text{m}/4.0 \mu\text{m}$ の 16 個の DUT MOSFET の C-V 曲線を示している。これらの曲線はチャネル面積で正規化されている。この大きなサイズの MOSFET は同じプロセスによって作製された。見積もられた C-V 曲線は、DUT MOSFET の P-well 電圧である $VDUTwell$ 電圧を変化させたときの測定から得られた。 $VDUTwell$ 電圧が変化させられたので、その電圧は(2-2)式を使うことによって DUT MOSFET の実効ゲート-基板間電圧 $Vgwell$ に変換する必要がある。

$$Vgwell = (VDDQ + VSSQ)/2 - VDUTwell \quad (2-2)$$

これらの容量特性は、図 2-8 の左から右に向かって蓄積、空乏、反転状態を表していると考えられる。結果として、DUT MOSFET の C-V 曲線が得られたと考えられる。通常の LCR メーターで測定された丸印付きの赤線の曲線は大きいサイズの MOSFET、これは $W/L = 100 \mu\text{m}/10 \mu\text{m}$ の容量を表す。この曲線もまた、チャネル面積で正規化されている。しかしながら、 $Vgwell$ の絶対値が増すにつれて、大きいサイズの MOSFET と DUT MOSFET の間の曲線の差が増していることがわかる。平均化によって測定ノイズの低減化と擬似インバータの NMOS のしきい値電圧のターンオフの回避の両方が行われたが、得られた C-V 曲線は LCR メーターの特性と一致せず、うまく再生されなかった。したがって、テストストラクチャーと測定方法は C-V 曲線の見積りの正確さを増すために改良される必要がある。

2.3 改良型実寸法容量測定回路の開発

2.3.1 容量測定回路の改良

2.2 節の議論から測定可能な C-V 曲線の電圧範囲が制限され、寄生容量の偏差 σ_{inv_par} が平均化によって取り除くことができないことがわかった。したがって、我々はより正確な MOSFET の C-V 曲線を測定するためにテストストラクチャーを改良する必要がある。図 2-9 は改良されたテストストラクチャーの等価回路図を示している。図 2-10 は改良されたテストストラクチャーに印加されるパルス波形を示している。図 2-4 の 2 つの擬似インバータは、図 2-9 では 2 つの直列接続された CMOS トランスマッションゲートに置き換えられている[4]。この方法では、DUT に適用できる電圧範囲を増すことができる。というのも、トランスマッションゲートの MOSFET のしきい値電圧によって制限されないためである。この方法のデメリットはトランスマッションゲートの採用により寄生成分が増加することである。しかしながら、それらは CIEF CBCM[5]によって消失させることが可能である。また、DUT と参照用 (REFERENCE) デバイス間の容量のミスマッチによって引き起こされる誤差を防ぐためにも、CIEF CBCM 法が採用される。

2.3.2 容量測定方法の改良

CIEF CBCM 法では、DC 電流が 2 回測定される。最初のステップ (STEP1) では、図 2-10(e)に示されるような、一定の電圧 $VSSQ$ が $VDUT_{well}$ 端子に印加される。このステップでは、電流 (I_{STEP1}) が中間ノードの容量の充電と放電に使われ、すなわち、 C_{DUT} と寄生容量、これは主に CMOS トランスマッションゲートからなる周辺回路に含まれる、 C_{peri} との和である。2 番目のステップ (STEP2) では、図 2-10(f)の制御パルスが $VDUT_{well}$ 端子に印加される。これは C_{DUT} を見えなくする。というのも、DUT MOSFET のゲート容量にかかる電圧変化がないためである。それゆえ、STEP2 での電流 (I_{STEP2}) は寄生容量 C_{peri} のみを充電、放電するのに用いられる。 C_{DUT} に寄与する正味の電流は I_{STEP1} から I_{STEP2} を引くことによって得られる。そのとき C_{DUT} は次のように表される。

$$C_{DUT} = \frac{1}{f} \cdot \frac{d(I_{STEP1} - I_{STEP2})}{dVDDQ} \quad (2-3)$$

ここで、 f は図 2-10 の制御パルスの周波数である． CIEF CBCM を用いるとき、参照用デバイスは必要ない．それゆえ、DUT と参照用デバイスの両方が DUT とみなされうる．この方法では、測定精度の改善が期待される．

2.3.3 測定結果

図 2-11 は改良された回路と測定方法を用いて測定された NMOS の C-V 曲線を表しており、図 2-11 はチャンネル面積 LW で正規化されている．この図は通常の NMOS の C-V 曲線に相当する．これは左から右側に向かって、蓄積、空乏、反転状態を示している．図中の、横軸は(2-4)式のように再定義される DUT MOSFET のゲートと基板間の実効電圧である V_{gwell} を表している．

$$V_{gwell} = VDDQ - VDUTwell \quad (2-4)$$

再定義の理由は、容量の測定方法が変えられたために、DUT MOSFET のゲートと基板間の実効電圧が変化するためである．図 2-11 の測定条件は次のとおりである． $f = 0.45$ MHz, $VDDQ = 0 \sim 1.2$ V, $VSSQ = 0$ V (これは V_{gwell} が正の範囲のとき)そして、 $VSSQ = 1.2$ V (これは V_{gwell} が負の範囲のとき)である．図 2-10 の複雑な構成のパルス間の時間間隔的なオーバーラップを防ぐために、それらのパルスの周波数は 0.45 MHz に低下させられている．以上のことより合理的な曲線が、改良されたテストストラクチャーによって得られたことがわかる．図 2-11 において、○印は $W/L = 4.0 \mu\text{m}/4.0 \mu\text{m}$ の MOSFET の C-V 関係を示している．これは本研究で提示された方法によって測定されたものである．□印は $W/L = 100 \mu\text{m}/10 \mu\text{m}$ の MOSFET の C-V 関係を示している．これは通常のインピーダンスメーターによって測定されたものである．図 2-11 より、両方の曲線がよく一致し、周辺回路に存在する寄生容量 C_{peri} がうまく除かれていることがわかる．両方の関係の一致は、 C_{DUT} に含まれる寄生成分がチャンネル面積の容量よりもずっと小さいために、引き起こされる．DUT のサイズが、 $W/L = \{0.6 \text{ と } 1.0 \mu\text{m}\}/\{0.12, 0.25, 0.6 \text{ と } 1.0 \mu\text{m}\}$ における同様のデータが図 2-11 にまた示されている．ここで、それぞれのサイズにおいて 24 個のデータが重ねあわされて図示されている．

実線と破線はそれぞれ、チャンネル幅 $0.6\ \mu\text{m}$ と $1.0\ \mu\text{m}$ における C-V 曲線を示している。それぞれ 24 個の MOSFET の測定された曲線が、デバイスサイズが小さくなるにつれて、上のほうにシフトしていることがわかる。この理由は、 C_{DUT} が寄生容量、例えば、フリンジ容量、ゲート-ソース間領域、ゲート-ドレイン間領域、ゲート-ボディ間領域のオーバーラップ容量、そして周辺絶縁領域の容量などの寄生容量を含むため、チャンネル面積と独立な DUT MOSFET の寄生成分がゲート容量とともに正規化されてしまうためであると考えられる。それらの容量は、寄生容量として取り扱い、以後、それぞれ、チャンネル幅側の成分を C_{par_w} 、チャンネル長側の成分を C_{par_L} と名づける。

2.3.4 サイズ効果の除去

図 2-12 は、図 2-11 の $V_{gwell} = -0.05\ \text{V}$ のときの W で正規化された、平均 C_{DUT} 、 C_{DUT}/W 対チャンネル長 L を示している。図 2-12 の直線は、データ点における回帰直線である。それらの直線が縦軸を横切る点は、ゲート-ソース間、ゲート-ドレイン間のフリンジ容量とオーバーラップ容量を表している [6]。理想的には、もしゲート電極周りに寄生成分が存在しなければ、二つの直線は y 軸上の 1 点で交わるが、しかしながら、それらの両者の間には差が存在する。その理由は、容量成分、これは y 軸上の交点で表される、たとえばフリンジ容量やオーバーラップ容量のようなソース/ドレイン側の成分 C_{par_w}/W だけでなく、コーナーに存在する絶縁領域の寄生成分、 C_{ISO_cor} [7] もまた含むためと考えられる。それゆえ、 y 軸上の交点を C_{par_w}/W と C_{ISO_cor} にわけると、我々は、次の(2-5)式を得ることができる。

$$C_{DUT_L0}/W = C_{par_w}/W + 4 \times C_{ISO_cor}, \quad (2-5)$$

ここで、 C_{DUT_L0}/W は y 軸の交点から得られる、チャンネル長が 0 に等しいときの容量を表す。 y 軸上の値をチャンネル幅でかけると、我々はチャンネル幅に依存する C_{par_w} としてフリンジ容量とオーバーラップ容量を計算することができる。その後、チャンネル長側の寄生容量 C_{par_L} が同様に $C'_{DUT} (= C_{DUT} - C_{par_w} - 4C_{ISO_cor})$ から見積もることができる。図 2-13 は C'_{DUT}/L のチャンネル

長依存性を示している。図の実線は回帰直線を表している。y 軸上のそれらの交点がほとんど一点で交わっていることがわかる。その理由は、コーナーの絶縁領域の C_{ISO_cor} 成分が先に定義したように C'_{DUT} から除去されたためと考えられる。それゆえ、y 軸上の交点の寄生成分は次の(2-6)式で得ることができる。

$$C'_{DUT_w0}/L = C_{par_L}/L, \quad (2-6)$$

ここで、y 軸の交点から得られる C'_{DUT_w0}/L はチャネル幅が 0 に等しいときの容量を表す。y 軸の交点の値をチャネル長でかけることによって、我々はゲート-ボディ間容量と C_{par_L} としてチャネル長側の絶縁領域の寄生容量を得ることができる。結果から、寄生容量が $V_{gwell} = -0.05$ V において正確に得られたと考えられる。それゆえ、上述の結果から、より正確な DUT MOSFET のゲート容量が C'_{DUT} から C_{par_L} を引くことによって得られる。図 2-14 は、 $V_{gwell} = -0.05$ V のときの、平均の C_{DUT} と補正された平均の真性 MOSFET ゲート容量 $C_G \{=(C_{DUT} - C_{par_w} - 4C_{ISO_cor}) - C_{par_L}\}$ のそれぞれのサイズにおける比較を示している。また両者はチャネル面積で正規化されている。●印が平均 C_{DUT} を示している。■印が C_{DUT} から C_{par_w} , C_{par_L} , そして $4C_{ISO_cor}$ を引いた後の平均 C_G を示している。破線は、 $W/L = 100 \mu\text{m}/10 \mu\text{m}$ の容量の値を示している。 C_G が、大きいサイズの MOSFET の容量と一致していることがわかる。したがって、より正確なゲート容量 C_G が、C-V 曲線の全体の領域から寄生容量を除去することによって、得られると考えられる。図 2-15 は、 C_{par_w} , C_{par_L} , そして $4C_{ISO_cor}$ によって C_{DUT} を補正した後の、チャネル面積 LW で正規化された C_G を示している。□印は LCR メーターによって測定されたデータを表している。LCR メーターによる□印と C_G 曲線の間の差が、 V_{gwell} の絶対値が大きくなるにつれて、増大することがわかる。その理由は、 $V_{gwell} = -0.05$ V における寄生容量の平均値が、 C_{DUT} を補正するために C-V 曲線の全領域に用いられたためである。

2.3.5 しきい値電圧ばらつきの抽出の可能性

しきい値電圧 V_{TH} のばらつき $\sigma(V_{TH})$ を見積もるために、我々は V_{TH} を図 2-16 に示すように、ある容量 C_{VTH} が C-V 曲線と交わる電圧として定義する。本章では、 $\sigma(V_{TH})$ は C_{DUT} から見積もられる。というのは、 C_G から見積もられたばらつきは、平均化処理によってサイズ効果を除去することにより不正確になると考えられるためである。C-V 曲線は縦方向のばらつきを有するけれども、 V_{TH} の決定にはほとんど影響はないと考えられる。というのも、C-V 曲線が急激に増加する一点を得て決定されるためである。図 2-17 に見積もられた $\sigma(V_{TH})$ (○印) が示されている。それらはペルグロムプロット[8] と呼ばれる回帰直線と良く一致していることがわかる。(ペルグロムプロットについては第 3 章で簡単に述べる。) このことは、I-V (電流-電圧) データからの見積りを必要とせずに、MOSFET の特性ばらつきの推定を可能にする。

2.4 結言

本章では、CBCM におけるテストストラクチャーとその測定方法を改良した。結果として、サイズ効果を測定された C-V 曲線から除去することによって、より正確な実寸法 MOSFET のゲート容量が得られることがわかった。得られた C-V 曲線は、蓄積・空乏・反転領域を示すことがわかった。さらに、C-V 曲線のばらつきから、MOSFET のしきい値電圧ばらつきを抽出することに応用することが可能であることが示された。

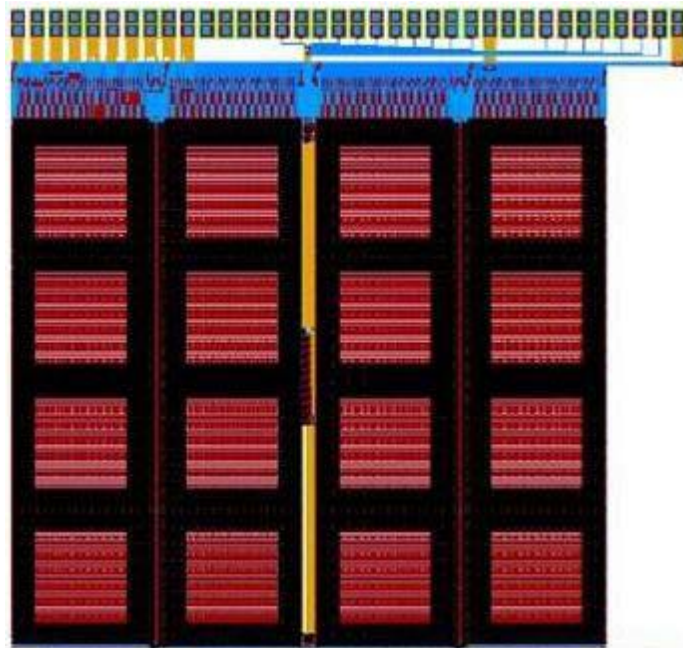


図 2-1 電流-電圧特性を測定するための回路レイアウト[2]

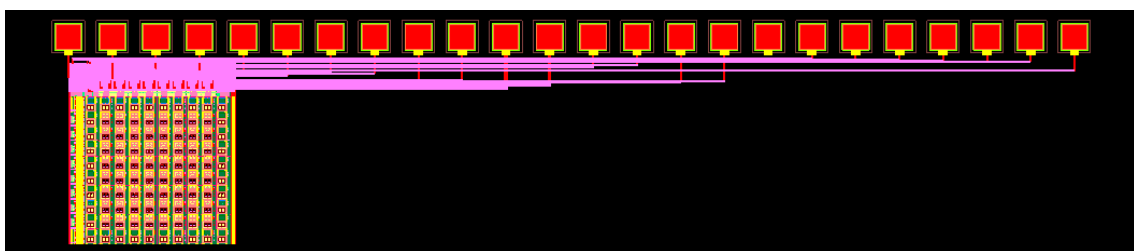


図 2-2 容量-電圧特性を測定するための回路レイアウト. 図 2-1 を改良して, 容量特性を測定できる回路に改良されている. 赤い四角は探針パッドで 24 ピンの探針で測定を行う.

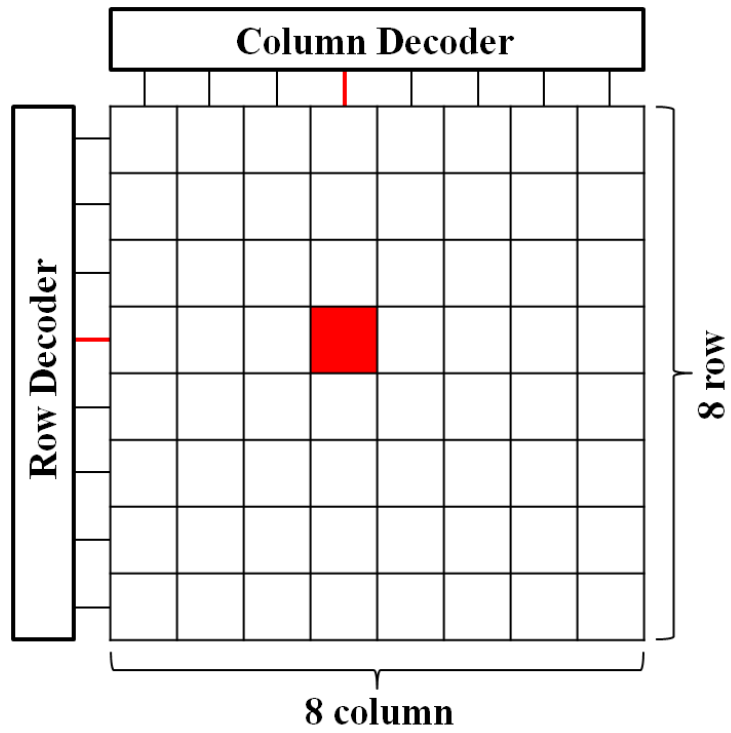


図 2-3 24 ピン探針パッド部を除いたレイアウトの概略図
 8×8 のユニットセルとユニットセル(例えば, 赤い四角)を一つ選択するための row デコーダーと column デコーダーから構成される。

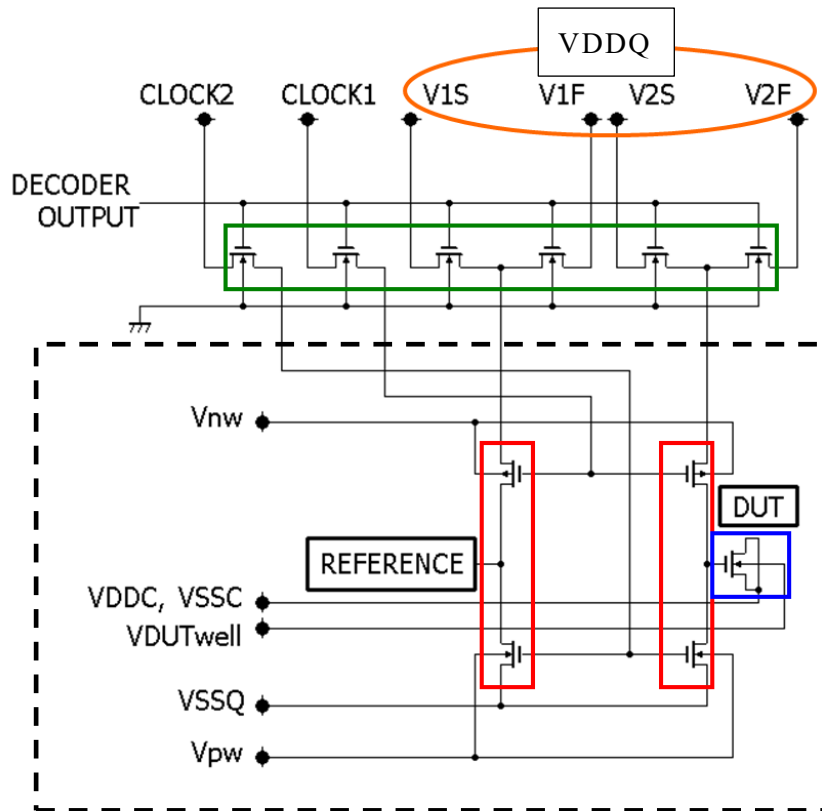


図 2-4 ユニットセルの等価回路図（破線部が CBCM 部）

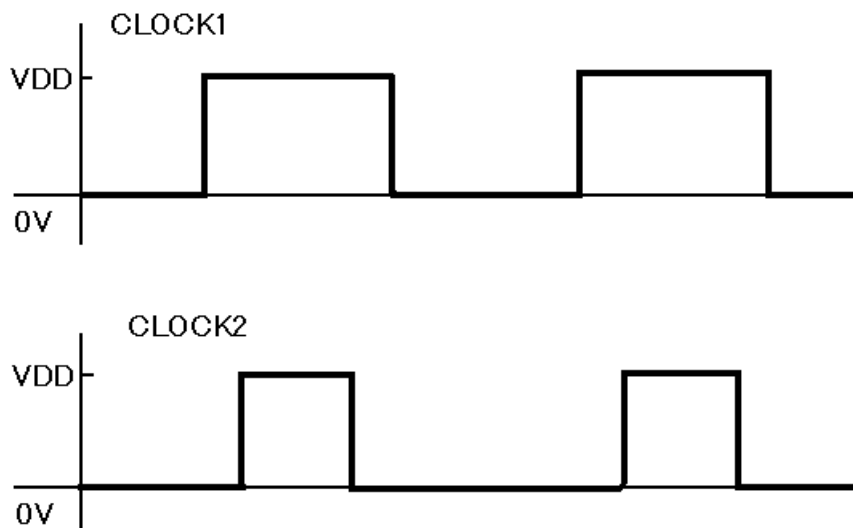


図 2-5 CBCM 法による容量測定に用いたパルス波形の概略図

上段のパルスが擬似インバータの PMOS へ、下段のパルスが NMOS へ印加される。

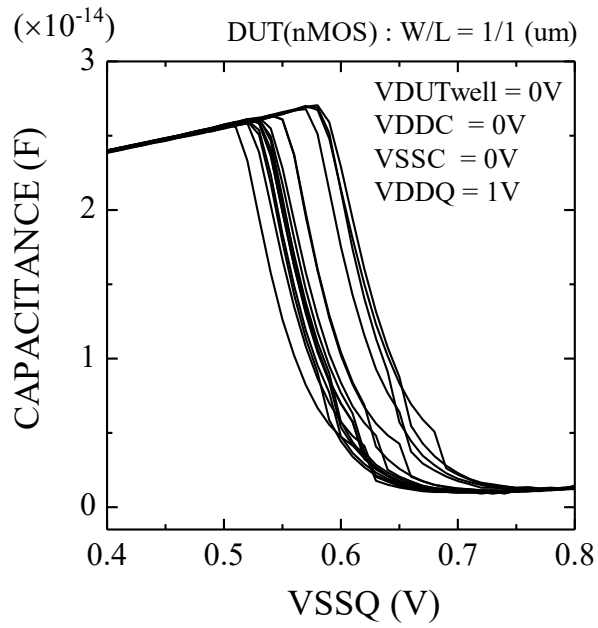


図 2-6 CBCM 法で測定したゲート容量の $VSSQ$ 電圧依存性

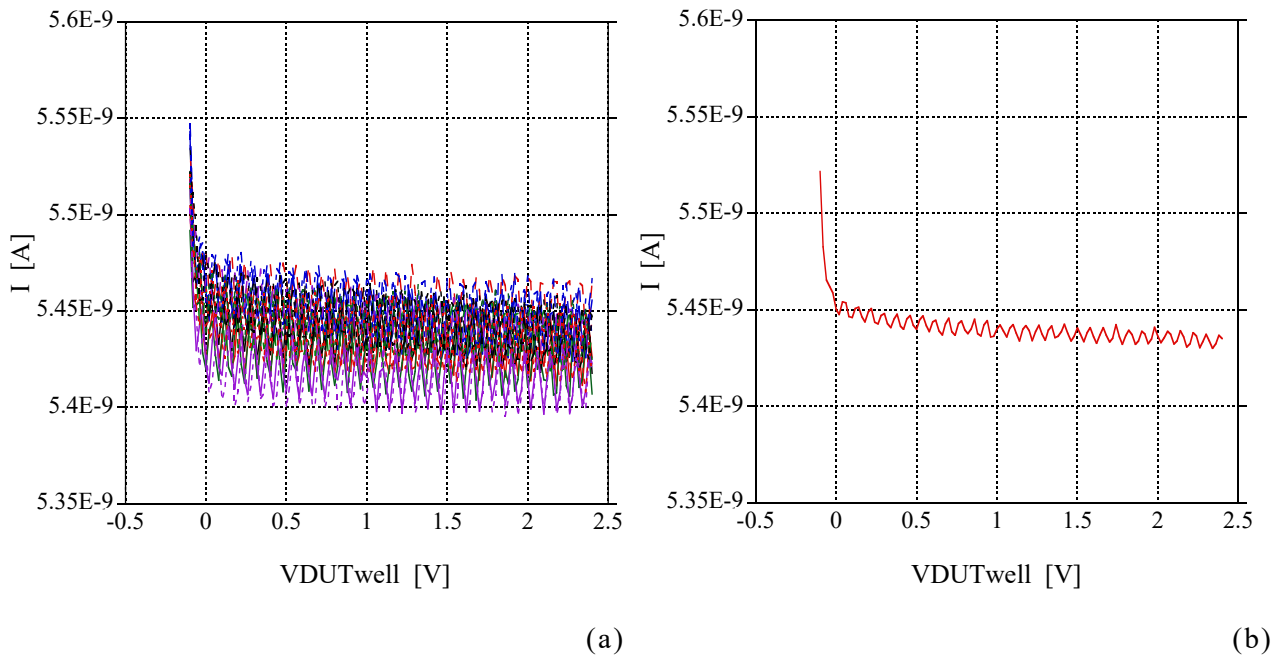


図 2-7(a) $VDUTwell$ 端子の電圧を変化させたときの DUT の無い電流特性

図 2-7(b) (a)の電流特性を平均化した後の電流特性

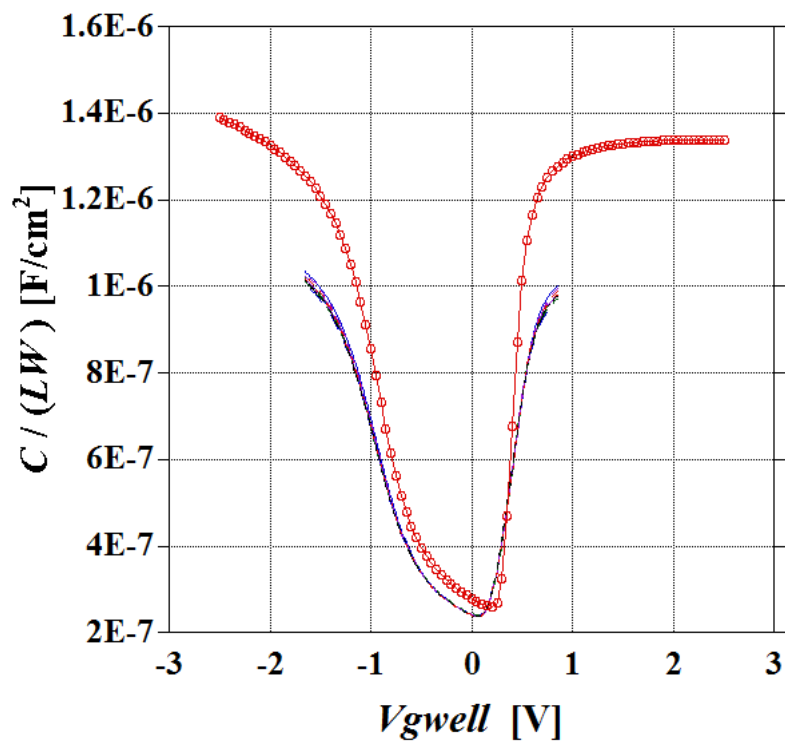


図 2-8 通常の LCR メーターで測定された C-V 曲線と(1)式から得られた C-V 曲線の比較. ここで, 赤丸を線で結んだものが通常の LCR メーターで測定されたものである. 他の線 (例えば青線等) は, V_{gwell} 電圧を変化させることによって CBCM 法で測定されたものである.

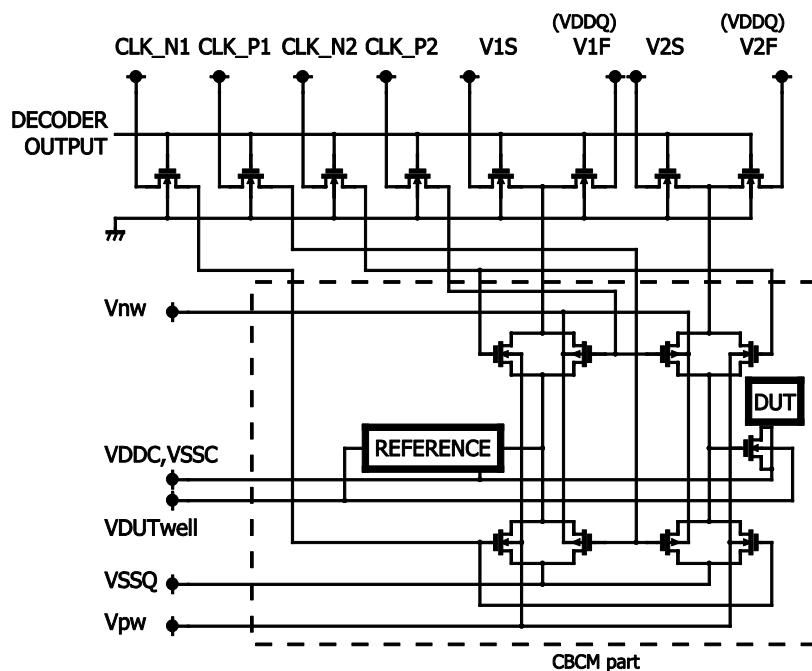


図 2-9 改良されたテストストラクチャーのユニットセルの等価回路図

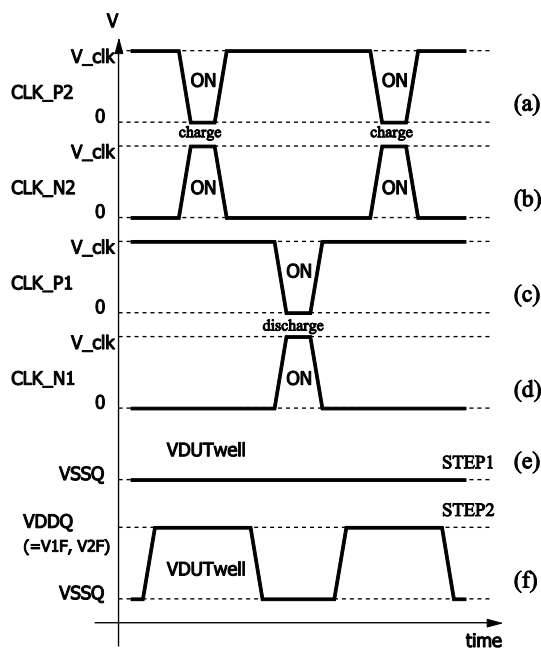


図 2-10 CIEF CBCM の制御パルス波形

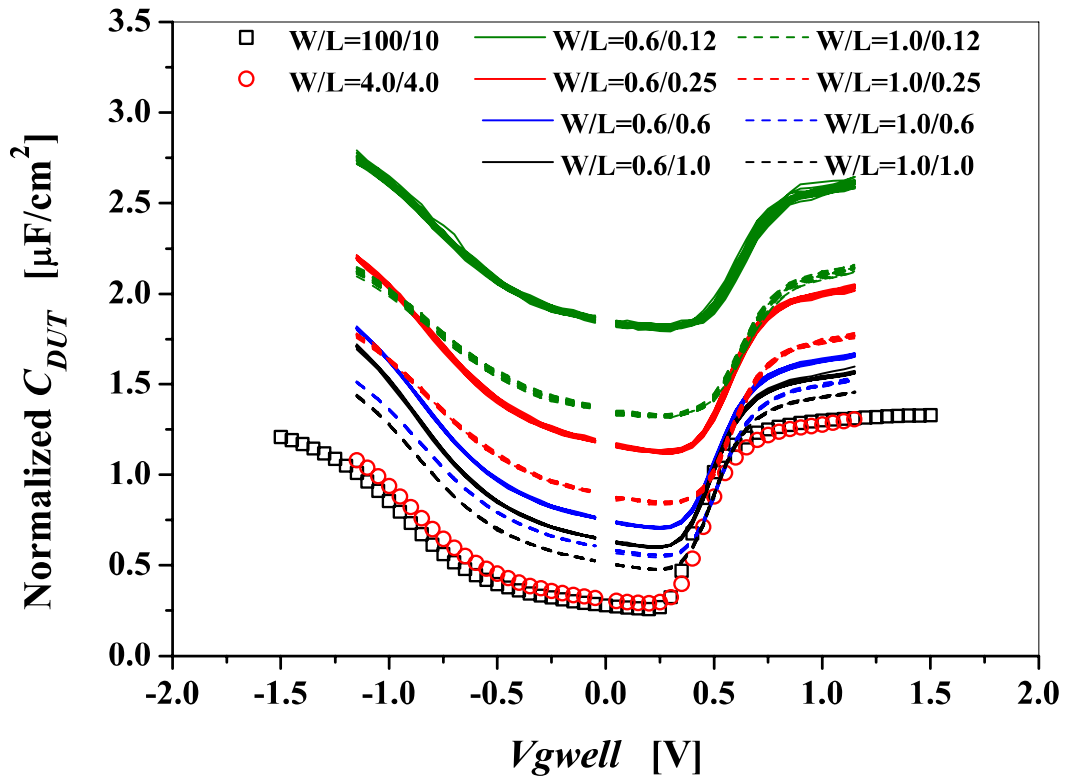


図 2-11 改良されたテストストラクチャーで測定され、CIEF CBCM 法によって求められた C-V 曲線

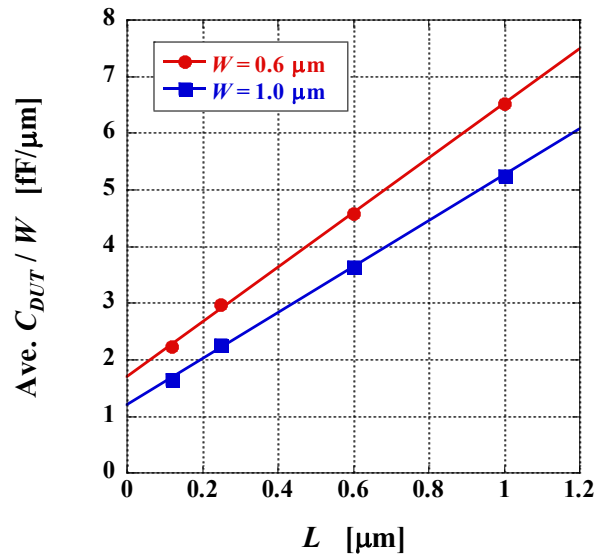


図 2-12 $V_{gwell} = 0.05$ V のときの平均 C_{DUT}/W 対 L のプロット. ここで C_{DUT} は W で正規化されている.

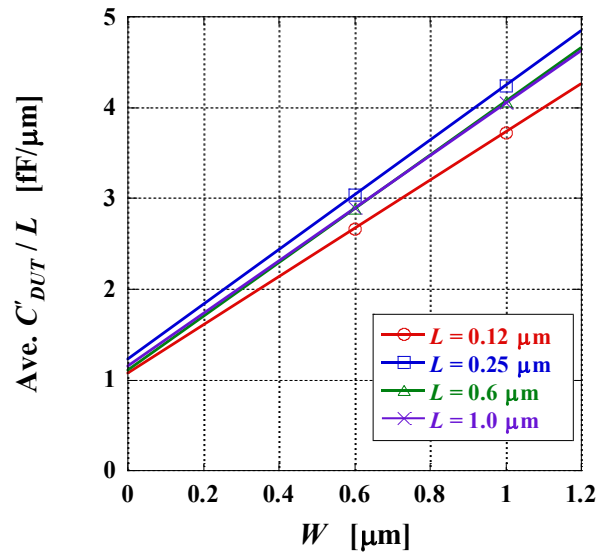


図 2-13 $V_{gwell} = 0.05 \text{ V}$ のときの平均 C'_{DUT}/L 対 W のプロット. ここで C_{DUT} は L で正規化されている.

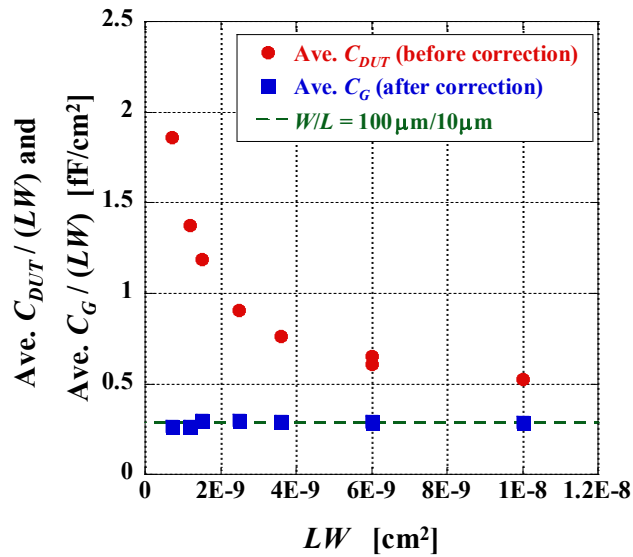


図 2-14 $V_{gwell} = -0.05 \text{ V}$ のときの平均 C_{DUT} と平均 C_G の比較. 破線は $W/L = 100 \mu\text{m}/10 \mu\text{m}$ の MOSFET の単位面積当たりの容量を表す.

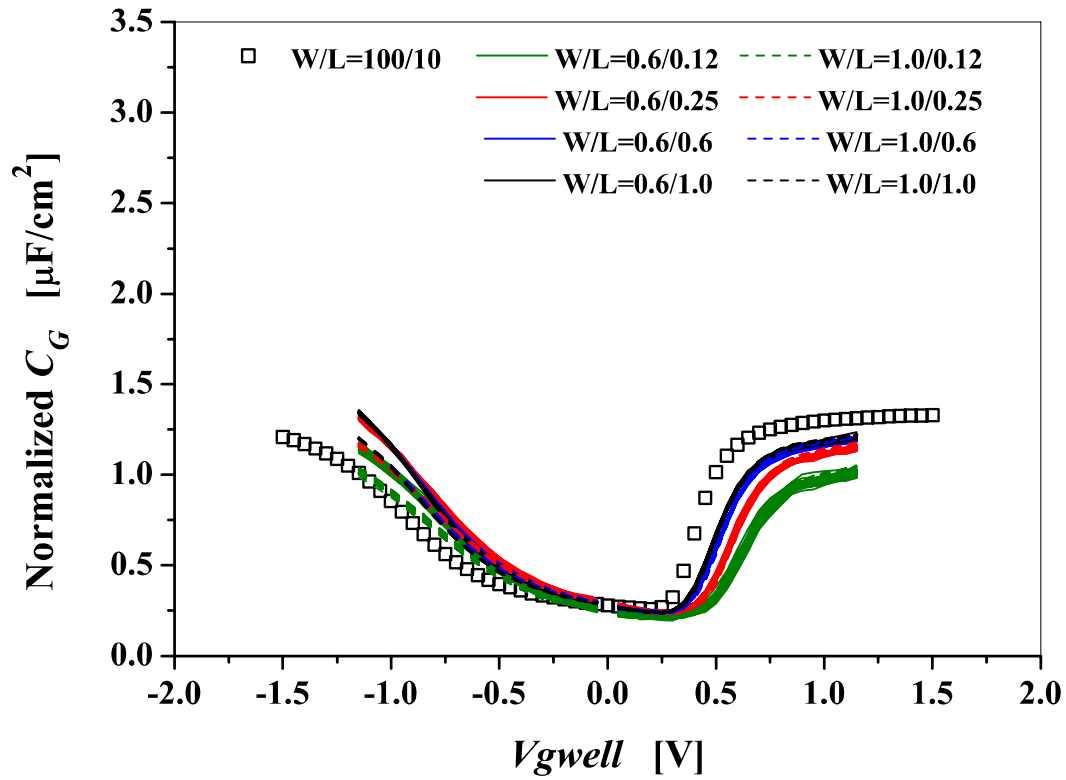


図 2-15 寄生容量 C_{par_W} と C_{par_L} を引いた後のチャネル面積で正規化された C_G

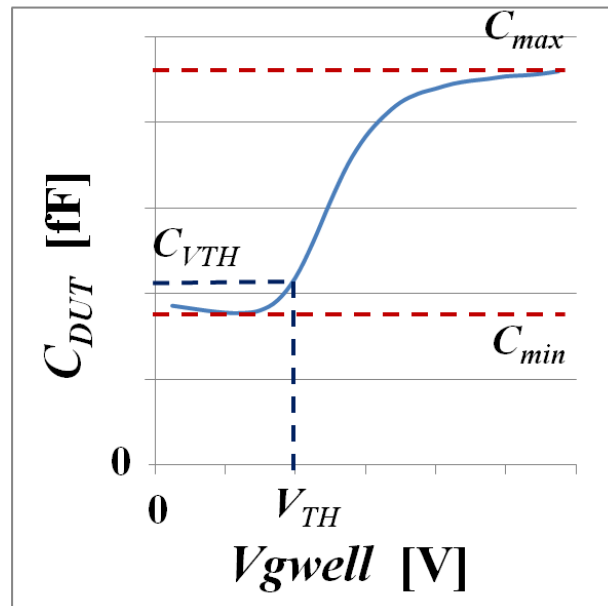


図 2-16 C-V 曲線からのしきい値電圧 V_{TH} の推定方法

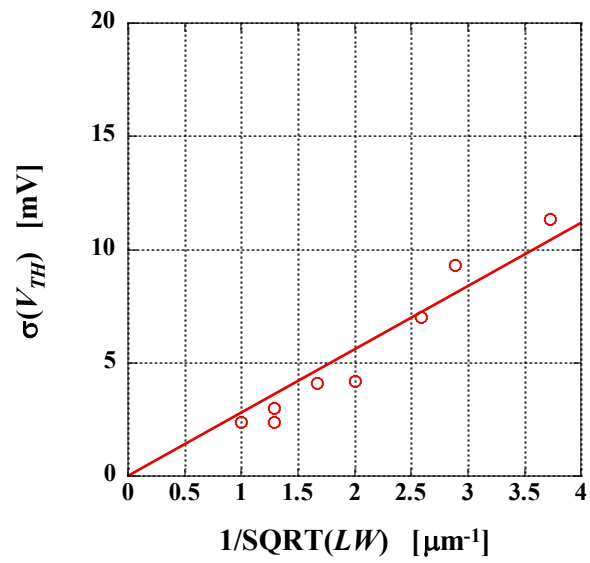


図 2-17 しきい値電圧 V_{TH} のペルグロムプロット

参考文献

- [1] J. C. Chen, B. W. McGaughy, D. Sylvester, and C. Hu, "An on-chip, attofarad interconnect charge-based capacitance measurement (CBCM) technique," *IEDM Tech. Dig.*, 1996, pp. 69-72, (1996).
- [2] Kazuo Terada, Tetsuo Chagawa, Jianyu Xiang, Katsuhiko Tsuji, Takaaki Tsunomura, and Akio Nishida, "Measurement of the MOSFET drain current variation under high gate voltage," *Solid-State Electronics* 53, pp. 314-319, (2009).
- [3] S. Ohkawa, M. Aoki, and H. Masuda, "Analysis and characterization of device variations in an LSI chip using an integrated device matrix array," in *Proc. ICMTS 2003*, pp. 70-75, (2003).
- [4] A. Brambilla, P. Maffezzoni, L. Bortesi, and L. Vendrame, "Measurements and extractions of parasitic capacitances in ULSI layouts," *IEEE Trans. Electron Devices*, vol. 50, no. 11, pp. 2236-2247, November (2003).
- [5] Y. W. Chang, H. W. Chang, C. H. Hsieh, H. C. Lai, T. C. Lu, W. Ting, J. Ku, and C. Y. Lu, "A novel simple CBCM method free from charge injection-induced errors," *IEEE Electron Device Lett.*, vol. 25, no. 5, pp. 262-264, May (2004).
- [6] J. C. Guo, C. C. H. Hsu, P. S. Lin, and S. S. Chung. "An accurate "Decoupled C-V" method for characterizing channel and overlap capacitances of miniaturized MOSFET," *Proc. VLSI-TSA 1993*, pp. 256-260, (1993).
- [7] K. Tsuji, and K. Terada, "Effective channel length estimation using charge-based capacitance measurement," *Proc. ICMTS 2013*, pp. 59-63, (2013).
- [8] M. J. M. Pelgrom, H. P. Tuinhout, and M. Vertregt, "Transistor matching in analog CMOS applications," *IEDM Tech. Dig.*, December 1998, pp. 915-918, (1998).

第 3 章 しきい値電圧ばらつきの抽出と評価

3.1 序言

本章では，前章において測定された C-V 曲線から，それらが有するばらつきからしきい値電圧 (V_{TH}) のばらつきを抽出する．得られたしきい値電圧ばらつきは，電流電圧 (I-V) 特性から得られたしきい値電圧ばらつきと比較・評価される．I-V 特性から抽出されたしきい値電圧ばらつきは，そのばらつき成分として，ランダムなドーパントの揺らぎ (random dopant fluctuation : RDF) が支配的であると報告されている[1]．しかしながら，他のばらつき成分からそれを区別することによって，RDF 成分の影響を明らかにした報告は少ない．しきい値電圧の分散が $\sigma^2(V_{TH})$ であるとき，それは以下のように表せる．

$$\sigma^2(V_{TH}) = \sigma^2(\text{RDF}) + \sigma^2(\text{others}) \quad (3-1)$$

ここで， $\sigma^2(\text{RDF})$ と $\sigma^2(\text{others})$ はそれぞれ RDF 成分と他のばらつき成分における分散である．他のばらつき成分は，フラットバンド電圧 (V_{FB}) や等価酸化膜厚 (equivalent oxide thickness : EOT) などからなると考えられる．もし，実寸法 MOSFET の C-V 曲線が正確に測定できれば，しきい値電圧ばらつきにおいて RDF 成分対他の成分の比率を明らかにすることができるかもしれない．よって，フラットバンド電圧のばらつきの抽出を試み，しきい値電圧のばらつきとの分離についても評価を行う．

3.2 しきい値電圧の抽出

本章で測定された被測定素子 (DUT : Device Under Test) は表 3-1 に示されるように，N-channel MOSFET (NMOS) がチャンネル幅 2 通り × チャンネル長 4 通りの 8 通りの組み合わせであり，P-channel MOSFET (PMOS) が同様に 8 通りの組み合わせである．これらの寸法を持つ DUT MOSFET が測定され

た．図 3-1 は，halo 領域を有するゲート酸化膜厚 $T_{ox} = 2 \text{ nm}$ の NMOS の C-V 曲線の例を示している．縦軸はチャネル面積で正規化されている．また横軸の V_{gwell} は DUT MOSFET の実効ゲート基板間電圧である．しきい値電圧 (V_{TH}) を抽出するに当たって，C-V 曲線からの抽出方法は，電流-電圧特性からのそれと比べると提案されておらず，本研究では，図 3-2 のように定義した．その方法は次のとおりである．新しく定義される $rate_{V_{TH}}$ を与えると $C_{V_{TH}}$ が図 3-2 下部に記載されている式により決定される．その決定された $C_{V_{TH}}$ を取るところの電圧を V_{TH} と定義した．よって， $rate_{V_{TH}}$ の値次第で V_{TH} が決定されることになる．そこで， $rate_{V_{TH}}$ を変えながら，しきい値電圧のペルグロムプロットの傾き A_{VT} を求め， A_{VT} の $rate_{V_{TH}}$ 依存性を調べた．それを図 3-3 に示す．図より， $rate_{V_{TH}}$ の値が 0.35 から A_{VT} の値が，容量の縦方向ばらつきと周辺回路のばらつきがあるにも関わらず，ほぼ一定となることがわかる．そこで本研究では， V_{TH} の抽出の $rate_{V_{TH}}$ に 0.35 を用いることにした．

3.3 しきい値電圧のばらつき

ここでは，それぞれの寸法において 80 個の DUT MOSFET が，C-V 曲線から抽出されたしきい値電圧ばらつき ($\sigma_{V_{TH}_{CV}}$) を解析するために測定される．図 3-4(a) は平均 V_{TH} のチャネル長依存性を示す．チャネル長 L が減少するにつれて，halo を有する NMOS における V_{TH} が増加することがわかる．これはすなわち，逆短チャネル効果 (reverse short channel effect, RSCE) が表れていることを示す．halo を有さない NMOS における V_{TH} は， L が減少するにつれて，初め増加するが，その後減少する RSCE と短チャネル効果 (short channel effect, SCE) を示している．PMOS では，halo を有さない PMOS において SCE が，他の 2 つの halo を有する構造の PMOS においては RSCE が観測される．図 3-4(b) は I-V 関係から抽出された V_{TH} の平均値のチャネル長 L 依存性を示している．図 3-4(a) と 3-4(b) は，伝導性，実効ゲート酸化膜厚そしてチャネル長が変化したとき，同じ振る舞いを表すことを示している [2][3][4]．これらの図は， V_{TH} の値それ自身は I-V 関係から得られた V_{TH} の値と同じではないけれども，それらのばらつき成分はほとんど同一らしいとい

うことを示している．図 3-5(a)と 3-5(b)は，それぞれ， $T_{OX} = 2 \text{ nm}$ の halo を有する NMOS と PMOS の正規確率プロットを示している．それぞれのチャネル寸法における正規確率プロットはほとんど直線で，NMOS と PMOS の V_{TH} ばらつきが正規分布しているということを決定付ける．これらのデータはまた， σ_{VT_CV} が V_{TH} の標準偏差にほぼ等しいということをサポートする．

3.4 ペルグロムプロット

本節では，ペルグロムプロット[5] を用いて V_{TH} ばらつきを評価する．ある領域で揺らぐランダムな量(例えば，MOSFET のチャネル中の不純物密度)は平均化され，それゆえに領域の面積(チャネル面積)が増加するにつれて減少する．この場合において，領域の面積 a におけるランダムな量の標準偏差 σ は $a^{-1/2}$ に比例する．ペルグロムの法則は，MOSFET におけるしきい値電圧の標準偏差 σ_{VT} は $(LW)^{-1/2}$ に比例する．(ここで， LW は MOSFET のチャネル面積である．) ということ述べている． σ_{VT} と $(LW)^{-1/2}$ の間の線形関係の傾きはペルグロム係数 A と呼ばれる．そのとき $\sigma_{VT} = A(LW)^{-1/2}$ の関係にある．言い換えると，ペルグロムの法則は，しきい値電圧はチャネル領域中を揺るがすランダムな量によってほとんど決定されるということ述べている．もし，ノイズの影響が小さければ， σ_{VT_CV} はまたペルグロムの法則に従うことを支持される．

図 3-6(a)と 3-6(b)はそれぞれ，NMOS と PMOS における σ_{VT_CV} のペルグロムプロットを示している．それらに図示されている直線は回帰直線である．ペルグロムプロットの直線の傾きは，ペルグロム係数 A_{VT} である．これは，ばらつきの度合いを表している[5]．図 3-6(a)，3-6(b)に見られるように，以下のことがわかる．

1. NMOS における A_{VT} は PMOS における A_{VT} よりも大きい．
2. NMOS と PMOS の両方の A_{VT} が， T_{OX} が増加するにつれて増加している
3. halo 領域を有さない MOSFET における A_{VT} は halo 領域を有する MOSFET の A_{VT} よりも小さい

これらの A_{VT} の振る舞いは，電流測定から得られた A_{VT} の振る舞いと同一で

ある．これらは[1]，[6]において報告されている．

3.5 電流電圧特性から得たしきい値電圧ばらつきとの比較

図 3-7(a)と 3-7(b)は，NMOS と PMOS 両方における I-V 関係から抽出されたしきい値電圧ばらつき ($\sigma_{VT_{IV}}$) のペルグロムプロットを示している．これらは同じプロセス条件によって製作された DMA-TEG[8] を測定することによって得られた．しきい値電圧は， I_{DS} - V_{GS} 関係の傾きが最大となる点において，線形外挿法を用いて抽出される．ここで I_{DS} と V_{GS} はそれぞれ，ドレイン-ソース間電流とゲート-ソース間電圧である[1]．図 3-7(a)と 3-7(b)に見られるように，NMOS における A_{VT} は PMOS におけるそれよりも大きいことがわかる．一方，halo を有する MOSFET と halo を有さない MOSFET の A_{VT} の差は大変小さい．これらの振る舞いは図 3-6(a)と 3-6(b)に見られる振る舞いと同一である．

$\sigma_{VT_{CV}}$ から得られたペルグロム係数 $A_{VT_{CV}}$ と $\sigma_{VT_{IV}}$ から得られたペルグロム係数 $A_{VT_{IV}}$ はそれぞれの構造ごとに図 3-8 にまとめられている．ここで， $T_{OX}=3\text{ nm}$ の $A_{VT_{IV}}$ は[1] で報告されているデータから見積もられた． $A_{VT_{CV}}$ の値は $A_{VT_{IV}}$ の値よりも小さいことがわかる．その理由の一つに，局所的なチャネルドーパントの不均一性と電流経路に沿ったその位置が電流ばらつきを増加すると考えられる．一方，C-V 曲線から得られた $\sigma_{VT_{CV}}$ の場合，チャネルドーパントの不均一性とその位置に依存しないチャネル面積によって平均化されるために，容量ばらつきへの影響はほとんどない．

3.6 電流ばらつきへの不純物ドーパントの不均一性の影響

MOSFET のチャネルが，同じ面積で異なるドーパント濃度を有する多くの均一な領域からなると仮定すると，C-V 曲線から抽出されたしきい値電圧 V_{THCV} はそれぞれの領域におけるしきい値電圧の平均とであると考えられる．一方，I-V 曲線から抽出されたしきい値電圧 V_{THIV} は電流経路におけるそれ

らの領域の位置によって影響を及ぼされ、 V_{THCV} と異なる値になる。

V_{THCV} と V_{THIV} の間の差を推定するために、もっとも単純なケース、2領域モデルを考える[8]。そのMOSFET全体は、図3-9に見られるように、同じチャンネル長を持つ2つの微小MOSFET(1と2)からなる。両微小MOSFETにおけるドレイン電流 I_D は近似的に次のように表される。

$$\begin{cases} I_D = \beta(V_G - V_{TH1})V_X \\ I_D = \beta(V_G - V_{TH2} - V_X)(V_D - V_X) \end{cases}, \quad (3-2)$$

ここで、 V_{TH1} 、 V_{TH2} 、そして V_X は、それぞれMOSFET1におけるしきい値電圧、MOSFET2におけるしきい値電圧、そしてそれらの間のノードの電圧である。(3-2)式を解くことによって、MOSFET全体におけるI-V関係が得られる。 V_{THIV} は線形外挿法によってI-V関係から抽出される。これは測定されたものと同じである。 V_{THCV} は、 $(V_{TH1} + V_{TH2})/2$ によって得られる。

標準偏差 $\sigma_{v_{th}}$ の正規乱数を V_{TH1} と V_{TH2} に代入すると、 V_{THCV} と V_{THIV} が計算され、そしてそのとき、 $\sigma_{V_{TCV}}$ と $\sigma_{V_{TIV}}$ がそれらから得られる。図3-10はその結果の例を示している。横軸は $\sigma_{v_{th}}$ を示しており、縦軸はMOSFET全体において得られた $\sigma_{V_{TCV}}$ と $\sigma_{V_{TIV}}$ が示されている。MOSFET2のボディ効果のために $\sigma_{V_{TIV}}$ は、 $\sigma_{v_{th}}$ が大きいところで $\sigma_{V_{TCV}}$ よりも大きくなる。もし我々が、挿入図に示されるように、チャンネルが6つの領域を有し、付加的な領域における $\sigma_{v_{th}}$ がそれほど大きくなければ、 $\sigma_{V_{TCV}}$ と $\sigma_{V_{TIV}}$ の値は合理的で、図3-10に示されるようにPMOSにおける測定値に相当する[8]。haloを有しないPMOSのチャンネルは均一であると考えられる。しかし、他のMOSFETのチャンネルはhaloやアブノーマルに拡散したボロンのために、不均一である[9]。これらの不均一性は、 $\sigma_{V_{TCV}}$ と $\sigma_{V_{TIV}}$ の間の差を増加させる。この事実は図3-8のNMOSのデータによって確かめられる。PMOSのhaloドーズ量が低いので、それらの不均一性の影響は明らかでない。結論として、上記のモデルは、ある程度PMOSの σ_{VT} 差を説明することが可能である[8]。

3.7 フラットバンド電圧の抽出

図 3-11 は A_{VF} の $rate_{VFB}$ 依存性をそれぞれのチャネル構造において示している。ここで、 A_{VF} はペルグロム係数で、フラットバンド電圧のばらつきの度合いを表している。 $rate_{VFB}$ が 0.85 以下のとき、それぞれのチャネル構造における A_{VF} のばらつきは小さく、安定していることがわかる。我々はそれ故に、 C_{VFB} の値を定義するのに $rate_{VFB} = 0.85$ を用いる。 $rate_{VTH}$ と比較すると、 A_{VF} の $rate_{VFB}$ 依存性は少し不安定かもしれない。しかしながら、我々はもっとも大きい値で安定している領域として 0.85 を選択することができる。 $rate_{VTH}$ の場合と同様に、値 0.85 は合理的な値と考えられる。というのまたとえ、 $rate_{VFB}$ が 0.85 以下の値をとったとしても A_{VF} のばらつきは小さく、容量の縦方向ばらつきと周辺回路のばらつきがあるにも関わらずほぼ一定であるためである。

3.8 フラットバンド電圧のばらつき

V_{TH} ばらつき成分を分離するために、フラットバンド電圧ばらつきが、しきい値電圧の式に含まれるランダムドーパントの揺らぎ (RDF) 以外のパラメータの影響を調査するために、抽出される。フラットバンド電圧ばらつきを評価するためには、 V_{FB} の値が C-V 曲線から見積もらなければならない。本研究では、 V_{FB} は図 3-2 に示されるように、 V_{TH} の抽出と同じ方法で決定される。前節で議論したように、我々は図 3-2 において $rate_{VFB} = 0.85$ とする。C-V 曲線の傾きは、（これは V_{FB} を見積もるのに用いられる） V_{TH} のそれよりもより緩やかである。しかしながら前節の議論から、 V_{FB} の抽出過程においてはノイズによる影響はあまりないと考えられる。

図 3-12(a) と 3-12(b) はそれぞれ、NMOS と PMOS の両 C-V 曲線から抽出されたフラットバンド電圧ばらつき σ_{VF} のペルグロムプロットを示している。図 3-6(a) と 3-6(b) のそれらと比較すると、NMOS と PMOS の両方の σ_{VF} は、それぞれのチャネル構造における σ_{VT_CV} よりも小さいことがわかる [2]。

3.9 しきい値電圧ばらつきとフラットバンド電圧ばらつき

本章の序言にて示したように、 V_{TH} の分散、 $\sigma^2(V_{TH})$ 、は(3-1)式で表されると考えられる。(3-1)式において、EOTや他のパラメータはほとんど、本研究で測定されたサンプルにおいてばらつきを持たないことが報告されているので[10]、 V_{FB} ばらつきによって引き起こされる分散が $\sigma^2(\text{others})$ において支配的であると考えられる。図 3-13 は図 3-12(a)の halo を有する NMOS のデータの拡大図を示している。図 3-13 の halo を有する NMOS において、チャンネル面積が小さいとき、ペルグロムプロットは良い線形性を示さないことがわかる。図 3-13 の標準偏差は大きなチャンネル面積を有する NMOS (図 3-13 の赤丸) と小さなチャンネル面積を有する NMOS (図 3-13 の青丸) に分かれる。小さなチャンネル面積を有する素子において、小さなチャンネル面積を有する MOSFETs のゲート容量は小さいので、大きなチャンネル面積を有する MOSFETs と比較してノイズの影響が比較的が大きくなると考えられる。それ故、小さなチャンネル面積を有するデータは、大きなチャンネル面積を有するデータと比較して信頼性が低いと考えられる。というのも、小さなチャンネル面積を有するデータはノイズによる影響を受けるためである。

上述の結果と関連して、図 3-6(a)における halo を有する NMOS において、そのペルグロムプロットは非常に良い線形性を示している。その傾きはおおよそ、 $2.5 \text{ mV}\mu\text{m}$ である。図 3-13 における halo を有する NMOS において、大きなチャンネル面積を持つ素子のデータ (赤丸) から得られるペルグロムプロットは良い線形性を示している。その傾きはおおよそ $1.1 \text{ mV}\mu\text{m}$ である。それらの傾きは単位素子寸法あたりの標準偏差とみなすことができるので、その傾きの 2 乗の加法性は分散の加法性によってもたらされると考えられる。したがって、(3-1)式はペルグロムプロットの傾きに応用可能である。それ故、我々は上記の値をそれぞれ、 $\sigma^2(V_{TH})$ と $\sigma^2(\text{others})$ に代入することによって $\sigma^2(\text{RDF})$ を得ることができる。結果として、ペルグロムプロットの傾きは RDF 成分において、おおよそ $2.2 \text{ mV}\mu\text{m}$ であることがわかった。この結果は、RDF 成分が V_{TH} ばらつきにおいて支配的であるということを示している。また、 V_{FB} ばらつきは RDF のおおよそ半分であるということもわかった。得られた V_{FB} ばらつきの信頼性を調査するために、我々はそれを、undoped Fin FET の

ペルグロムプロットの傾きを調べることによって検証する．undoped Fin FET（これは RDF 成分がゼロと考えられる．というのは不純物はそのデバイスのチャンネルにドーピングされていないからである．）が作製され，そして V_{TH} ばらつきにおけるペルグロムプロットの傾きはおおよそ $1.5 \text{ mV}\mu\text{m}$ であると報告されている[11]．このデバイス構造は本研究で測定されたサンプルとは異なる．しかしながら，デバイスの製造テクノロジーは大きくは異なる．それ故，その報告は本研究の結果， V_{FB} ばらつきにおけるペルグロムプロットの傾きが $1.1 \text{ mV}\mu\text{m}$ と矛盾しない．

3.10 結言

C-V 曲線から得られたしきい値電圧ばらつきが，I-V 関係から得られたしきい値電圧ばらつきと比較して，同様の振る舞いを示した．そしてそれらは合理的であると考えられる．また，I-V 関係から得られるしきい値電圧ばらつきが C-V 曲線から得られるそれらよりも大きいこともわかった．簡単なモデル計算を用いて，その理由が部分的に，電流経路に沿った局所的なチャンネルドーパントの不均一性が I-V 関係から得られたしきい値電圧ばらつきを大きくすると説明付けられた．さらに，しきい値電圧ばらつきのペルグロムプロットの傾きは $2.5 \text{ mV}\mu\text{m}$ ，フラットバンド電圧ばらつきのペルグロムプロットの傾きは $1.1 \text{ mV}\mu\text{m}$ ，そして Random Dopant Fluctuation の成分のそれはおおよそ $2.2 \text{ mV}\mu\text{m}$ であることがわかった．結果としてフラットバンド電圧ばらつきが，たとえそれら推定された値が測定ノイズによって引き起こされる容量ばらつきによって影響を受けるとしても，高い確実性でしきい値電圧ばらつきの半分以下であるということがわかった．

表 3-1 測定されたチャネル構造とチャネルの寸法

NMOS and PMOS samples	
channel structure	1) with halo regions, and $T_{OX} = 2$ nm 2) without halo regions, and $T_{OX} = 2$ nm 3) with halo regions, and $T_{OX} = 3$ nm (T_{OX} : gate oxide thickness)
channel width W	0.6, 1.0 μm
channel length L	0.12, 0.25, 0.6, 1.0 μm

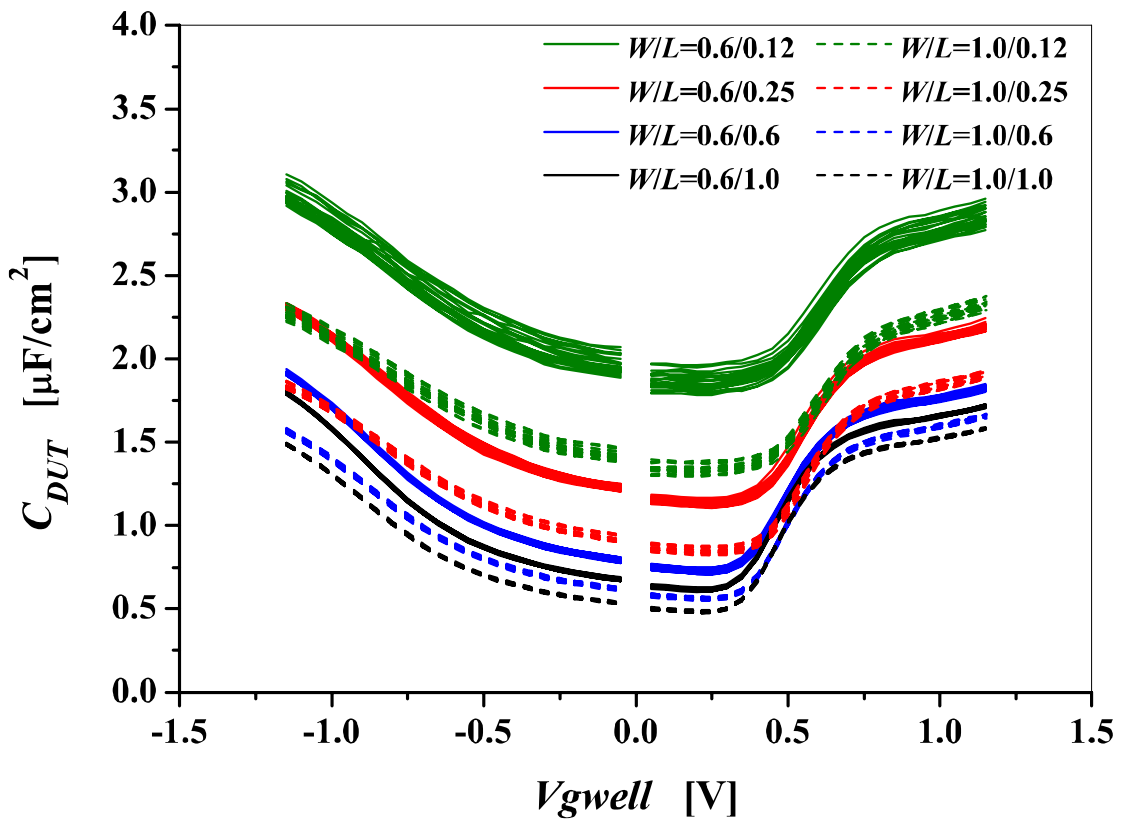
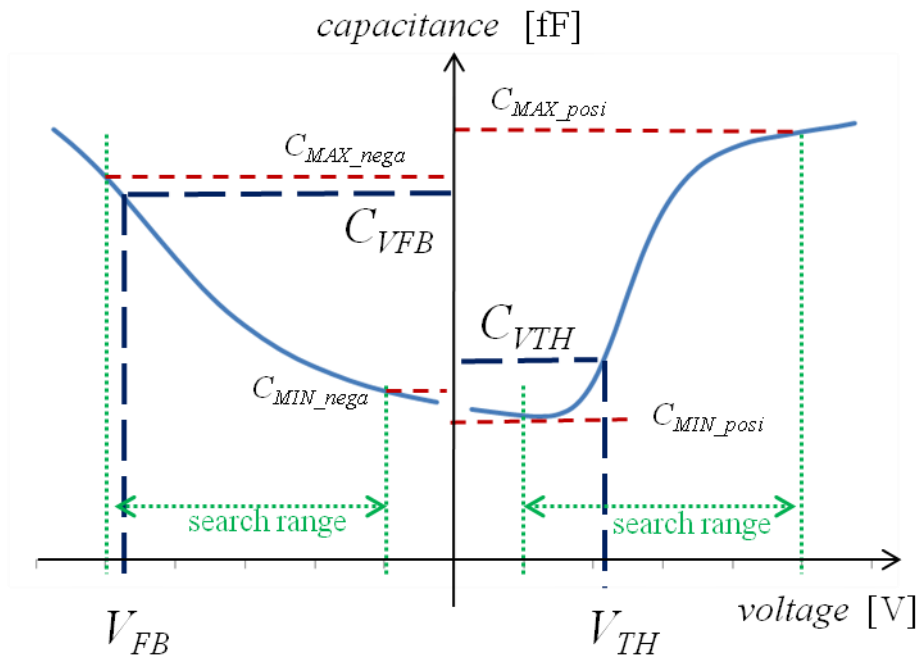


図 3-1 NMOS with halo regions and $T_{OX} = 2$ nm における C-V 曲線の例



$$C_{VTH} = rate_{VTH} \times (C_{MAX_posi} - C_{MIN_posi}) + C_{MIN_posi}$$

$$C_{VFB} = rate_{VFB} \times (C_{MAX_nega} - C_{MIN_nega}) + C_{MIN_nega}$$

図 3-2 NMOS におけるしきい値電圧 V_{TH} とフラットバンド電圧 V_{FB} の抽出方法の概略図. V_{TH} と V_{FB} はそれぞれ, ある一定の値 $rate_{VTH}$ と $rate_{VFB}$ によって決定される.

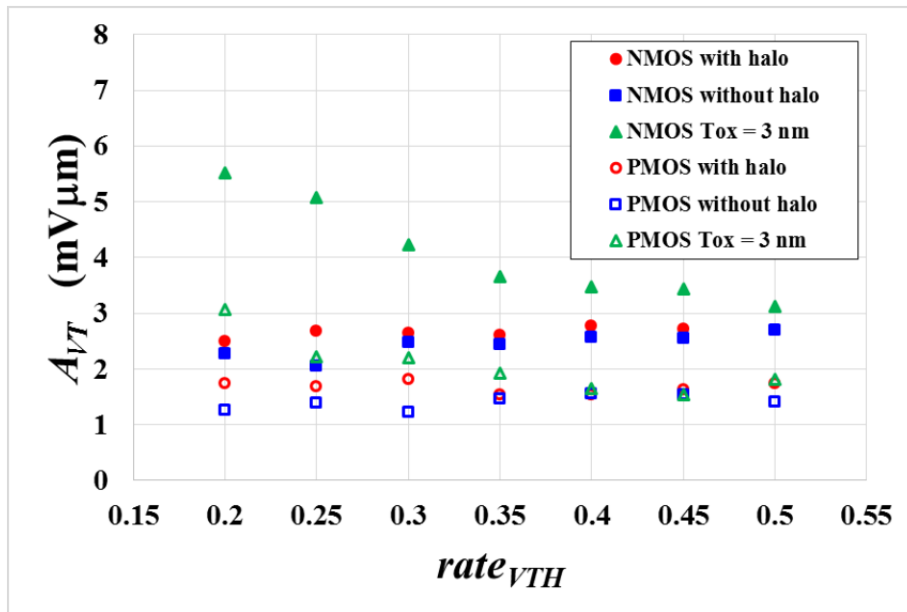
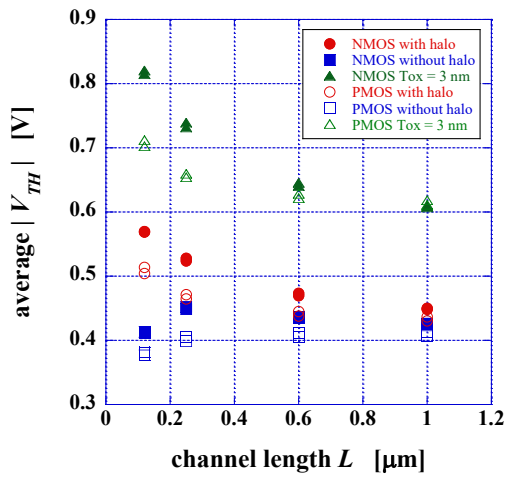
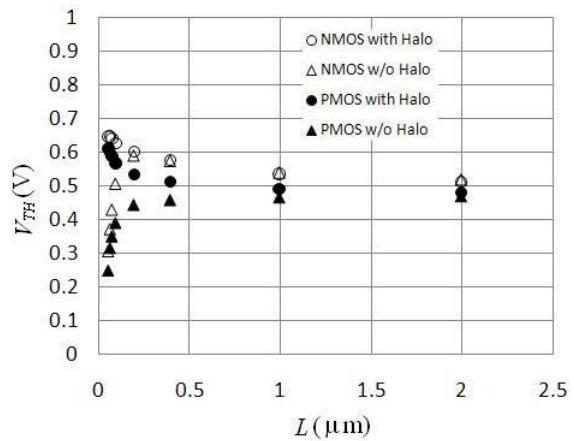


図 3-3 A_{VT} の $rate_{VTH}$ 依存性



(a)



(b)

図 3-4(a) C-V 曲線から抽出された平均 V_{TH} のチャンネル長 L 依存性 図 3-4(b) I-V 関係から抽出された平均 V_{TH} のチャンネル長 L 依存性

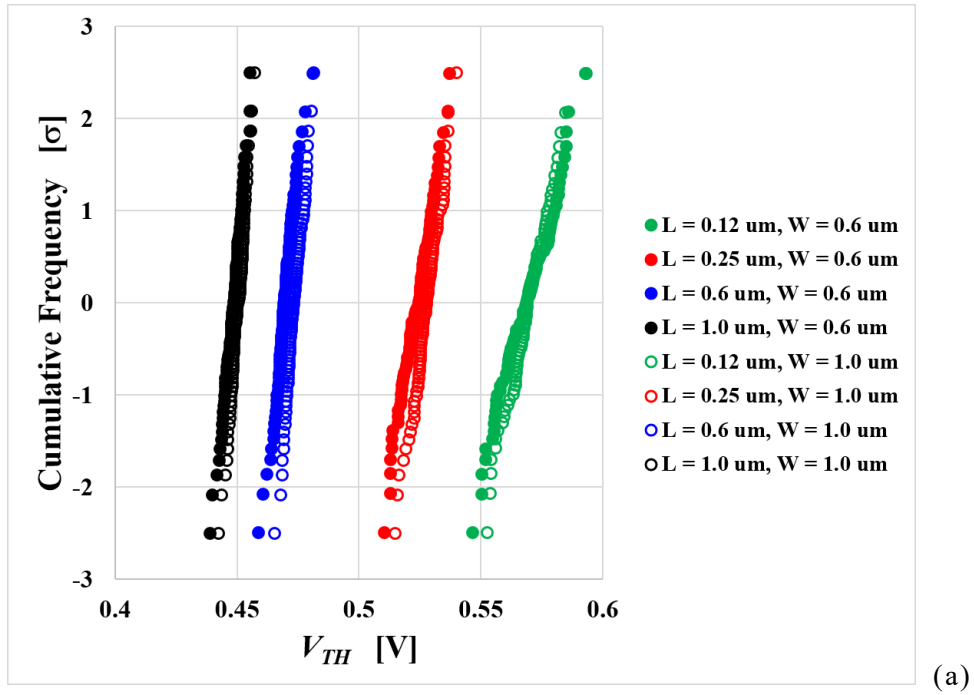


図 3-5(a) halo 領域を持つ $T_{ox}=2 \text{ nm}$ の NMOS における, C-V 曲線から抽出された V_{TH} の正規確率プロット

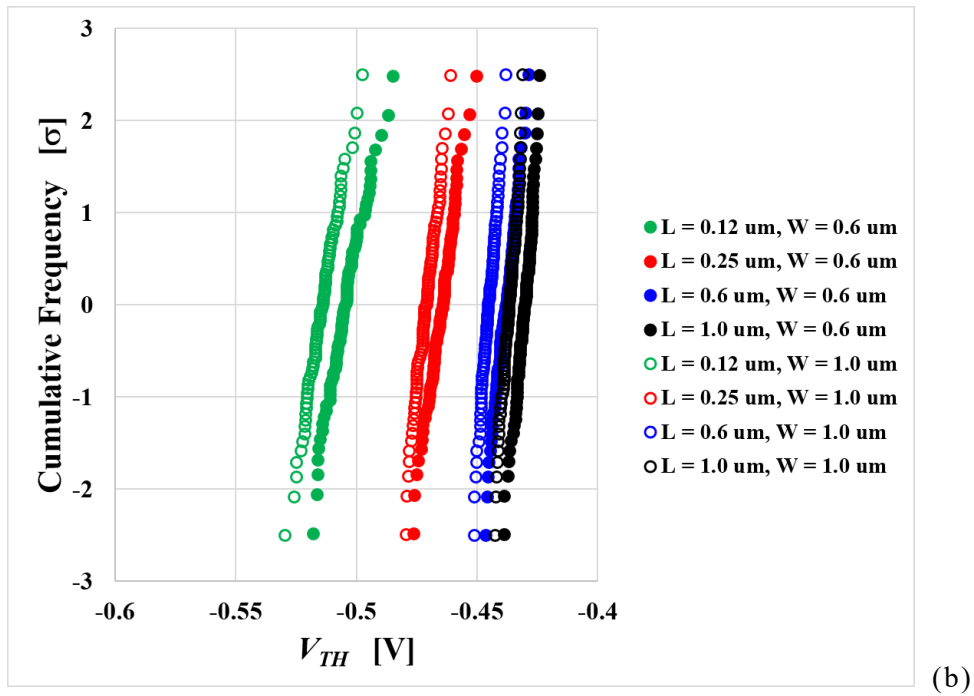
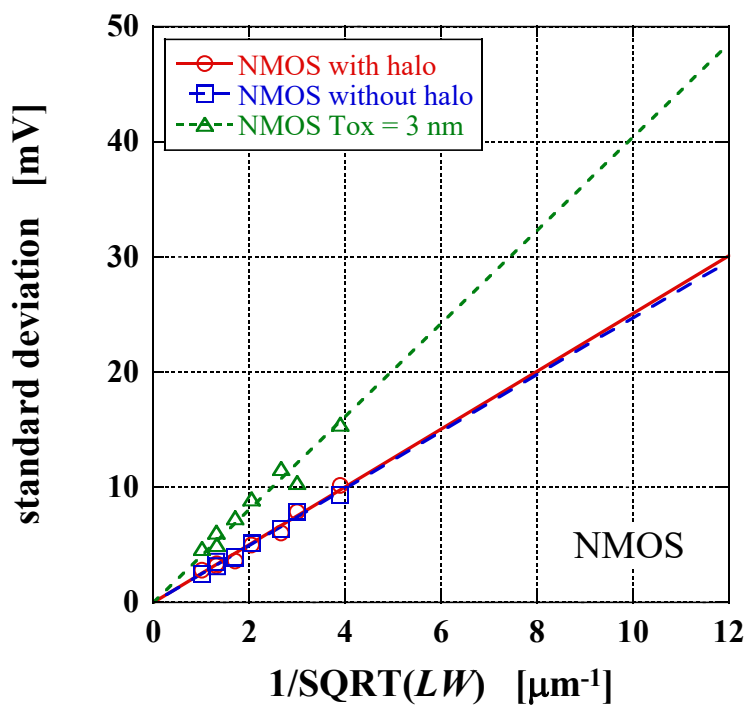
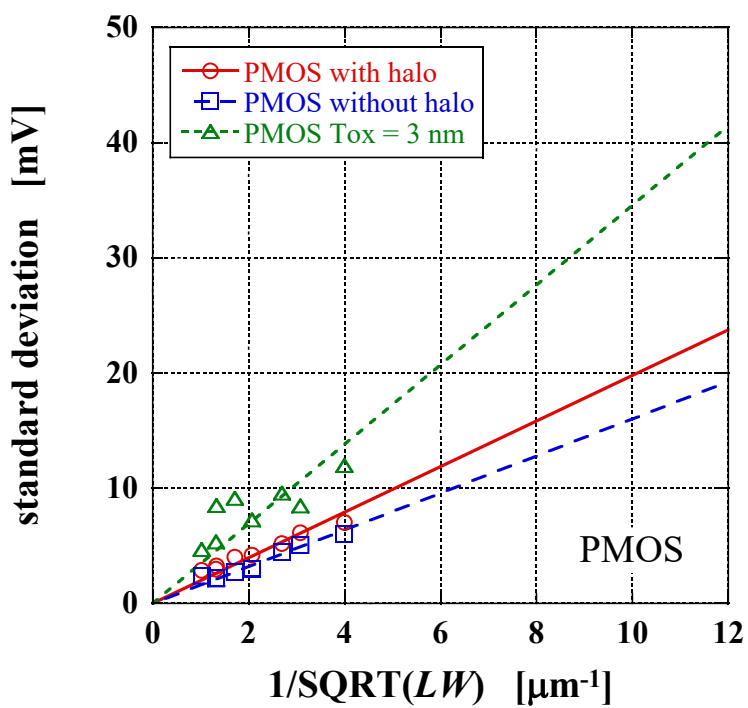


図 3-5(b) halo 領域を持つ $T_{ox}=2 \text{ nm}$ の PMOS における, C-V 曲線から抽出された V_{TH} の正規確率プロット



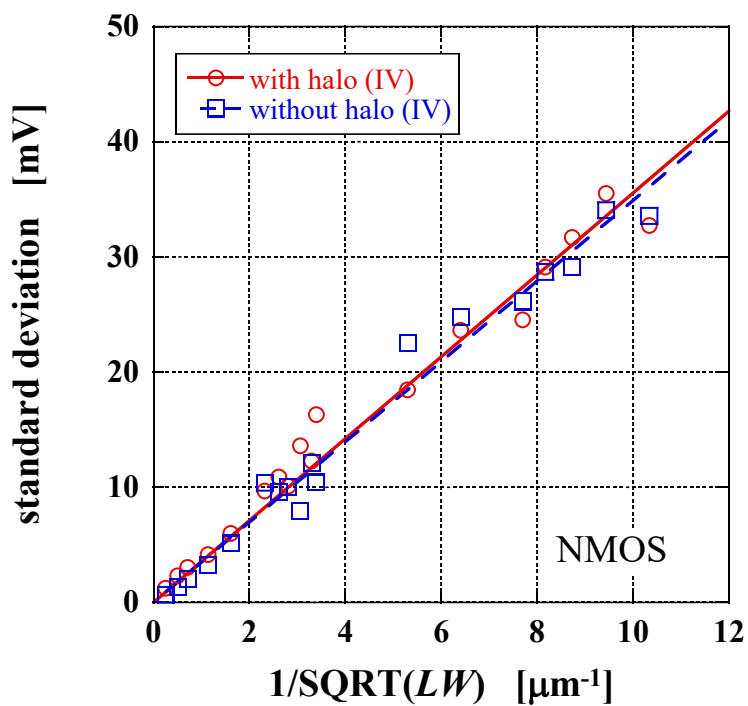
(a)

図 3-6(a) NMOS の C-V 曲線から抽出された V_{TH} の標準偏差のペルグロムプロット



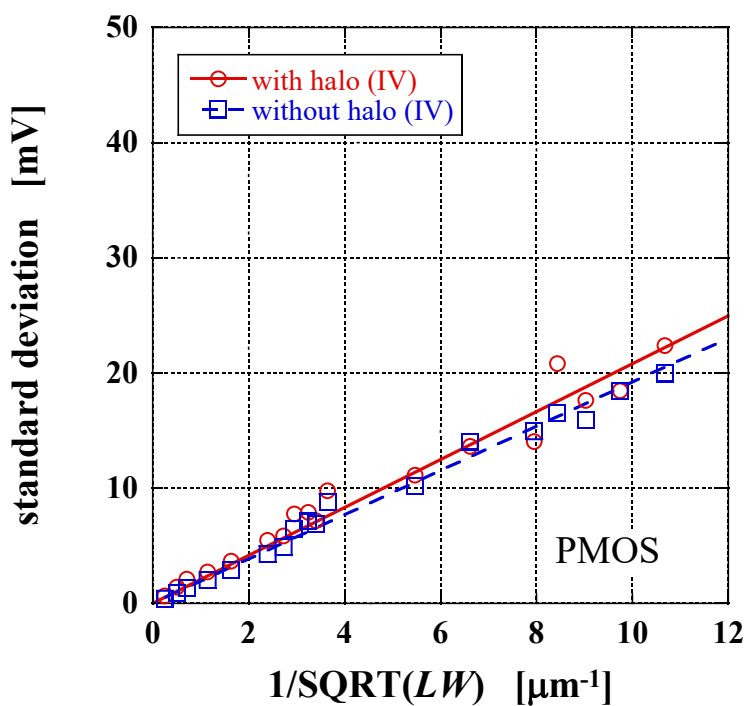
(b)

図 3-6(b) PMOS の C-V 曲線から抽出された V_{TH} の標準偏差のペルグロムプロット



(a)

図 3-7(a) NMOS の I-V 関係から抽出された V_{TH} の標準偏差のペルグロムプロット



(b)

図 3-7(b) PMOS の I-V 関係から抽出された V_{TH} の標準偏差のペルグロムプロット

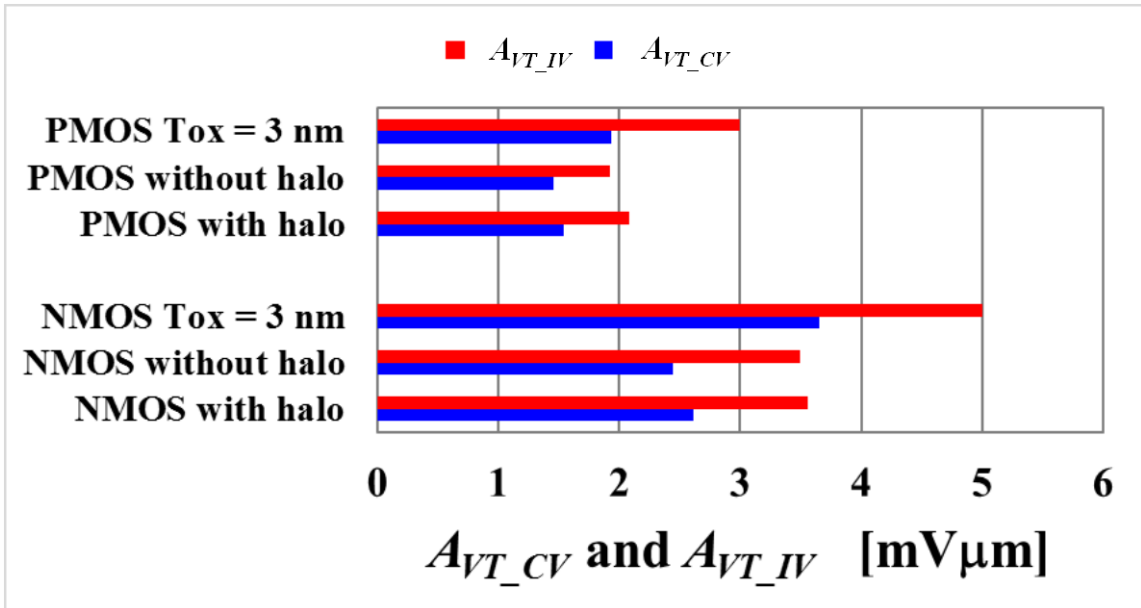


図 3-8 それぞれのチャネル構造ごとの A_{VT} の値. ここで, $T_{ox} = 3$ nm の A_{VT_IV} は[1] で報告されたデータから推定される.

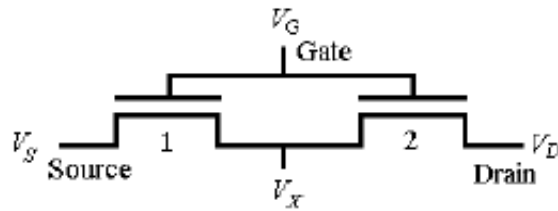


図 3-9 2 領域モデルの概略図[8]

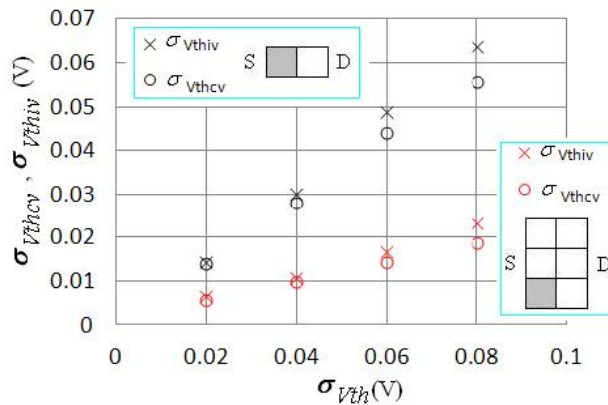


図 3-10 計算された σ_{VTIV} と σ_{VTCV} [8]

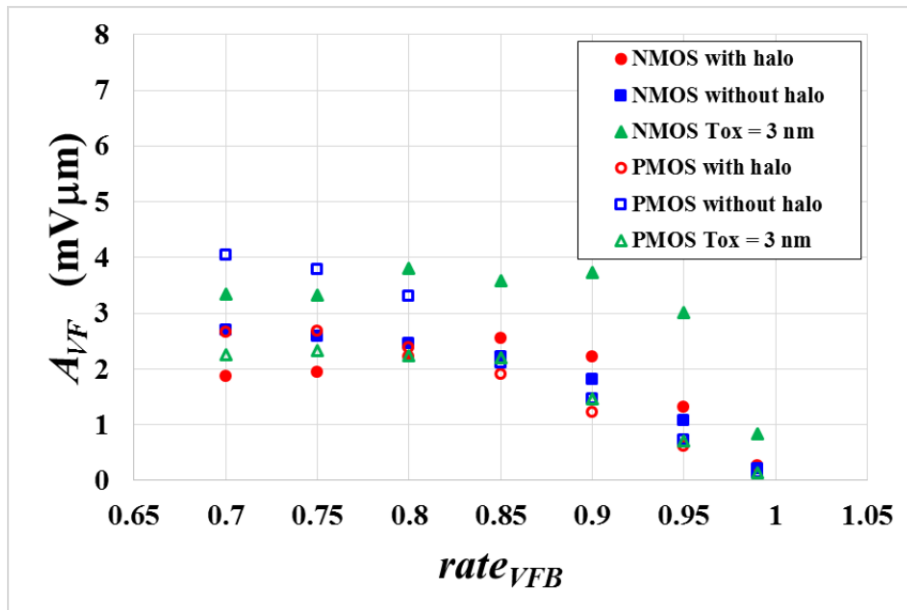


図 3-11 A_{VF} の $rate_{VF}$ 依存性

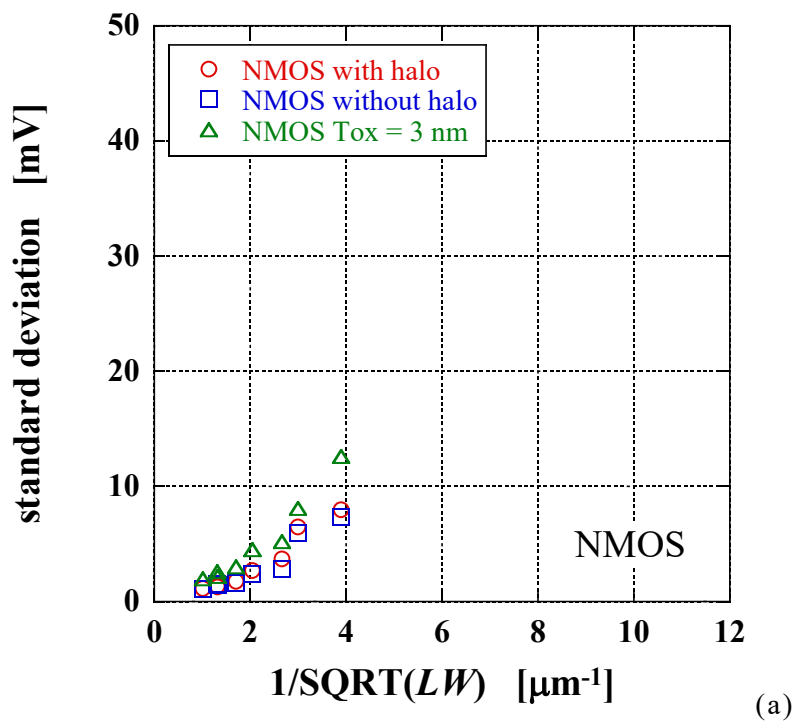


図 3-12(a) NMOS C-V 曲線から得られた V_{FB} の標準偏差のペルグロムプロット

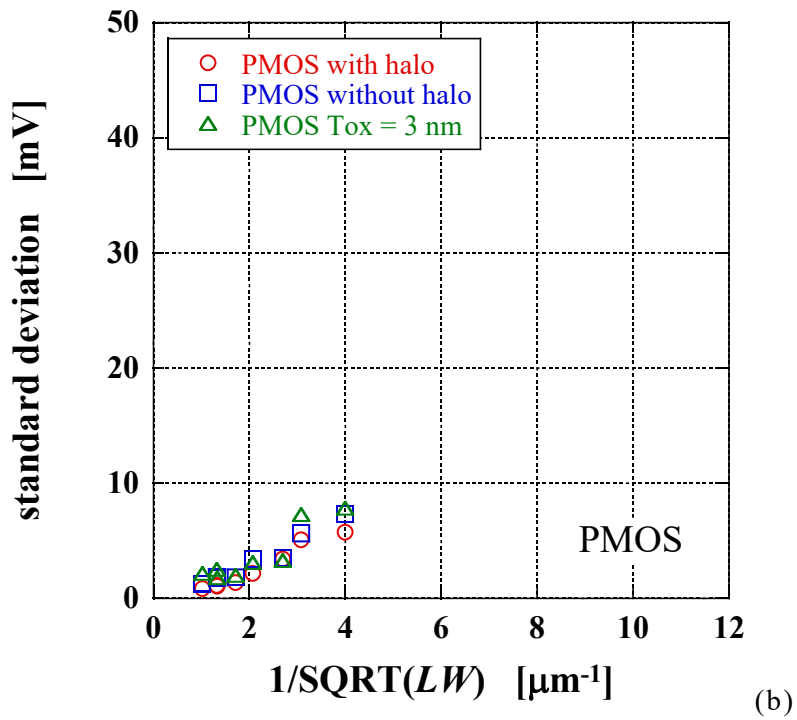


図 3-12(b) PMOS C-V 曲線から得られた V_{FB} の標準偏差のペルグロムプロット

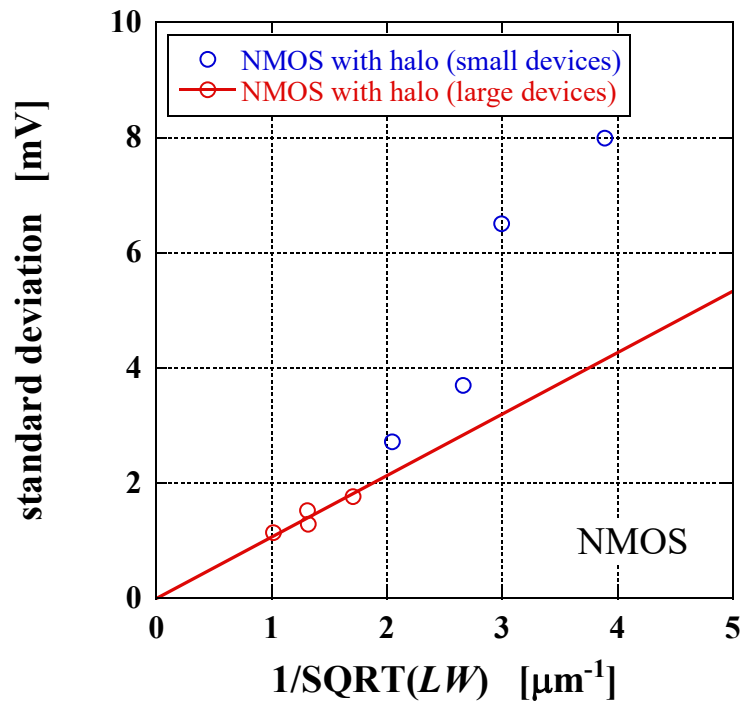


図 3-13 図 3-12(a)の halo を有する NMOS のペルグロムプロットの拡大図

参考文献

- [1] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analysis of $5\sigma V_{th}$ Fluctuation in 65nm-MOSFETs Using Takeuchi plot," 2008 Symp. on VLSI Technology, Dig. Tech. Papers, pp. 156-157. (2008).
- [2] K. Tsuji, K. Terada, R. Takeda, T. Tsunomura, A. Nishida, and T. Mogami, "Threshold Voltage Variation Extracted from MOSFET C-V Curves by Charge-Based Capacitance Measurement," Proc. Int. Conf. on Microelectronic Test Structures, pp. 82-86, March (2012).
- [3] K. Terada, K. Sanai, K. Tsuji, T. Tsunomura, A. Nishida, and T. Mogami, "Electrical Estimation of Channel Dopant Uniformity Using Test MOSFET Array," Proc. Int. Conf. on Microelectronic Test Structures, pp. 114-117, April (2011).
- [4] K. Terada, K. Sanai, K. Tsuji, T. Tsunomura, A. Nishida, and T. Mogami, "Effect of Channel Dopant Uniformity on MOSFET Threshold Voltage Variability," Solid State Electronics, vol. 69C, p. 62-66, (2012).
- [5] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching Properties of MOS Transistors," IEEE Journal of Solid-State Circuits, vol.24, no.5, pp. 1433-1440, October (1989).
- [6] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Mama, T. Hiramoto, and T. Mogami, "Analysis of Extra V_T Variability Sources in NMOS Using Takeuchi Plot," 2009 Symp. on VLSI Technology, Dig. Tech. Papers, pp. 110-111, (2009).
- [7] K. Terada, T. Chagawa, J. Xiang, K. Tsuji, T. Tsunomura, and A. Nishida, "Measurement of MOSFET Drain Current Variation Under High Gate Voltage," Solid State Electronics, vol.53, pp. 314-319, March, (2009).
- [8] K. Terada, and K. Tsuji, "Difference in Threshold-Voltage Variability Caused by Measurement Method," Proc. Workshop on Variability Modeling and Characterization (VMC), at ICCAD 2012, p. 1, (2012).

- [9] T. Tsunomura, A. Nishida, and T. Hiramoto, "Effect of Channel Dopant Profile on Difference in Threshold Voltage Variability Between NFETs and PFETs," *IEEE Trans. ED*, vol.58, no.02, pp. 364-369, (2011).
- [10] T. Tsunomura, F. Yano, A. Nishida, and T. Hiramoto, "Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot," *Jpn. J. Appl. Phys.* Vol.49, pp. 074104-1-074104-4, (2010).
- [11] T. Matsukawa, S. O'uchi, K. Endo, Y. Ishikawa, H. Yamauchi, Y. X. Liu, J. Tsukada, K. Sakamoto, and M. Masahara, "Comprehensive Analysis of Variability Sources of FinFET Characteristics," 2009 Symp. on VLSI Technology, *Dig. Tech. Papers*, pp. 118-119. (2009).

第4章 実効チャンネル長の抽出

4.1 序言

本章では、MOSFETの重要なパラメータである実効チャンネル長の抽出について、チャンネル抵抗法 CRM (Channel Resistance Method) 及びゲートキャパシタンス法 GCM (Gate Capacitance Method) の2つの抽出方法について述べる。CRMでは、従来のチャンネル抵抗からの実効チャンネル長抽出に関して再考し、設計者、技術者の両方に共通の解釈を与える。一方、GCMではCRMと異なり halo やボロンのアブノーマルな不純物の拡散領域などによるチャンネルの不均一性の影響を受けずに抽出できるが、できるだけ正確なゲート容量から抽出するためにフリンジ容量やゲート-ソース/ドレイン間容量、さらにゲート絶縁膜周辺に関する容量といったものをできる限り除去し、実効チャンネル長の抽出を行う。

4.2 CRMによる実効チャンネル長の抽出

4.2.1 実効チャンネル長 L_{EFF} の定義

チャンネル長には、さまざまな定義の仕方がある。例えば、設計チャンネル長 L_{DES} 、ゲート電極の幅 L_{GATE} 、ソース/ドレイン領域における冶金学的なPN接合間の距離 L_{MET} 、チャンネル抵抗から抽出した実効チャンネル長 L_{EFF} などである[1]。これらの定義の中にある L_{EFF} は、直接ドレイン電流を表すということは、設計者と技術者の両方にとって重要である。線形領域のドレイン電流 I_D は L_{EFF} を用いて(4-1)式のように表される。

$$I_D = \mu C_{OX} \frac{W}{L_{EFF}} (V_G - V_{TH}) V_D, \quad (4-1)$$

ここで、 μ 、 C_{OX} 、 W 、 V_G 、 V_{TH} そして V_D はそれぞれ、キャリア移動度、単位

面積当たりのゲート酸化膜容量，チャンネル幅，ゲート電圧，しきい値電圧そしてドレイン電圧である．

もし，MOSFET のチャンネル中に，halo のような不純物濃度が他のチャンネル領域よりも高い，拡散領域があるならば， L_{EFF} は L_{DES} や L_{GATE} よりも長くなり，そしてゲート電圧依存性を示すと考えられる．このゲート電圧依存性は， L_{EFF} を実用的用途において複雑にする．さらに，チャンネルの不均一性が大きい時， L_{EFF} は L_{DES} や L_{GATE} よりもずっと大きくなる． L_{EFF} は強く MOSFET の回路性能にゲート容量を通じて影響を与えるので， L_{EFF} は L_{GATE} や L_{MET} に近いことが要求される．

4.2.2 Channel Resistance Method (CRM)

ここでは， L_{EFF} をゲートオーバードライブ $V_{GT} = V_G - V_{TH}$ の弱関数として考え，CRM を用いる [2][3]．トータルの MOSFET の抵抗 R_{TOT} は(4-2)式のように近似される．

$$R_{TOT} = R_{EXT} + \frac{L_{EFF}}{WC_{OX}\mu V_{GT}} \quad , \quad (4-2)$$

ここで， R_{EXT} はチャンネル抵抗を除いた外因性抵抗である．CRM に必要な複数の MOSFET，（sample MOSFETs と呼ぶ）を用意する．これは L_{DES} の値は異なるが，同じチャンネル幅 W を持つ．そしてそれらの R_{TOT} vs V_{GT} 関係を測定する．もし $\Delta L = L_{DES} - L_{EFF}$ と定義し， ΔL が sample MOSFETs の間で共有して一定であると仮定すると，それらの R_{TOT} vs V_{GT} 関係は図 4-1 に示すように異なる傾きを持つ直線を与える．一定の V_{GT} における ΔL は，2 つの直線の交点の（この 2 直線は $V_{GT} - \delta V$ と $V_{GT} + \delta V$ に相当する．ここで δV は微小電圧である）， L_{DES} 軸から得られる．この V_{GT} における L_{EFF} はこの ΔL から得られる．

もし L_{EFF} が V_{GT} に依存しないならば，すなわち V_{GT} が一定ならば，すべての V_{GT} における交点の値は一致すると考えられる．しかしながら，ここで得られた多くのデータは，図 4-1 に示されるように，交点が V_{GT} に依存することを示す．CRM は，この V_{GT} 依存性が L_{EFF} の V_{GT} に依存することによるも

のであることを考慮する.

4.2.3 テストデバイスと測定手順

被測定素子 (Device Under Test : DUT) は 65 nm, 1.2 V 電源電圧テクノロジーかつ 2 nm の厚さのポリシリコンゲート絶縁膜, メタル 3 層で作られた Device Matrix Array (DMA) を測定した[4]. DMA には 16K 個の DUTs を含んでおり, DUT の典型的な構造は halo とエクステンションを有する MOSFET である. この節では, 異なる L_{DES} の値 0.2, 0.4, 1.0, そして 2.0 μm を有するが同じ設計チャンネル幅 $W = 2.0 \mu\text{m}$ を有する長チャンネルの sample MOSFETs のデータを用いる. 測定された V_{TH} vs L_{DES} の関係から sample MOSFETs の halo はオーバーラップしていないと考えられる. 測定データを信頼するために 1 チップ中の 192 の sample MOSFET のセットを測定し, それらの平均を計算した. ドレイン電圧の絶対値 $|V_D| = 50 \text{ mV}$ における, ドレイン電流 (I_D) vs ゲート電圧 (V_G) の関係が測定され, これから V_{TH} の値が定電流法[5]によって抽出される. そして, R_{TOT} vs V_{GT} の関係が得られる. そのとき, ΔL - V_{GT} の関係が CRMs を用いて抽出される[6].

図 4-2 は $W = 2.0 \mu\text{m}$ の P-チャンネル MOSFETs(P-MOSFETs)の場合の平均 V_{TH} vs L_{DES} の関係を示している. 6 つの異なるチャンネル構造が測定され, これは図のキャプションに示されている. halo を有する P-MOSFETs は逆短チャンネル効果を示す. しかし, halo を有しない P-MOSFETs では示さない. これは, halo を有しない P-MOSFET のチャンネルは均一であると考えられる. 主に P-MOSFET を使用する. というのも, CRM は, sample MOSFET が均一なチャンネルを持つと仮定するためである. 一方, N-チャンネル MOSFET(N-MOSFET)のチャンネルは, たとえ halo を有しなくともアブノーマルなボロン原子の拡散のせいで, 均一でない[6][7].

4.2.4 ΔL - V_{GT} 関係

図 4-3 は P-MOSFET の場合の平均 ΔL vs V_{GT} の関係を示している. ほとんどすべての ΔL の値は初め負になり, そして負の ΔL のシフトは halo 密度の増加につれて著しく増加する. この振る舞いは halo によって引き起こされ,

チャンネルが, halo とチャンネルの中心領域の 2 つの領域に分けられた, MOSFET モデルによって説明される [6]. 図 4-3 における halo を有しない P-MOSFET, すなわち 02-No++ と 03-No+ の ΔL の値はほとんど一定である. それは, それらのチャンネルドーパント密度が均一であり, これらの ΔL の値は正確である, すなわち (4-1) 式, (4-2) 式は $L_{EFF} = L_{DES} - \Delta L$ を用いることは正しいと考えられる.

図 4-4 は P-MOSFET における halo ドーズ量の関数としての ΔL を示している. ここで, $V_{GT} = 0.5 \text{ V}$ における ΔL が用いられた. halo を有しない P-MOSFET の ΔL は約 -10 nm である. つまり $L_{EFF} = L_{DES} + 10 \text{ nm}$ を差し示している. この ΔL は正確であると考えられる. というのも, 均一なチャンネルを有する sample MOSFET を用いて抽出されたからである. 一方, halo を有する MOSFET の ΔL は, halo のドーズ量が増加するにつれて, より負になっている. 負の ΔL のシフトは濃い halo のドーズ量において $0.1 \mu\text{m}$ になっているので, この ΔL は 65 nm テクノロジーによって作製された MOSFET のそれとみなされ得ない. 図 4-3, 4-4 のそれらと同様の ΔL vs halo ドーズ量の関係が, N-MOSFET においても得られている [6]. halo を有しない N-MOSFET の ΔL は約 -20 nm である. しかしながらこの ΔL の値は不正確であると考えられる. このように考えられる理由は, もし halo が形成されなければ, halo と同様の領域が N-MOSFET においてボロン原子のアブノーマルな拡散によって形成されるからである [7].

4.2.5 実効チャンネル長の再考

halo を有する MOSFET の抽出された L_{EFF} が正確な値より大きくなるということを示す結果は, 図 4-5 の 2 領域モデルを考えることによって説明できる. N-MOSFET の場合を考える. V_{THH} と V_{THC} はそれぞれ, halo におけるしきい値電圧, チャンネル領域の中心のしきい値電圧として定義し, $V_{THH} > V_{THC}$ と仮定する. チャンネルのキャリア密度分布 4-5(a) の灰色の領域であると考えられる. ここで, 横方向はチャンネルの位置を示す. 縦方向 (灰色の領域の厚さ) はキャリア密度に比例する量を示す. このキャリア密度分布を有する MOSFET における近似の R_{TOT} の方程式は参考文献 [6] において導出されるけれども, シンプルかつクリアなチャンネル長モデルとしては適切でない.

従って、設計者と技術者の両方に共通のチャンネル長の解釈を与えるために均一なキャリア分布モデルを用いる。それゆえに、図 4-5(a)に示されるチャンネルキャリア密度分布を図 4-5(b)に示されるような均一なキャリア分布として考える。halo 領域の長さは sample MOSFETs の中で一定であり、チャンネル長中心は L_{DES} とともに変化するので、図 4-5(b)に示されるキャリア密度は V_{GT} に比例しない。それゆえ、(4-2)式を用いた CRM は不均一なチャンネルを有する MOSFET において、 $1/V_{GT}$ の係数、すなわち、 $L_{EFF}/W\mu C_{OX}$ が V_{GT} に依存する場合を除いては、用いることができない。

ここで用いる CRM は L_{EFF} のみが V_{GT} に依存し、他のパラメータは一定であると考えられる。この変化する L_{EFF} を解くために、そして一定の L_{EFF} を与えるために、新しくそして一定の実効チャンネル長が L_{EFF} から再定義されるべきである。これ以降、変化する L_{EFF} から再定義された一定の実効チャンネル長を L_{CEF} として示す。先行研究で平均の変化する L_{EFF} を L_{CEF} として再定義した[9]。チャンネル不均一性がそれほど大きくないとき、平均の L_{CEF} は合理的なチャンネル長を与える。しかしながら、チャンネルの不均一性が大きいとき、平均の L_{CEF} はもしかすると図 4-4 に示されるように、 L_{GATE} または L_{MET} から遠くなる。

ここで、新しい L_{CEF} の定義を提案する。図 4-4 の 6 つすべての MOSFET の L_{CEF} の値を、halo を有しない MOSFET の L_{EFF} の値、 $L_{DES} - \Delta L$ かつ $\Delta L \sim -10$ nm として定義する。halo を有する典型的な MOSFET (01-Typ) の ΔL は、図 4-4 に示されるように、およそ -50 nm であるけれども、その L_{CEF} を $L_{DES} + 50$ nm としてではなく、 $L_{DES} + 10$ nm として決定する。この L_{CEF} の値は L_{GATE} または L_{MET} に近いと考えられる。なぜなら、均一なチャンネルを有する sample MOSFET を用いて抽出した ΔL の値は正確だからである。halo を有する MOSFET の L_{MET} は、halo と基板間の不純物密度の差のために、halo を有しない MOSFET のそれとわずかに異なるけれども、この差は小さいと考え、そして無視できる。また、(4-2)式の $1/V_{GT}$ の係数の V_{GT} 依存性は μC_{OX} の V_{GT} 依存性と考え、そしてチャンネル長は一定かつ L_{CEF} に等しいと考える。(4-1)式の L_{EFF} を L_{CEF} によって置き換えた、すなわち、典型的な halo を有する MOSFET (01-Typ) において、(4-1)式の $L_{EFF} = L_{DEF} + 50$ nm を $L_{CEF} = L_{DES} + 10$ nm によって置き換えたので、測定された値にそのドレイン電流において

μC_{OX} の値を修正しなければならない。また、 $\Delta L-V_{GT}$ 関係がフラットになる
ところのドレイン電流に相当する値として μC_{OX} を用いなければならない。

4.2.6 CRM の実効チャネル長の再考におけるディスカッション

halo を有しない P-MOSFETs のチャネルは均一である。というのも、それ
らの $V_{TH}-L_{DES}$ 関係は逆単チャネル効果を示さず、そして、それらの ΔL の値
は V_{GT} に依存しないからである。それゆえ、それらの L_{CEF} の値は通常の実効
チャネル長と一致する。しかしながら、均一なチャネルを有する N-channel
sample MOSFETs を得ることができなかった。というのも、それらのチャネ
ルドーパント密度は、アブノーマルなボロン拡散のせいで均一でないからで
ある [7]。本節では、上記の方法によって抽出された P-と N-channel MOSFETs
の両方における L_{CEF} の正確さについて議論する。

図 4-6 のキャプションに示されるような、様々な sample MOSFET の組に
おいて図 4-4 のそれらのような ΔL vs halo ドーズ量 の関係を比較する。図 4-
4 に用いられた sample MOSFET の組は、sample MOSFET が長いチャネルを
有する W200Long である。これらの MOSFETs の halo はオーバーラップして
いないと考えられる。それゆえ、それらのチャネルの不均一性は、halo のド
ーズ量が増加するにつれて、増加する。一方、W200Short の sample MOSFETs
は短いチャネルを有する。これらの MOSFETs の halo はオーバーラップして
いると考えられる。従って、それらのチャネルは比較的均一であるが、それ
らのチャネルドーパント密度は L_{DES} に依存する。チャネルドーパント密度
の L_{DES} 依存性は反転層キャリア密度を sample MOSFETs の中で異なるもの
にする。これは、CRM の仮定と矛盾する。すなわち、チャネル抵抗が直接
 L_{EFF} に比例する。他の 3 つの sample MOSFETs の組は、短チャネル、長チャ
ネルの両方を有し、異なるチャネル幅を有する。

図 4-6 から、halo を有しない P-MOSFETs の ΔL の値は sample MOSFETs の
組に関係なく一致することが分かった。この結果は、CRM の halo を有しな
い P-MOSFET への適合性によるものと考えられる。そして、その ΔL は、(こ
れは約 -10 nm である) 正確である。それゆえ、すべての P-MOSFETs の L_{CEF}
の値は $\Delta L \sim -10$ nm から計算される。そのような値はおそらく、 L_{GATE} もしく
は L_{MET} に近い。一方、N-MOSFET の L_{CEF} は明確に決めることができない。

図 4-6(a)から、5つの曲線が寄せ集まり、 $\Delta L = -10$ から -20 nm において、負の halo ドーズ領域において一致することが分かった。それゆえ、すべての N-MOSFETs の L_{CEF} の値は、 $\Delta L = -10$ から -20 nm までで計算される。[10]で述べられているように、 L_{EFF} は弱い N_{SUB} と V_{SUB} 依存性を有し、そして、約 5 nm までそれらの依存性を変化する。たとえ、halo が横方向電界の影響を防ぐとしてもである。従って、この L_{CEF} における不確定性はそれほど厄介ではないと考えられる。

W200Long (長チャンネル) のサンプルの場合の ΔL の負のシフトは、halo のドーズ量が増加するにつれて増加することが分かった。この理由は、チャンネルの不均一性が halo のドーズ量とともに増加するためである。一方、W200Short (短チャンネル) のサンプルの場合の ΔL の負のシフトは、halo のドーズ量が増加するにつれて、著しく増加しない。この理由は、ソースとドレインの両方の halo がオーバーラップする；従ってチャンネルが比較的均一であるためである。これは、sample MOSFET のチャンネルドーパント密度が L_{DES} に依存させる。これは V_{TH} , μ , そしてバルク電荷を通じて、チャンネル伝導率に影響する。そして CRM を不正確にする。しかしながら、この不正確さはそれほど大きくはない。というのも、測定中、sample MOSFETs 全体において V_{GT} 一定を保っていたからである。そして、 V_{TH} を除いた他の成分の影響はそれほど大きくはないからである。

図 4-7 は、 ΔL の標準偏差、 σ_L , を N-MOSFET と P-MOSFET の両方の場合において、halo ドーズ量の関数として示したものである[11]。これは、sample MOSFET の組あたり、192 の ΔL のデータから計算される。 σ_L は小さいので、抽出された ΔL の値は信頼できると考えられる。抽出された σ_L の値はチャンネル長のばらつき自身だけでなく、他の要素、たとえばチャンネルの不均一性、抽出された V_{TH} の値のばらつきなどにも影響される。それゆえ、得られた σ_L の値はチャンネル長ばらつきよりも大きいと考えられる。図 4-7 から σ_L は、halo のドーズ量が減少するにつれて、減少し、飽和することが分かった。halo を有しない $W = 2 \mu\text{m}$ の MOSFET の σ_L は N-チャンネルの場合において約 5 nm, P-チャンネルの場合において約 2 nm と考えられる。これらの値は、主にチャンネル長ばらつきによって決まる。図 4-8 は σ_L を P-MOSFET の場合において $1/\sqrt{W}$ の関数として示したものである。 W が減少するにつれて σ_L が増加する

ことがわかる． ΔL は，図 4-7 に示されるように，halo のドーズ量に強く影響されるので，halo を有するサンプルの σ_L はチャンネルの不均一性とともチャンネル長ばらつきよりも大きくなる．上述のように， ΔL は信頼できるが明確でないと決定される．

halo によって引き起こされる誤差を補正するために， L_{CEF} は新しく， L_{EFF} と halo ドーズ量との間の関係を用いて均一なチャンネルを有する MOSFET の場合の L_{EFF} の限界として，定義される．一方，ゲートキャパシタンス測定を用いたチャンネル長抽出方法が，CRM におけるチャンネル不均一性の影響を抑止するために，提案されている[12-14]． L_{CEF} がそれらの容量方法によって抽出されたチャンネル長と一致することが望ましい．しかしながら，そのような方法は微小容量の測定を必要とし，寄生容量によって引き起こされる誤差を防ぐことができない． L_{CEF} と容量方法によって抽出されたチャンネル長を比較することは容易ではない．けれども，いくつかの研究において，寄生容量成分を除去することが行われている[15]．この比較は依然として実行されている．

4.3 GCM による実効チャンネル長の抽出

4.3.1 C-V カーブの測定

DUT は 65 nm CMOS テクノロジーによって作製された MOSFET である．それらは短チャンネル効果を防ぐためにチャンネルに halo 領域を有する．それらのゲート絶縁膜は 2 nm の等価厚さを有する SiON 膜である．8 組の設計チャンネル幅と設計チャンネル長（表 4-1）を有する N-MOSFET と P-MOSFET の両方がゲートキャパシタンスの測定において用いられる．DUT MOSFET のゲート容量 (C_{DUT}) は CIEF CBCM 法[16]によって測定される．図 4-9 は本研究で用いられたテスト回路を示している．擬似インバータが，先に提案された CIEF CBCM 回路では用いられているけれども[17]，ここでは一對の CMOS トランスミッションゲートが，DUT に十分高い電圧振幅を供給する代わりに用いられる[18]．DUT MOSFET は 2 つの CMOS トランスミッションゲートの間の中間ノードに接続される．CIEF CBCM は 2 回の DC 電流測

定に基づく。表 4-2 は測定条件を示す。図 4-10 はテスト回路に印加されるノンオーバーラップパルスを示している。最初のステップ (STEP1) では、電流経路に含まれるすべての容量の充電・放電に寄与する電流 (I_{STEP1}) が $VDDQ$ 端子において測定される。2 番目のステップ (STEP2) では、図 4-10 のパルス (f) が DUT MOSFET のゲートと反対の電極に印加されるので、DUT MOSFET のゲートを除いた容量の充電・放電に寄与する電流 (I_{STEP2}) が $VDDQ$ 端子において測定される。 C_{DUT} の充電・放電に寄与する正味の電流は I_{STEP1} から I_{STEP2} を引くことによって得られる。従って C_{DUT} は(4-3)式によってあらわされる。

$$C_{DUT} = \frac{1}{f} \cdot \frac{d(I_{STEP1} - I_{STEP2})}{dVDDQ}, \quad (4-3)$$

ここで、 f はノンオーバーラッピングパルスの周波数、そして $VDDQ$ は図 4-9 の $VDDQ$ 端子に印加される電圧である。

測定結果は図 4-11 に示されている。これは DUT MOSFET のゲート容量が設計ゲート面積によって規格化されたもの C_{DUT}/LW を表している。ここで、 L 、 W 、そして V_{gwell} ($=VDDQ - VDUT_{well}$) はそれぞれ、設計チャンネル長、設計チャンネル幅、そして DUT MOSFET のゲートと他の端子間の実効電圧である。すなわち、縦軸は単位チャンネル面積当たりのゲート容量、横軸はゲートと他の端子間の電圧である。最大で 24 のデータが、それぞれの寸法の組の C-V カーブにあらわされている。デバイスの寸法が小さくなるにつれて C-V カーブが上に動くのは、DUT MOSFET に含まれる寄生容量が、ゲート面積によって規格化されないためである。

4.3.2 寄生容量の除去

2 つの平行平板電極の容量は、もし、それらの間の電界が均一ならば、直接平板の面積に比例する。GCM は、ゲートとチャンネルを 2 つの平行平板電極と考えることによって、チャンネル長抽出においてこの事実を用いる。図 4-12 は MOSFET のチャンネルとその周辺領域の平面図を示している。ここで、ISO.C と ISO.S はそれぞれ、コーナー部の絶縁領域とサイド部の絶縁領域で

ある。破線は、ゲート電極部を表す。ゲート電極はチャンネルを完全に覆い、周辺領域を部分的に覆う。ゲート電極から放出された電界はチャンネル内、もしくは周辺領域内で終端する。チャンネル中心部の電界は縦方向かつ均一であると考えられる。しかしながら、周辺領域の電界はフリンジ状になり、付加的な寄生容量を供給する。また、周辺チャンネルの電界分布に影響を及ぼし、それを不均一にする。これは、GCMにおいてシリアスな誤差を引き起こすので、除去されなければならない。以後、MOSFETのゲート周辺のこの効果を周辺効果（peripheral effect）と呼ぶ。

4.3.3 周辺効果の除去

これ以降、 C_{DUT} の平均値を用いる。というのも、それらのばらつきの影響が抽出結果に影響を及ぼさないくらい小さいためである。図 4-13 は C_{DUT} 対 W のプロットを示している。ここで、 C_{DUT} は、 $V_{gwell} = 1.0 \text{ V}$ のときの、24 個のデータ値の平均値である。 $W = 0$ のときの C_{DUT} はゼロでなく（これを C_{DUT0} と示す）、 L に依存することがわかる。 C_{DUT0} は図 4-12 における 4 つの ISO.C 領域と 2 つの ISO.S 領域の周辺効果によって引き起こされる寄生容量であると考えられる。これらの領域はチャンネル周辺の電界分布を不均一にする。しかしながら、この効果は、チャンネル幅の広い MOSFET（ワイドチャンネル MOSFET）においては小さいと考えられるので、容量 C_{DUT} マイナス残りの容量（ $C'_G = C_{DUT} - C_{DUT0}$ ）（これは C'_G と示す）は、チャンネル中心の均一な電界分布によってほとんど決定される。すなわち、電界分布の C'_G への寄与はチャンネル幅方向において、均一であると考えられる。しかしながら、次に述べるように、チャンネル長方向においてはその位置に依存する。

4.3.4 ゲート-ソース間、ゲート-ドレイン間容量の除去

ソースとドレイン領域（SD-regions）の影響は図 4-14 の参照回路を用いて評価される。これをソース/ドレイン参照デバイスと呼ぶ。図 4-9 の DUT MOSFET のゲート端子は CMOS トランスマッションゲートの間の中間ノードに接続されているけれども、図 4-14 では DUT MOSFET のドレイン/ソース端子が中間ノードに接続されている。従って、ゲート-ドレイン/ソース間

容量はソース/ドレイン参照デバイスを用いて測定される。N-MOSFET, P-MOSFET の両方において、設計チャンネル長とチャンネル幅の 8 つの組み合わせ (表 4-3) がゲート-ドレイン/ソース間容量の測定において用いられる。測定条件は表 4-4 に示されている。STEP1 の電流 (I_{STEP1}) が C_{DUT} を得る時と同じ方法で測定される。STEP2 の電流 (I_{STEP2}) は V_{SSC} 端子に図 4-10 (f) のパルスを印加することによって測定される。すなわち、DUT MOSFET のゲートは CMOS トランスミッションゲートの間の中間ノードと同じ電圧になる。一方、 $V_{DUTwell}$ 端子は STEP1 の状態を維持し続ける。従って、正味の電流 (これは、SD-regions とゲート間の容量の充電・放電に寄与する) は測定されない。それゆえ、それらの間の容量 C_{REF} は(4-4)式によって表される。

$$C_{REF} = \frac{1}{f} \cdot \frac{d(I_{STEP1} - I_{STEP2})}{dV_{DDQ}}, \quad (4-4)$$

これは C_{DUT} における(4-3)式と同様の式である。

図 4-15 は、ゲートと SD-region 間の電圧 V_{gwell} が -1.0 V の時の N-MOSFET における W の関数としての平均 C_{REF} を示している。 $W = 0$ の時の C_{REF} (これは C_{REF0} を示す) は、ゼロでなく L に依存することがわかる。残りの容量は、 C_{DUT} の場合におけるそれと同様の理由において図 4-12 の ISO.C 領域の周辺効果によって引き起こされる寄生容量であると考えられる。その時周辺効果のないゲートと SD-region の間の容量 C_{G-SD} は $C_{G-SD} = C_{REF} - C_{REF0}$ として導かれる。両方向における周辺効果のないゲート容量 C_G は(4-5)式のように導かれる。

$$C_G = C'_G - C_{G-SD}, \quad (4-5)$$

図 4-16 は測定された N-MOSFET の断面図とオリジナルテストデバイスの回路図を示している。ゲート電極と他の 3 つの端子の間の容量は MOS のチャンネルが深く反転しているときに CIEF CBCM によって測定される。それらの間の電界は実線で示されると考えられる。チャンネル中心のこれらの線は縦方向でかつ均一であるが、チャンネル端のそれらは斜めでかつ不均一である。

図 4-17 はソース/ドレイン参照デバイスと測定された N-MOSFET の断面図を示している。SD-regions とゲート電極間の容量が、MOS チャネルが蓄積状態にある時に同様に測定される。SD-regions とゲート電極間の電界は実線によって示される。これは、図 4-16 のチャネル端におけるそれらと同じである。それゆえ、ゲート-SD 間容量は(4-5)式によって取り除かれる。

4.3.5 GCM によるチャネル長抽出

C_G は、図 4-18(a)に示されるように、C-V カーブを再描画するために C_{DUT} の代わりに用いられる。これらのカーブはチャネル面積にのみ依存し、 W に依存しないことがわかる。P-MOSFET における同様の C-V カーブが図 4-18(b) のように描かれる。これらの図は、周辺効果によって引き起こされる寄生容量（これは、ゲート面積によって規格化されない）は測定された C-V カーブから除去されていることを示している。しかしながら、ゲート-SD-region 間容量 C_{G-SD} は、4.3.6 節で述べられるようにチャネル長抽出の問題となるので、 C_G データ同様に C'_G データからも GCM によって抽出される実効チャネル長 L_{GCM} を抽出する。

強反転領域における C_G が $C_{OX} \times L_{GCM} W$ にほぼ等しいと仮定すると、（ここで、 C_{OX} は単位面積あたりのゲート酸化膜容量である。） C_G/W は(4-6)式のように表される。

$$\frac{C_G}{W} = \frac{\kappa_{OX}\epsilon_0}{T_{OX}} \cdot L_{GCM} = \frac{\kappa_{OX}\epsilon_0}{T_{OX}} \cdot (L - \Delta L) , \quad (4-6)$$

ここで、 κ_{OX} 、 ϵ_0 そして T_{OX} はそれぞれ、酸化膜の誘電定数、真空の誘電率、そして実効酸化膜厚である。 ΔL は設計チャネル長と実効チャネル長の差である。図 4-19 は C'_G/W と C_G/W が $V_{gwell} = |1.0 \text{ V}|$ のときの L の関数として示されている。直線は回帰直線である。 C'_G/W と C_G/W の両方のデータが接近して直線にフィットしている。このことは再び、ゲート-SD-region のサイドの容量を除いて、周辺効果によって引き起こされる寄生容量が除去されていることを裏付ける。 ΔL は x 切片から得られる。 C'_G/W と C_G/W から抽出された ΔL をそれぞれ L_{GCM1} 、 L_{GCM2} とする。

4.3.6 GCMによる実効チャンネル長抽出におけるディスカッション

抽出結果は、表 4-5 にまとめられている。ここで、 ΔL_{CRM} 、 ΔL_{GCM1} 、そして ΔL_{GCM2} はそれぞれ、設計チャンネル長と CRM によって抽出された実効チャンネル長との差、設計チャンネル長と C'_G/W データから GCM によって抽出された実効チャンネル長との差、そして設計チャンネル長と C_G/W データから GCM によって抽出された実効チャンネル長との差である。 ΔL_{CRM} はそれぞれ N-MOSFET において -0.01 から -0.02, P-MOSFET において -0.01 μm である。 L_{CRM} は P-MOSFET において L_{GCM2} より約 0.02 μm 大きく、 L_{GCM1} より 0.01 μm 小さいことがわかる。N-MOSFET においても、同様の傾向が観測される。halo を有しない P-MOSFET の場合のチャンネルは、均一であると考えられるので、その L_{CRM} は正確であると考えられる[10]。

上述の、 L_{CRM} と L_{GCM1}/L_{GCM2} との間の差について考える。 L_{CRM} はドレイン電流がゲート電圧によって変調される場所の長さである。これは、もしエクステンションのドーピング密度が、その導電率がゲート電圧に依存しないというくらいとでも高ければ、図 4-16 に示されるように、エクステンション間の長さ (L_{EXT}) である。もしその導電率がゲート電圧に依存するならば、それはチャンネルの一部と同様にふるまい、 L_{CRM} は L_{EXT} より大きくなる。一方、 L_{GCM2} は、もし C_{G-SD} の引き算が合っているのならば、ゲート電極の長さである。図 4-20 はソースドレイン参照デバイスにおける測定された N-MOSFET の断面図を示している。電界（これは、ゲート-SD-region 間容量 C_{G-SD} に寄与し、ゲート電極から放出される。）は、3つの成分、(1): エクステンションにおける終端、(2): アウターフリッジ、(3): インナーフリッジに分けられる[19]。また、電界成分(1), (2)は図 4-16 のオリジナルテストデバイスにおけるそれらと同様と考えられる。しかしながら、電界成分(3)はオリジナルテストデバイスには存在しない。なぜなら、表面が反転した MOS が測定され、反転層がそこでの電界を遮蔽するためである。それゆえ、ソースドレイン参照デバイスで見積もられた C_{G-SD} は、オリジナルテストデバイスにおけるゲート-SD-region 間容量より大きくなる。このことは、電界成分(3)に関連した容量によって L_{GCM2} を L_{EXT} より小さくする。一方、 L_{GCM1} は C_{G-SD} を含むゲート容量から抽出される。これは、電界成分(1), (2)によって引き

起こされる。 L_{GCM1} は、それゆえ、 L_{GCM2} よりも大きくなり、おそらくゲート電極の長さよりも大きくなる。

L_{CRM} は、P-MOSFET, N-MOSFET のそれぞれの場合において、表 4-5 に示されるように、 L_{GCM2} よりも 0.02, 0.04 μm 大きい。この理由は、上述したように、エクステンションドーピング密度とインナーフリンジの影響にあると考えられる。さらに、チャネルドーピングの不均一性もまた、N-MOSFET の場合、それに影響を及ぼす。エクステンションの長さはゲートサイドウォールによって抑制されるけれども、それは不純物の横方向拡散によって形成される。インナーフリンジの影響はおそらくソース-ドレイン領域の深さに相当する容量である。sample MOSFET におけるエクステンションの深さとソース-ドレイン領域の深さは、それぞれ、0.02 μm 以下と 0.05 μm 以下である [20]。これらの L_{CRM} と L_{GCM2} との差、0.02 と 0.04 μm は起こりうると考えられる。

図 4-19 に示されるように、 L_{GCM2} は L_{GCM1} よりも 0.03 μm 小さい。この差は、電界成分(1), (2)によって引き起こされると考えられる。エクステンションの長さは、その深さと同じオーダーで、0.02 μm 以下である [20]。アウターフリンジの影響はゲート電極の高さ（これは 0.05 μm 以上である。）に相当する容量である。約 0.03 μm の差は起こりうると考えられる。

測定された容量から抽出された実効チャネル長は、本当のチャネル長よりも大きく観測される。というのも、ゲート-SD-region 間容量が加えられる必要があるからである。ソースドレイン参照デバイスを用いてそれを取り除こうとしたが、先に述べたように、インナーフリンジによって引き起こされる容量を取り除くことができなかった。しかしながら、ゲート-SD-region 間容量によって引き起こされる L_{GCM1}/L_{GCM2} の起こりうる誤差を見積もることができる。それは 0.02 から 0.04 μm とゲート電極の高さとエクステンションの深さ依存性が考えられる。一方 L_{CRM} は不均一なチャネルによって引き起こされる誤差が含まれる。我々は L_{GCM1}/L_{GCM2} を用いてインナーフリンジによるこの誤差を見積もろうとした。しかしながら、ゲート-SD-region 間容量によって引き起こされる誤差と同じくらいの大きさがあった。それゆえ、インナーフリンジによるこの誤差を見積もることができなかった。

4.4 結言

まず、CRM について結言を述べる。 V_{GT} の関数として L_{EFF} が CRM によって抽出された。それは L_{EFF} が強くチャネルドーパントの不均一性によって影響されることが観測された。すなわち、halo のドーズ量と V_{GT} である。これらの特性を考慮して、我々は新しいチャネル長の定義を提案する。これは一定で、共通のチャネル長の解釈を設計者と技術者の両方に与えるために、均一なチャネルを有する MOSFETs において古典的な電流方程式に従う。提案されたチャネル長 L_{CEF} は L_{EFF} vs halo のドーズ量の関係から導かれる。 L_{CEF} は確実に決定されるが明確ではない。それは、たとえ、均一なチャネルを有する sample MOSFETs が得られたとしても、正確であり、 L_{GATE} もしくは L_{MET} に近い。 L_{CEF} は、（これはおそらく正確な値に近い）たとえ均一なチャネルを有する sample MOSFETs が得られなかったとしても、外挿法を用いて抽出される。

つぎに GCM における結言を述べる。MOSFET のチャネル長、 L_{GCM} は様々な設計チャネル寸法を有する MOSFETs において測定された容量から抽出された。これは、測定された容量から様々な寄生容量を引くことによって、そして、純粋なゲート容量（これはゲート面積に比例する）を計算することによって実行された。65 nm テストデバイスを用いて、ゲート容量と設計チャネル長の間において強い線形関係を成功裏に得られた。これは、部分的に、純粋なゲート容量が得られたことを示している。それらの L_{GCM} の値は、測定されたドレイン電流から抽出された値、 L_{CRM} と比較される。その結果、 L_{GCM} は L_{CRM} よりも約 0.02 μm 短いことが分かった。この理由はディスクッションにおいて議論され、寄生容量の一部、インナーフリンジ部、を引き去りすぎていたことだと分かった。この寄生容量は本研究では推定することができなかつたので、 L_{GCM} の抽出において誤差として残ったままである。さらに、 L_{GCM} と 65 nm MOSFETs を用いた L_{CRM} と比較した。その結果、N-MOSFET における L_{CRM} は誤差を有し、チャネルの不均一性のために本当のチャネル長よりも長いと考えられる。この誤差は GCM の誤差に匹敵することが分かった。それゆえ、不均一なチャネルを有する MOSFET の場合の CRM の正確さは解明できなかつた。本研究の目的の一つは GCM によって抽出されたデ

バイスモデルパラメータとして L_{GCM} の値と, CRM によって抽出された L_{CRM} のそれらを比較することであった. 最初, 寄生容量が測定された MOSFET C-V カーブに含まれているので, それらは取り除かれる必要があると考えた. C_{G-SD} は効率的に得られ, 除去されたけれども, インナーフリンジ容量は取り除けなかった. インナーフリンジは取り除けなかったが, L_{GCM2} は L_{GCM1} と同様に抽出された. 回路シミュレーションが遂行される時, 回路シミュレーションに用いられるデバイスには C_{G-SD} とインナーフリンジが含まれていると考えられる. それゆえ, デバイスは実際のデバイスに近い. 従って, L_{GCM1} はデバイスモデルパラメータとして, L_{GCM1} が周辺効果として C_{G-SD} とインナーフリンジを有する MOSFET から抽出されたので, L_{GCM2} よりも, より適切であると考えられる.

表 4-1 測定されたチャネル構造とチャネル寸法

channel structure	with halo regions, and $T_{OX} = 2$ nm (T_{OX} : gate oxide thickness)
design channel width W	0.6, 1.0 μm
design channel length L	0.12, 0.25, 0.6, 1.0 μm

表 4-2 図 4-9 における測定条件

$VDDQ$	0 ~ 1.2 V, 0.05 V step
$VSSQ$	0 V
$VDUT_{well}$, $VSSC$	STEP1 : Fig. 4-10(e) STEP2 : Fig. 4-10(f)
Frequency	0.45 MHz

表 4-3 ソースとドレインの参照デバイスの測定されたチャネル幅とチャネル長

channel structure	with halo regions, and $T_{OX} = 2$ nm (T_{OX} : gate oxide thickness)
design channel width W	0.2, 0.6, 1.0 μm
design channel length L	0.12, 0.25, 0.6 μm

表 4-4 図 4-14 における測定条件

$VDDQ$	0 ~ 1.2 V, 0.05 V step
$VSSQ$	0 V
$VSSC$	STEP1 : Fig. 4-10(e) STEP2 : Fig. 4-10(f)
$VDUT_{well}$	STEP1, STEP2 : Fig. 4-12(e)
Frequency	0.45 MHz

表 4-5 ΔL の抽出結果

	ΔL_{CRM}	ΔL_{GCM1}	ΔL_{GCM2}
N-MOSFET	-0.01 ~ -0.02 μm	-0.01 μm	0.02 μm
P-MOSFET	-0.01 μm	-0.02 μm	0.01 μm

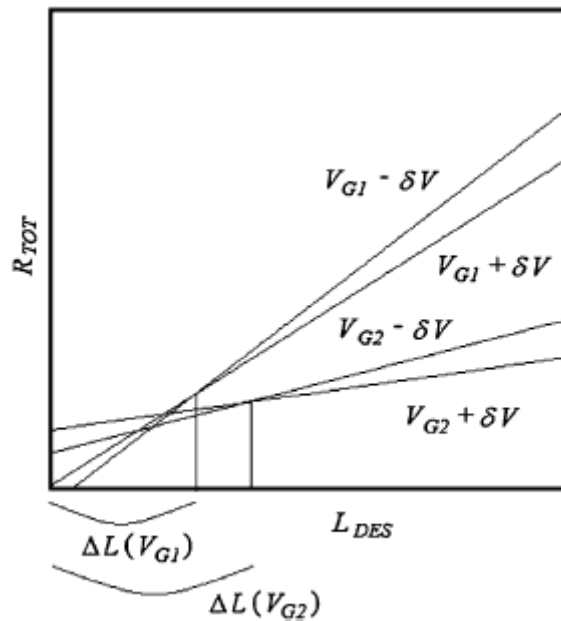


図 4-1 L_{EFF} を V_{GT} の弱関数として考えた場合の CRM を用いた R_{TOT} vs V_{GT} 関係

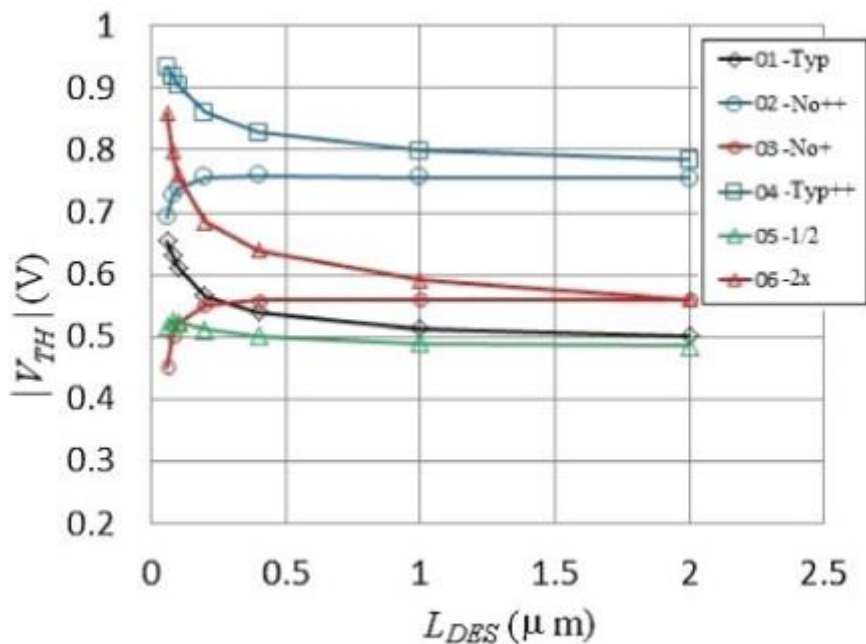


図4-2 $W = 2.0 \mu\text{m}$ の時P-チャネルMOSFETsの場合の平均 V_{TH} vs L_{DES} の関係. 次の6つの異なるチャネル構造が測定された. 01-Typ: typical with halo, 02-No++: very high Nsub without halo, 03-No+: high Nsub without halo, 04Typ++: very high Nsub with halo,05-1/2: a half halo dose, and 06-2x: double halo dose, where Nsub indicates the substrate doping density.

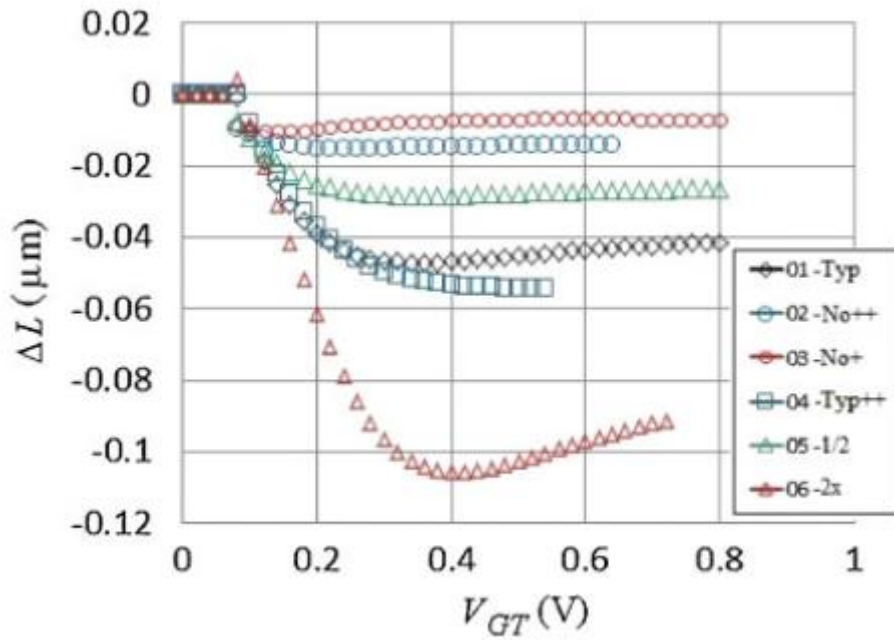


図 4-3 P-MOSFET の場合における平均 ΔL vs V_{GT} の関係

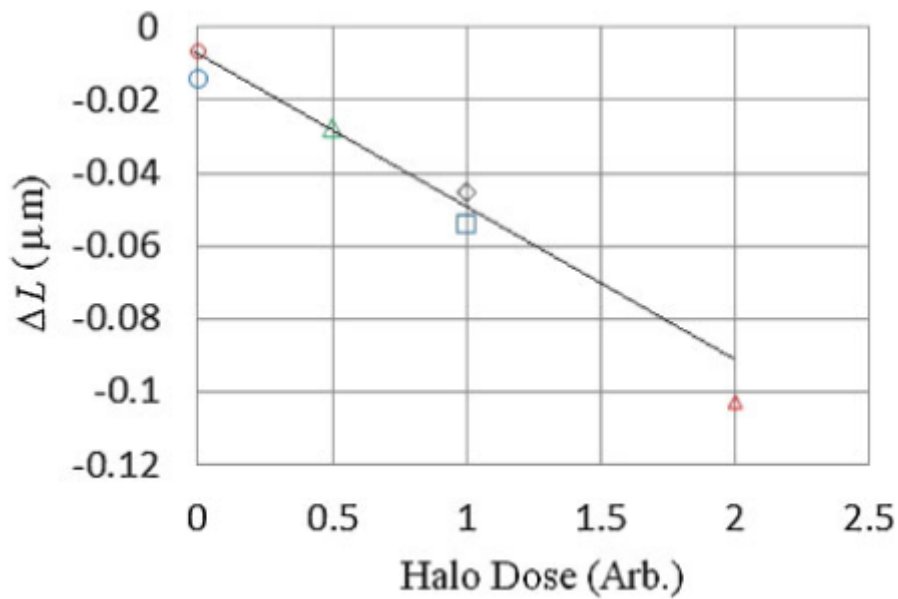


図 4-4 halo ドーズ量の関数として抽出された P-MOSFET の ΔL の値

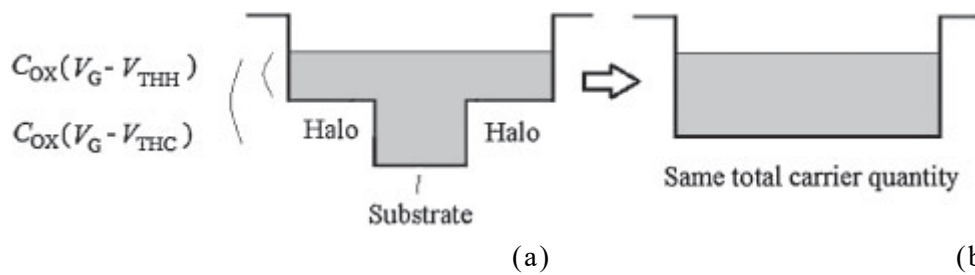


図 4-5 (a) halo を有する MOSFET のキャリア密度分布 (b) その近似. 横方向はチャンネルの位置を示す. 縦方向 (灰色領域の厚さ) はキャリア密度に比例する量を示す. halo におけるキャリア密度は $V_G - V_{THH}$ に比例し, そして, 基板のキャリア密度は $V_G - V_{THC}$ に比例する.

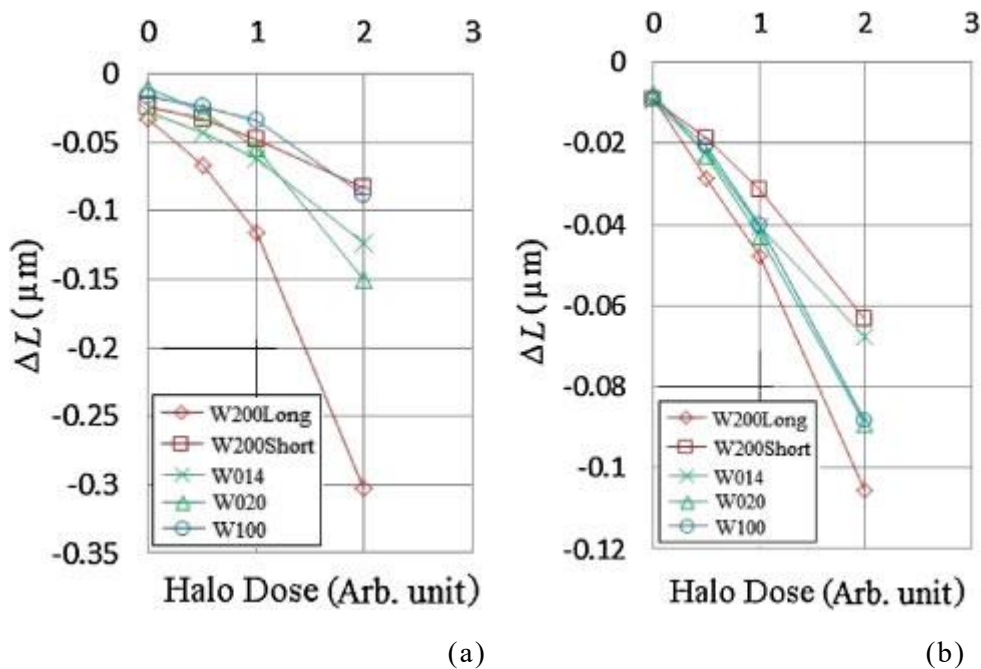


図 4-6 ΔL -halo ドーズ量の関係 (a)N-MOSFETs, (b)P-MOSFETs. sample MOSFETs の組は, W200Long: $L_{DES} = 0.2, 0.4, 1, 2 \mu\text{m}$ かつ $W = 2 \mu\text{m}$; W200Short: $L_{DES} = 0.06, 0.08, 0.1, 0.2 \mu\text{m}$ かつ $W = 2 \mu\text{m}$; W014: $L_{DES} = 0.05, 0.06, 0.1, 0.2 \mu\text{m}$ かつ $W = 0.14 \mu\text{m}$; W020: $L_{DES} = 0.06, 0.1, 0.6 \mu\text{m}$ かつ $W = 0.2 \mu\text{m}$; W100: $L_{DES} = 0.1, 0.12, 0.2 \mu\text{m}$ かつ $W = 1 \mu\text{m}$.

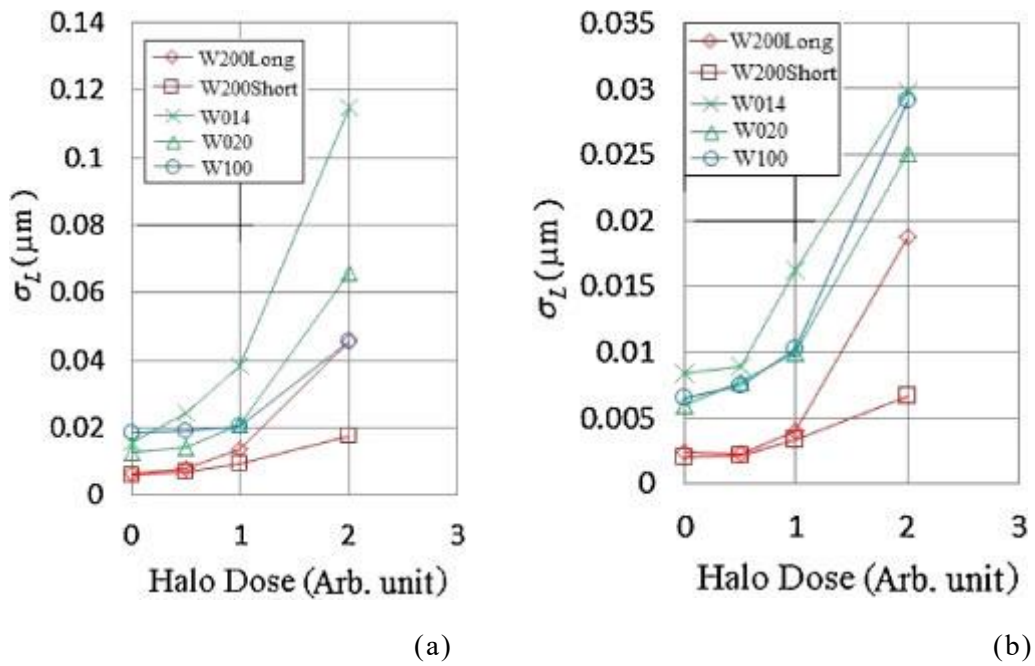


図 4-7 ΔL の標準偏差 vs halo ドーズ量の関係 (a) N-MOSFET の場合 (b) P-MOSFET の場合

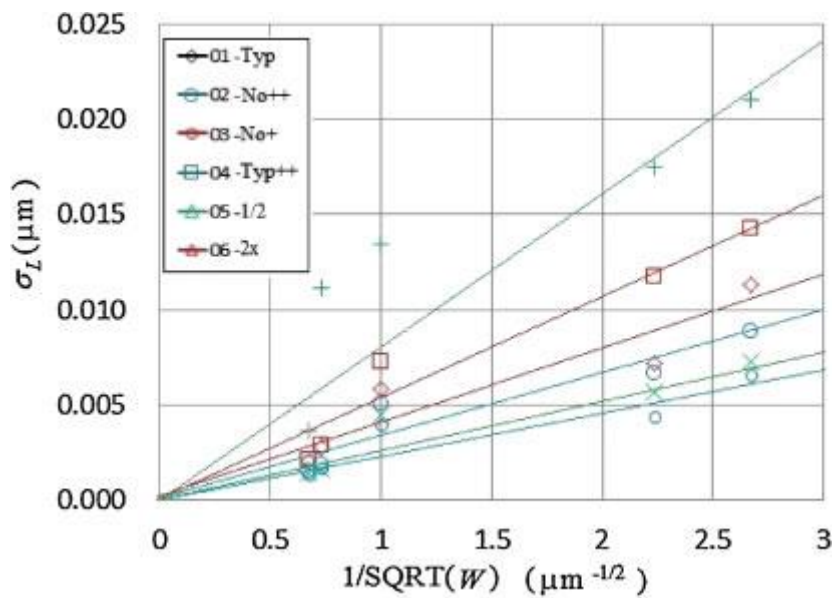


図 4-8 P-MOSFET の場合における σ_L - $1/\sqrt{W}$ の関係

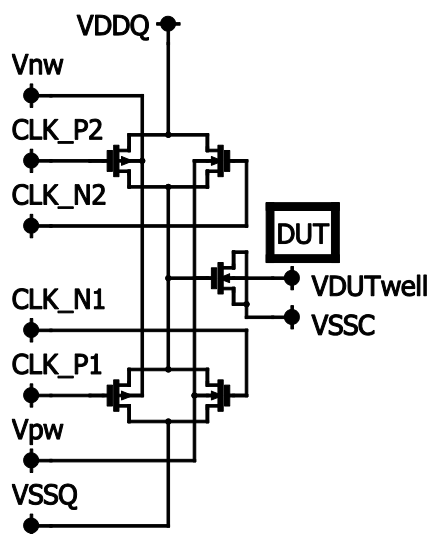


図 4-9 CIEF CBCM による MOSFET ゲートキャパシタンスを抽出するためのテスト回路

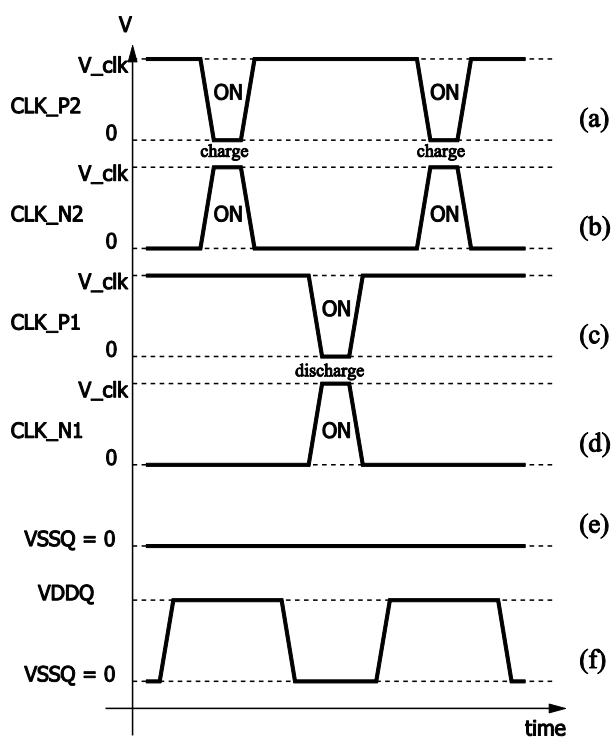


図 4-10 CIEF CBCM の制御パルス波形

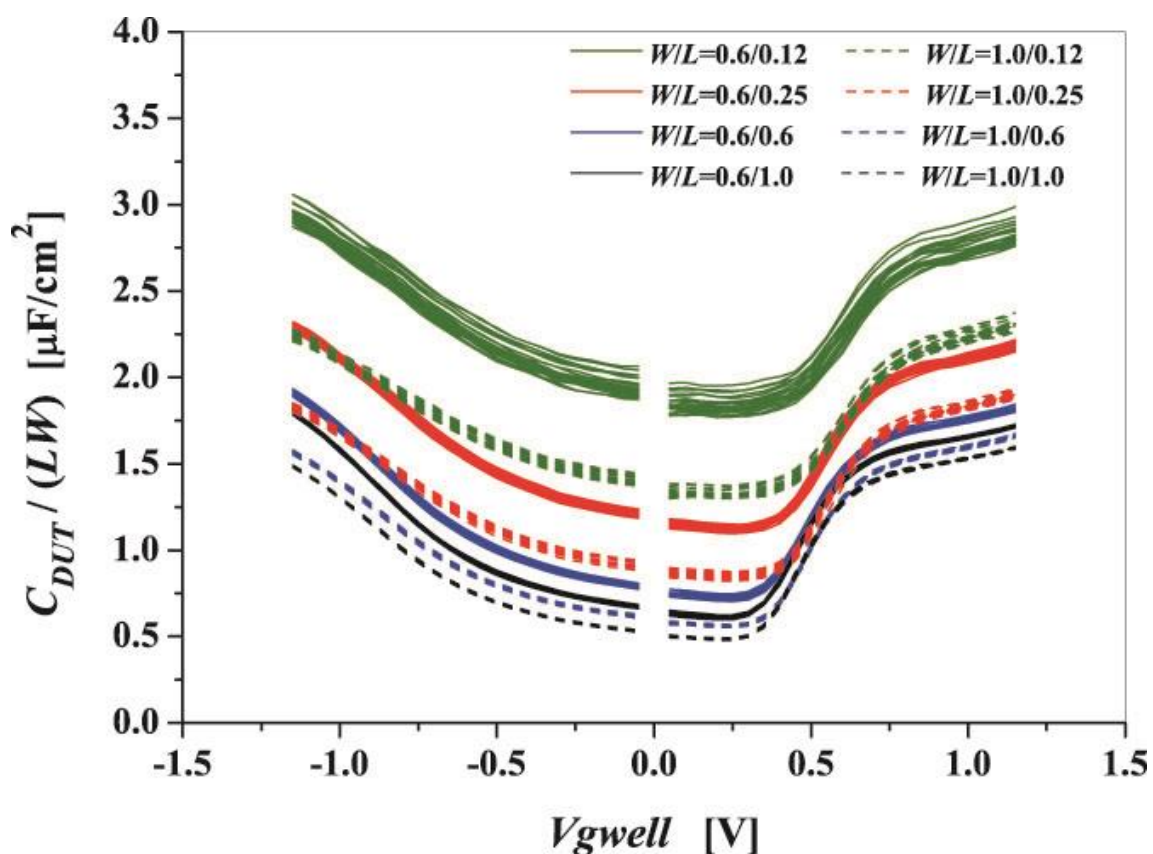


図 4-11 CIEF CBCM によって測定された N-MOSFET C-V カーブ

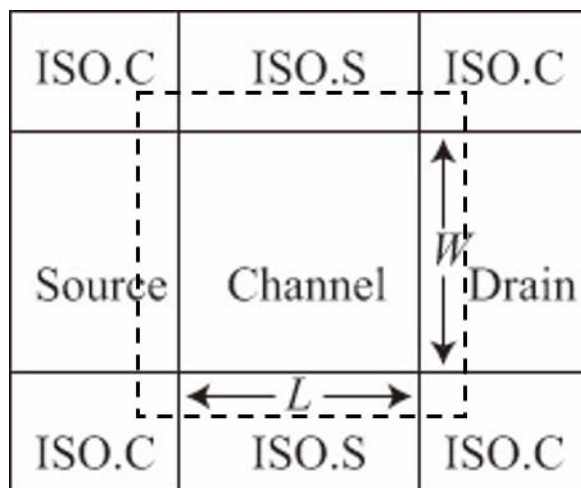


図 4-12 MOSFET の構造の平面図．ここで，ISO.C と ISO.S はそれぞれ，コーナーとサイドの絶縁領域である．破線はゲート電極部を表す．

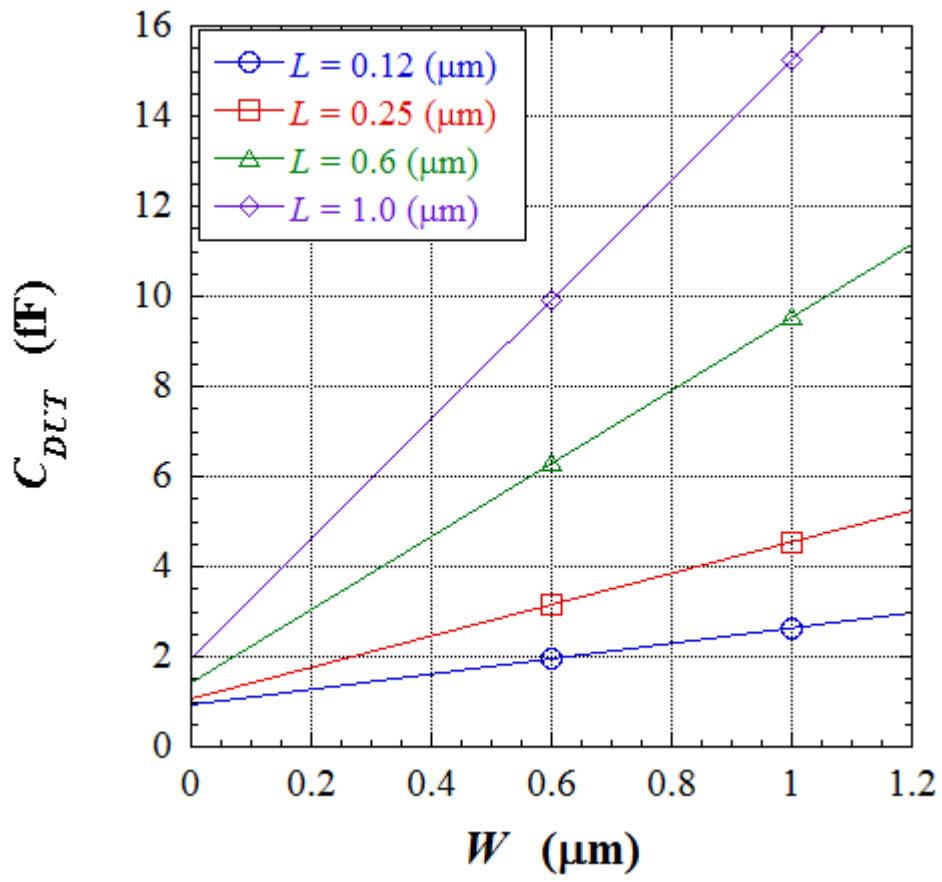


図 4-13 N-MOSFET における C_{DUT} 対 W のプロット

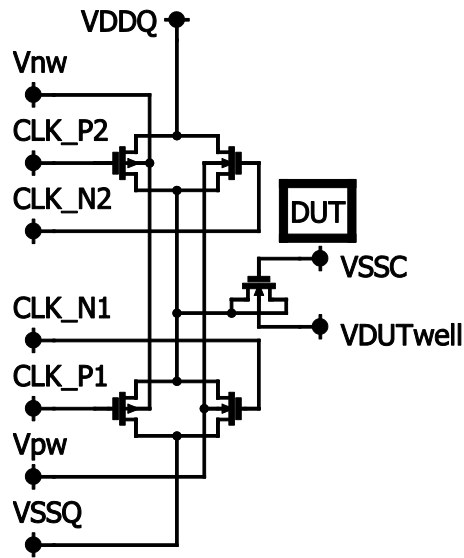


図 4-14 DUT MOSFET のソース/ドレインが CMOS トランスミッションゲートの中間ノードに接続された，ゲート-ソース/ドレイン間容量の測定に用いられた等価回路図

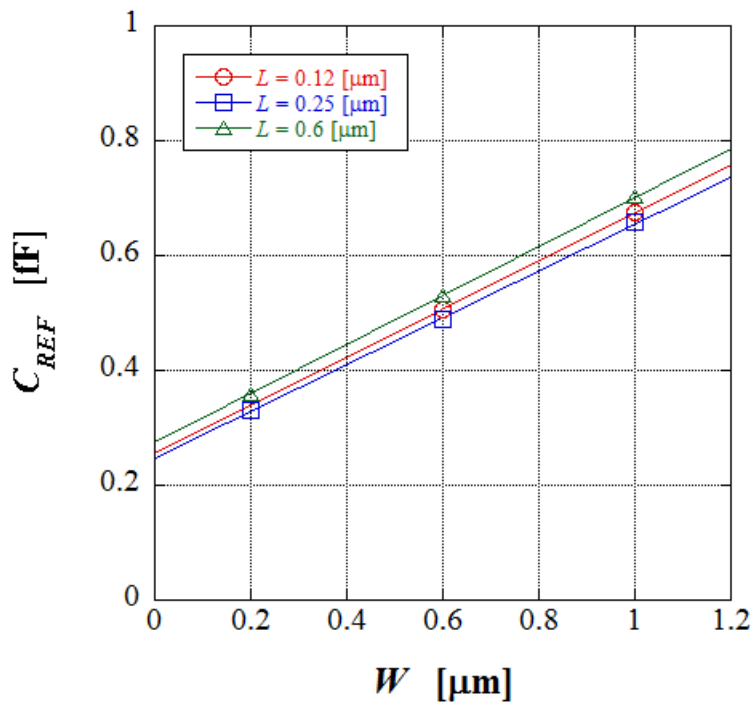


図 4-15 W の関数としてのそれぞれのチャネル寸法における平均値のプロット

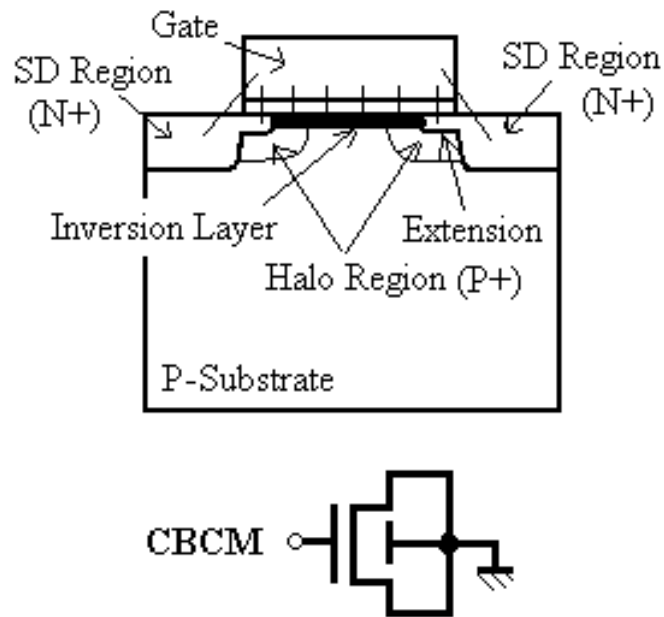


図 4-16 測定された N-MOSFET の断面図とオリジナルテストデバイスの回路図

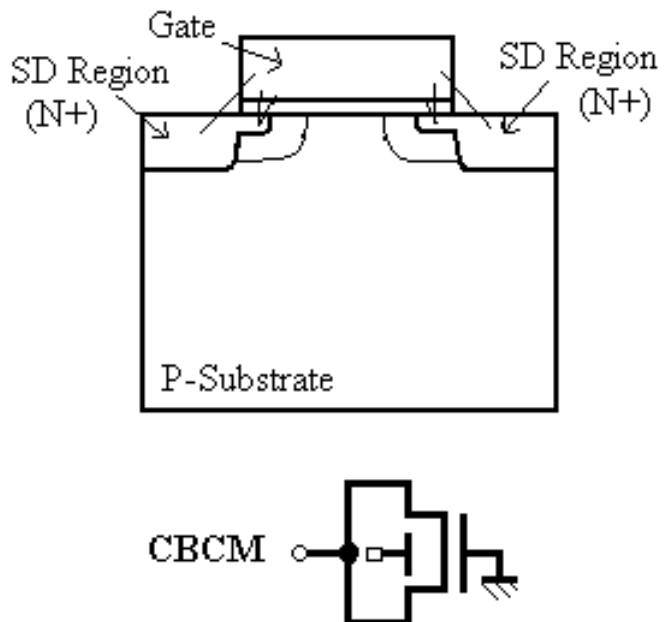
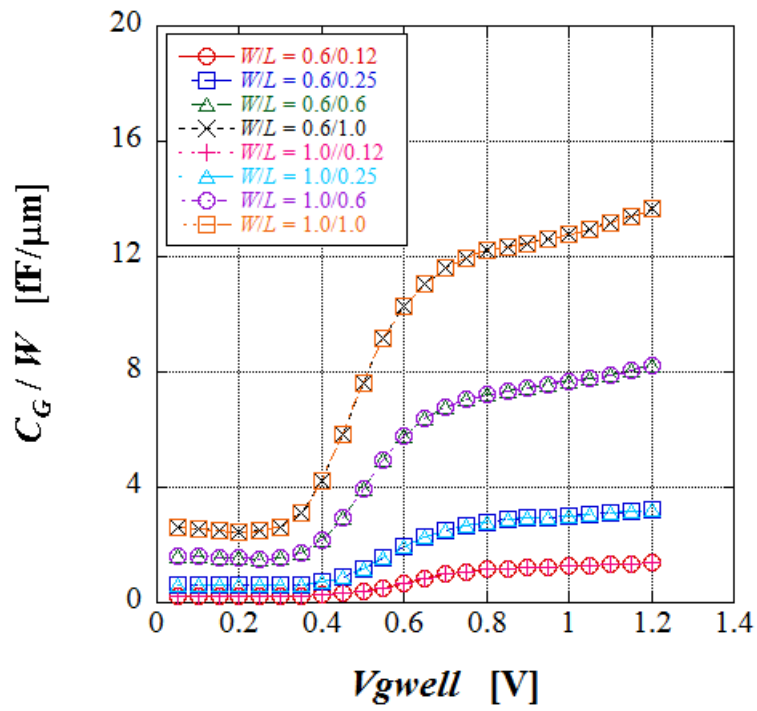
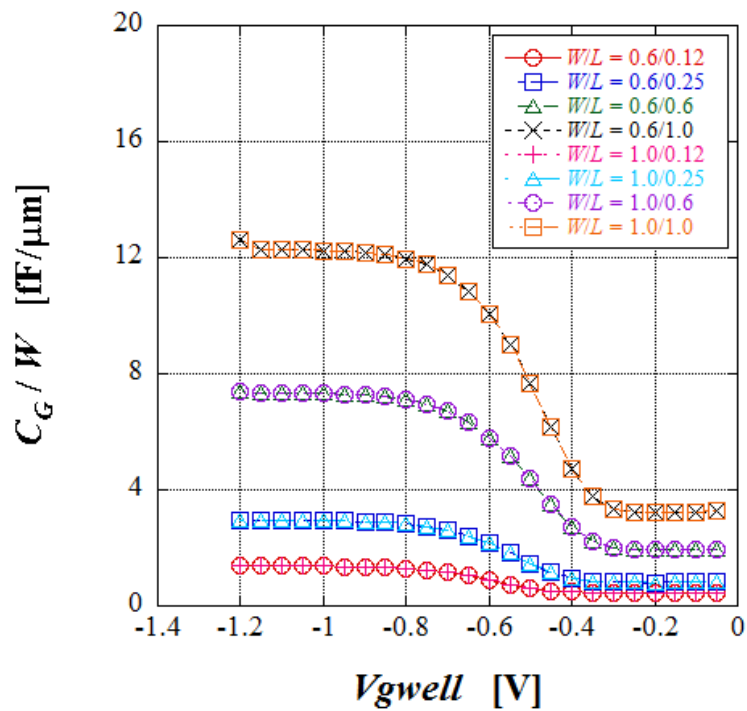


図 4-17 測定された N-MOSFET の断面図とソース/ドレイン参照デバイスの回路図

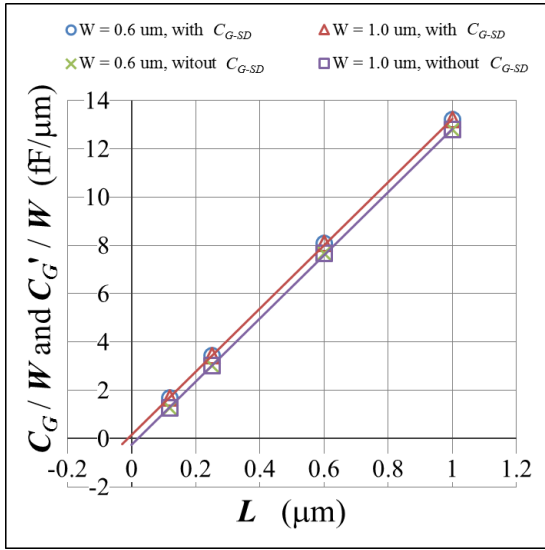


(a)

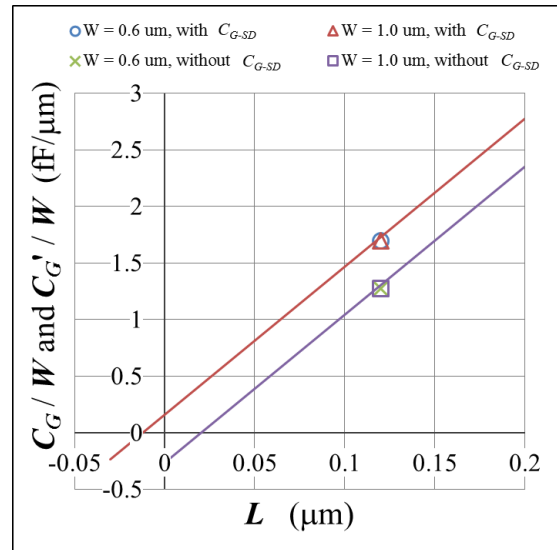


(b)

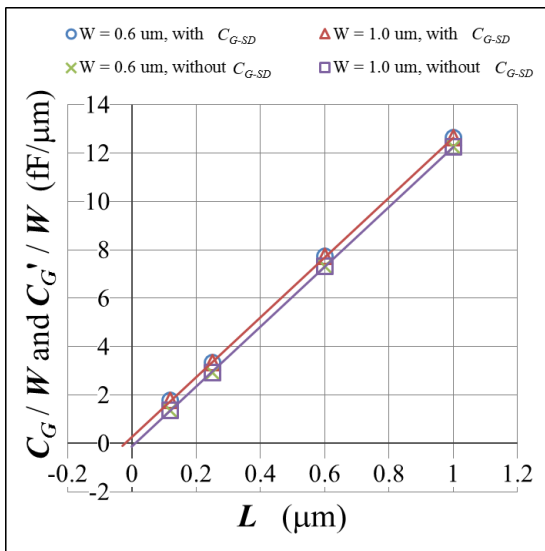
図 4-18 (a)N-MOSFET と(b)P-MOSFET における V_{gwell} の関数としての単位 W あたりの C_G .



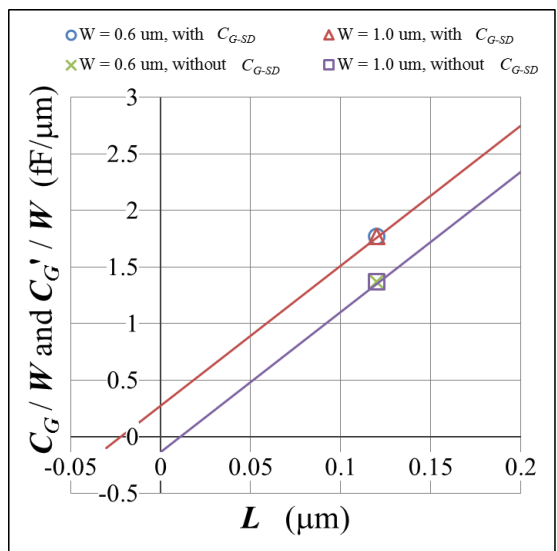
(a)



(b)



(c)



(d)

図 4-19 (a)N-MOSFET における $V_{gwell} = |1.0 \text{ V}|$ のときの C_G/W と C'_G/W のプロット. (b) (a) の拡大図. (c) P-MOSFET における $V_{gwell} = |1.0 \text{ V}|$ のときの C_G/W と C'_G/W のプロット. (d) (c) の拡大図.

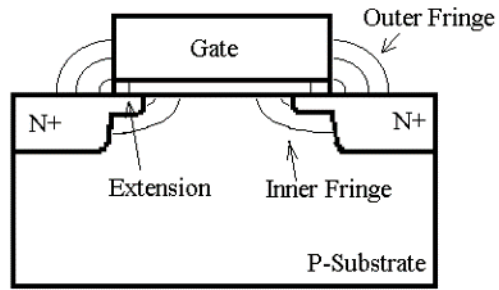


図 4-20 ソースドレイン参照デバイスにおける電界

参考文献

- [1] Y. Taur, "MOSFET Channel Length: Extraction and Interpretation," *IEEE Trans. Electron Devices* 47, p. 160 (2000).
- [2] G. J. Hu, C. Chang, and Y. Chia, "Gate-Voltage-Dependent Effective Channel Length and Series resistance of LDD MOSFETs," *IEEE Trans. Electron Devices* 34, p. 2469 (1987).
- [3] K. Terada, S. Ichikawa, Y. Eshima, T. Yamauchi, and T. Matsuki, "Effective channel-length extraction for double-diffused MOSFETs," *Solid-State Electron.* 47, p. 1465 (2003).
- [4] K. Terada, T. Chagawa, J. Xiang, K. Tsuji, T. Tsunomura, and A. Nishida, "Measurement of the MOSFET drain current variation under high gate voltage," *Solid-State Electron.* 53, p. 314 (2009).
- [5] H-G. Lee, S-Y. Oh, and G.Fuller, "A simple and accurate method to measure the threshold voltage of an enhancement-mode MOSFET," *IEEE Trans. Electron Devices*, vol. ED-29, no. 2, pp.346-348, Feb. (1982).
- [6] K. Terada, K. Sanai, S. Matsuoka, and K. Tsuji, "Effect of Channel Dopant Distribution on Effective Channel Length Extraction," *Jpn. J. Appl. Phys.* 52, p. 064301 (2013).
- [7] T. Tsunomura, A. Nishida, and T. Hiramoto, "Effect of channel dopant profile on difference in threshold voltage variability between NFETs and PFETs," *IEEE Trans. Electron Devices* 58, p. 364 (2011).
- [8] K. Terada, K. Sanai, S. Matsuoka, and K. Tsuji, *Proc. ICICDT*, 2013, p. 65.
- [9] K. Takeuchi, N. Kasai, T. Kunio, and K. Terada, "An Effective Channel Length Determination Method for LDD MOSFET's," *IEEE Trans. Electron Devices* 43, p. 580 (1996).
- [10] K. Terada, K. Sanai, and K. Tsuji, "Reconsideration of effective channel length for metal-oxide-semiconductor field-effect transistor," *Jpn. J. Appl. Phys.* 53, pp. 064303-1-064303-6, (2014).
- [11] K. Terada, and K. Tsuji, presented at *ICCAD Workshop VMC*, 2013, (2013).
- [12] B. J. Sheu, and P. K. Ko, "A Capacitance Method to Determine Channel

- Lengths for Conventional and LDD MOSFET's," IEEE Electron Device Lett. 5, p. 491 (1984).
- [13] J.-C. Guo, S. S.-S. Chung, and C. C.-H. Hsu, "A New Approach to Determine the Effective Channel Length and the Drain-and-Source series Resistance of Miniaturized MOSFET's," IEEE Trans. Electron Devices 41, p. 1811 (1994).
- [14] D. Fleury, A. Cros, K. Romanjek, D. Roy, F. Perrier, B. Dumont, H. Brut, and G. Ghibaudo, "Automatic Extraction Methodology for Accurate Measurements of Effective Channel Length on 65-nm MOSFET Technology and Below," IEEE Trans. Semicond. Manuf. 21, p. 504 (2008).
- [15] K. Tsuji, and K. Terada, "Effective Channel Length Estimation Using Charge-Based Capacitance Measurement," Proc. ICMTS, 2013, p. 59, (2013).
- [16] Y. W. Chang, H. W. Chang, C. H. Hsieh, H. C. Lai, T. C. Lu, W. Ting, J. Ku, and C. Y. Lu, "A novel simple CBCM method free from charge injection-induced errors," IEEE Electron Device Lett., vol. 25, no. 5, pp. 262-264, May (2004).
- [17] Y.-W. Chang, H.-W. Chang, T.-C. Lu, Y.-C. King, W. Ting, Y.-H. J. Ku, and C.-Y. Lu, "Charge-Based Capacitance Measurement for Bias-Dependent Capacitance," IEEE Electron Device Lett. 27, p. 390 (2006).
- [18] A. Brambilla, P. Maffezzoni, L. Bortesi, and L. Vendrame, "Measurements and extractions of parasitic capacitances in ULSI layouts," IEEE Trans. Electron Devices, vol. 50, no. 11, pp. 2236-2247, November (2003).
- [19] Y. Taur, and T. H. Ning, *Fundamentals of Modern VLSI Devices* (Cambridge University Press, Cambridge, U.K.), (2009).
- [20] T. Tsunomura, A. Nishida, and T. Hiramoto, "Analysis of NMOS and PMOS Difference in V_T Variation With Large-Scale DMA-TEG," IEEE Trans. Electron Devices 56, p. 2073 (2009).

第 5 章 MOSFET のモデリング

5.1 序言

前章までに、しきい値電圧、フラットバンド電圧、実効チャンネル長といったパラメータ抽出を行ってきた。これは、正確なモデリングを導くためである。本章では、オフセットゲート MOSFET のモデリングにあたり、実効チャンネル長の抽出を行った [1]。その結果をモデリングに応用する。

回路シミュレーション用のデバイスモデルは、ある程度の近似精度が得られるならば、計算が容易で簡単なものが望まれる。これは、回路規模が大きいのほど強い傾向にある。そのため、最近のデバイスモデルでは、デバイスパラメータの物理的意味が失われることが生じている [2]。一方、高耐圧のパワー MOSFET の場合、用途に応じてチャンネル長などの物理パラメータを変更することがあるため、モデルに含まれるデバイスパラメータの物理的意味が失われないことが望まれる。

本章では、パワー MOSFET の一つであるオフセットゲート MOSFET (これ以降、オフセット MOSFET と呼ぶことにする) の電流電圧特性を表すデバイスモデルとして、回路シミュレーションに用いることができる程度の計算の容易さを備えながら、物理パラメータが意味をもつものを開発し、その近似精度を調べる。開発したデバイスモデルは通常の MOSFET, JFET, そして抵抗から構成される複合回路モデルである。すでにこのようなデバイスモデルはいくつか提案されている [3-6]。しかし、そのチャンネル長など物理パラメータを変えた場合の影響を詳細に調べた報告はない。本章では、そのような物理パラメータを変えた場合の近似精度を調べることにより、どの程度実用的なデバイスモデルが得られるのかを調べる。

5.2 オフセットゲート MOSFET のモデリング

5.2.1 モデル化

図 5-1 にオフセット MOSFET の構造を示す．ゲートとドレインの間に薄い n 型低濃度拡散領域があり，この n 型領域は，ゲート-ドレイン間に高い電圧が印加された場合に電界緩和層として働く．そして，その抵抗はそれと p 型基板との間の pn 接合から延びる空乏層によって支配され，n チャネル JFET のように振舞う．そのため，オフセット領域を流れる電流は JFET の電流で近似することができる[3]．また，n⁺領域はそれぞれドレイン，ソースの抵抗として近似できるが，ソース側の抵抗はゲートに依存する部分があるために計算が複雑になる．そこで本章ではオフセット MOSFET を MOSFET，JFET，ドレイン側の抵抗の 3 素子が直列接続したサブ回路で近似する．そして，より正確にモデル化するために実効チャネル長の抽出を行い，チャネル長の値には，その抽出された値を用いる．

電流電圧特性の計算には，SPICE level3 を基にした式を用いる．これは，計算が容易なため 3 素子を直列接続しても十分回路シミュレーションに用いることができ，その式で用いられているパラメータの物理的意味がよく調べられていることにある．

5.2.2 MOSFET の式

SPICE level3 における単体 MOSFET のドレイン電流 I_M は，ドレイン電圧 V_D とゲート電圧 V_G を用いて以下のように表される[7]．

$$I_M = \beta \left\{ V_G - V_{TH} - (1 + F_B) \frac{V_D}{2} \right\} V_D, \quad (V_D < V_{Dsat}) \quad (5-1)$$

$$I_M = \beta \left\{ V_G - V_{TH} - (1 + F_B) \frac{V_{Dsat}}{2} \right\} V_{Dsat}, \quad (V_{Dsat} < V_D) \quad (5-2)$$

ここで，上式の β ， V_{TH} ， F_B ， V_{Dsat} はそれぞれ利得定数，しきい値電圧，表面空乏層電荷の効果，飽和電圧で，次のように表される．

$$\beta = \frac{W \mu_{eff} C_{OX}}{L_m (1 - \lambda V_D)}, \quad \left(\mu_{eff} = \frac{\mu_s}{1 + \mu_s V_D / (v_{max} L_m)}, \quad \mu_s = \frac{\mu}{1 + \theta (V_G - V_{TH})} \right) \quad (5-3)$$

$$V_{TH} = V_{fb} + 2\phi_f + \gamma \sqrt{2\phi_f + V_{SUB}}, \quad \left(\gamma = \frac{\sqrt{2\epsilon_s \epsilon_0 q N_A}}{C_{OX}} \right) \quad (5-4)$$

$$F_B = \frac{\gamma}{2\sqrt{2\phi_f - V_{SUB}}} \quad (5-5)$$

$$V_{Dsat} = V_a + V_b - \sqrt{V_a^2 + V_b^2}, \quad \left(V_a = \frac{V_G - V_{TH}}{1 + F_B}\right), \quad \left(V_b = \frac{v_{max} L_m}{\mu_s}\right) \quad (5-6)$$

ここで、 λ はドレイン電界によるチャンネル長偏重の効果を、 θ はゲート垂直電界による移動度の低下の効果をそれぞれ表している。これらのパラメータの場合、それらの値とチャンネル長や基板不純物濃度などのデバイス構造パラメータの値との関係は明確でない。すなわち、チャンネル長や基板不純物濃度などを用いて表したこれらの近似式は正確でなく、そのまま用いるのは妥当ではない。そのため通常、それらの値は実測した電流特性から決められる[2]。

このことから、ここではこれらのパラメータを物理的パラメータと見ず、フィッティングパラメータ（これ以降、FP と呼ぶことにする）として扱う。SPICE level3 で使用されるしきい値電圧の式には短チャンネル効果が考慮されている。しかし、その式の近似精度もあまり良くない。そのためにここでは、SPICE level3 で使用されるしきい値電圧の式を用いず、代わりにしきい値電圧全体に及ぶ短チャンネル効果の影響を V_{fb} に押し込め、 V_{fb} を実験的に決まる量とみなす。このことから V_{fb} も物理的パラメータと見ず、FP として扱う。

また、SPICE level3 で使用される μ_{eff} は V_D の関数であらわされている。しかしこの場合、MOSFET のドレイン電流は V_D の単調な関数ではなくなる。そのため、複数の回路素子を直列接続し、それらの中間電位を求める必要のある本モデルでは、非常に収束が悪くなる。このことを避けるため、ここでは $\mu_{eff} = \mu_s$ とした。

5.2.3 JFET の式

SPICE における単体の JFET のドレイン電流 I_J は以下のような式で表される[7]。

$$I_J = G_o \left[V_D - \frac{2}{3\sqrt{V_P}} \left\{ (V_{BI} - V_{Gj} + V_D)^{\frac{3}{2}} - (V_{BI} - V_{Gj})^{\frac{3}{2}} \right\} \right] (1 + \lambda_j V_D), \quad (0 < V_D < V_{Gj} + V_{TO}) \quad (5-7)$$

$$I_j = \frac{G_O V_P}{3} \left[1 - \frac{3(V_{BI} - V_{Gj})}{V_P} + 2 \left(\frac{V_{BI} - V_{Gj}}{V_P} \right)^{\frac{3}{2}} \right] (1 + \lambda_j V_D) ,$$

$$(0 < V_{Gj} + V_{TO} < V_D) \quad (5-8)$$

上式は、MOSFET の場合と同様に JFET のチャネル長 L_j にチャネル長変調の効果 λ_j を考慮した式である。この λ_j は MOSFET の場合と同様に FP として扱う。また G_O 、 V_P 、 V_{TO} はそれぞれ n 層全体のコンダクタンス、ピンチオフ電圧、しきい値電圧を表しており、次のように示される。

$$G_O = \frac{w q \mu_j N_d d}{L_j} \quad (5-9)$$

$$V_P = \frac{q N_d d^2}{2 \epsilon_s \epsilon_0} \quad (5-10)$$

$$V_{TO} = V_P - V_{BI} \quad (5-11)$$

ここで V_{BI} はビルトイン電圧、 d はチャネルの厚さ、 N_d はチャネルドナーの密度である。JFET においても短チャネル効果によってしきい値電圧の低下が起こる。この効果はソースとドレインからの 2 次元的な電界効果によるチャネル空乏電荷の減少と考えることができる。この JFET モデルではチャネル部の不純物濃度を一定と仮定しているが、実際には濃度分布があり、その一定値を製造条件から正確に決めることはできない。そこでここでは、この曖昧さの中に前記短チャネル効果を加味し、 N_d を物理パラメータと見ず、FP として扱う。

5.2.4 解析及び評価方法

解析は、実測に使用したデバイスの構造パラメータ値を用いた行う。その値を表 5-1 に示す。ここで、実際のチャネル長は設計した時のチャネル長 L_m より ΔL だけ短い実効チャネル長となる。この ΔL は本研究室において考案した抽出方法により求められ[1]、その値は約 $0.16 \mu\text{m}$ であった。したがって、実効チャネル長 $L_{eff} = L_m - 0.16 \mu\text{m}$ となる。解析には、この実効チャネル長

の値を用いた。また ΔL を求める際に抵抗 R の値も求められ、その値は約 $300\ \Omega$ であった。FPの値は次のようにして求めた。まず $V_{fb} = -0.8\ \text{V}$, $N_d = 3.36 \times 10^{16}\ \text{cm}^{-3}$ と固定しておき、 λ , θ , λ_j を変化させて実測値に近づける。その後 V_{fb} , N_d が物理的意味を失わない程度の範囲で変化させ、実測値との誤差が小さくなるように値を選ぶ。

実測値と解析値の比較には2乗平均誤差の平方根 (root mean square error) を用いた。これはrms誤差と呼ばれ、次のような式で表される。

$$\text{rms 誤差} = \sqrt{\frac{1}{n} \sum_i \left(\frac{\Phi_i^{exp} - \Phi_i^{th}}{\Phi_i^{exp}} \right)^2} \quad (5-12)$$

ここで、 Φ_i^{exp} は実測値を Φ_i^{th} は解析値を表しており、誤差は比率で表されている。今回、実測データをゲート電圧 $0 \sim 10\ \text{V}$ ステップ $1\ \text{V}$ 、ドレイン電圧 $0 \sim 10\ \text{V}$ ステップ $0.1\ \text{V}$ で求めたので、全体で1111点の平均の誤差をこれにより求めている。

5.2.5 結果および考察

図5-2は、 $L_m = 4.5\ \mu\text{m}$, $L_j = 3.0\ \mu\text{m}$ のときのドレイン電流電圧特性を示している。実線が実測値、破線が解析値を示しており、ゲート電圧は $0 \sim 10\ \text{V}$ まで $1\ \text{V}$ ずつ変化させている。このときのFPの値は、 $\lambda = 0.04$, $\theta = 0.02$, $V_{fb} = -0.92\ \text{V}$, $\lambda_j = 0.05$, $N_d = 3.36 \times 10^{16}\ \text{cm}^{-3}$ である。ゲート電圧が低いところでは実測値と解析値がよく一致していることがわかる。またこのときの全体のrms誤差は4.8%であった。

表5-2はチャンネル長を変化させた場合におけるFPの値と誤差を示している。このときのオフセット長、チャンネルのドナー密度はそれぞれ、 $L_j = 3.0\ \mu\text{m}$, $N_d = 3.36 \times 10^{16}\ \text{cm}^{-3}$ と一定である。表より λ , θ はほぼ一定の値であることがわかる。そして V_{fb} は、チャンネル長が短くなるにつれて低下している。これは、短チャンネル効果のしきい値電圧への影響が現れているものと考えられる。JFETのFPである λ_j はオフセット長が一定であるにもかかわらず、チャンネル長が長くなるにつれて増大している。また、このチャンネル長を変化さ

せた場合の誤差は、最大で 6.3% という結果が得られた。

表 5-3 はオフセット長を変化させた場合における FP の値と誤差を示している。ここで、 $L_m = 4.5 \mu\text{m}$, $V_{fb} = -0.92 \text{ V}$ と一定としている。表より、 λ , θ の値はオフセット長が変化しても一定の値であることがわかる。チャンネル長が変化した場合にもこの二つの FP はほぼ一定であったことを考慮すると、MOSFET に対する補正は十分行われているものと考えられる。さらに、 N_d は L_j が短いとき小さい値となっている。これは短チャンネル効果の影響が現れているものと考えられる。 λ_j はオフセット長が長くなるにつれて増大していることがわかる。これはチャンネル長を変化させた場合にも同様な結果が得られていることから、ドレイン側におけるチャンネル長変調の影響と考えられる。また、このオフセット長を変化させた場合の誤差は最大で 6.2% という結果が得られた。表 5-2 の結果と併せて考えると、誤差は約 5% 前後と良い結果が得られ、開発したモデルはチャンネル長やオフセット長といった構造パラメータが変化しても対応できるモデルと考えられる。

5.3 結言

オフセットゲート MOSFET を MOSFET, JFET, 抵抗の 3 素子が直列接続したサブ回路で近似し、SPICE level3 をもとにした式を用いて解析を行った。また、実効チャンネル長を求め、それをモデリングにおいて適用した。

チャンネル長やオフセット長といった構造パラメータが変化した際のフィッティングパラメータの値や誤差を調べた結果、計算値と解析値は良く一致し、いずれの場合も rms 誤差は約 5% 前後と良い結果が得られた。また、フィッティングパラメータについては、MOSFET に対しては十分な補正が行われていることがわかった。以上のことから、開発したモデルは構造パラメータの変化に対応し得るモデルであると考えられ、今後 JFET の解析式の改善、ソース側の抵抗の考慮等を行えば、さらに良い結果が得られるものと考えられる。

表 5-1 デバイス構造パラメータの値

基板不純物濃度 N_A	$4 \times 10^{16} \text{ cm}^{-3}$
酸化膜厚 t_{ox}	500 Å
チャンネル幅 W	40 μm
チャンネル長 L_m	3.5 μm ~ 20 μm
オフセット長 L_j	1.5 μm ~ 5.0 μm

表 5-2 チャンネル長を変化させたときの FP と誤差の値

L_m (μm)	V_{fb} (V)	λ	θ	λ_j	rms (%)
3.5	-0.95	0.03	0.02	0.02	6.1
3.75	-0.94	0.04	0.02	0.03	6.3
4.0	-0.94	0.04	0.02	0.03	5.5
4.25	-0.93	0.04	0.02	0.05	5.4
4.5	-0.92	0.04	0.02	0.05	4.8
4.75	-0.92	0.04	0.02	0.06	4.5
5.0	-0.92	0.04	0.02	0.07	4.6
6.0	-0.90	0.04	0.02	0.10	4.0
8.0	-0.89	0.04	0.02	0.10	3.5
10	-0.88	0.04	0.02	0.10	5.9
15	-0.87	0.04	0.02	0.10	4.0
20	-0.86	0.04	0.02	0.10	4.3

表 5-3 オフセット長を変化させたときの FP と誤差の値

L_j (μm)	N_d ($\times 10^{16} \text{ cm}^{-3}$)	λ	θ	λ_j	rms (%)
1.5	3.00	0.04	0.02	0.01	6.2
2.0	3.20	0.04	0.02	0.01	5.8
2.5	3.34	0.04	0.02	0.01	5.3
3.0	3.36	0.04	0.02	0.05	4.8
3.5	3.15	0.04	0.02	0.10	3.9
4.0	3.36	0.04	0.02	0.08	4.2
4.5	3.36	0.04	0.02	0.09	3.7
5.0	3.30	0.04	0.02	0.10	4.5

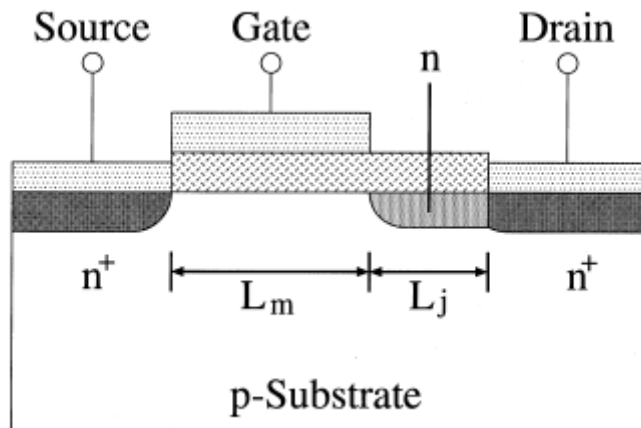


図 5-1 オフセットゲート MOSFET の構造

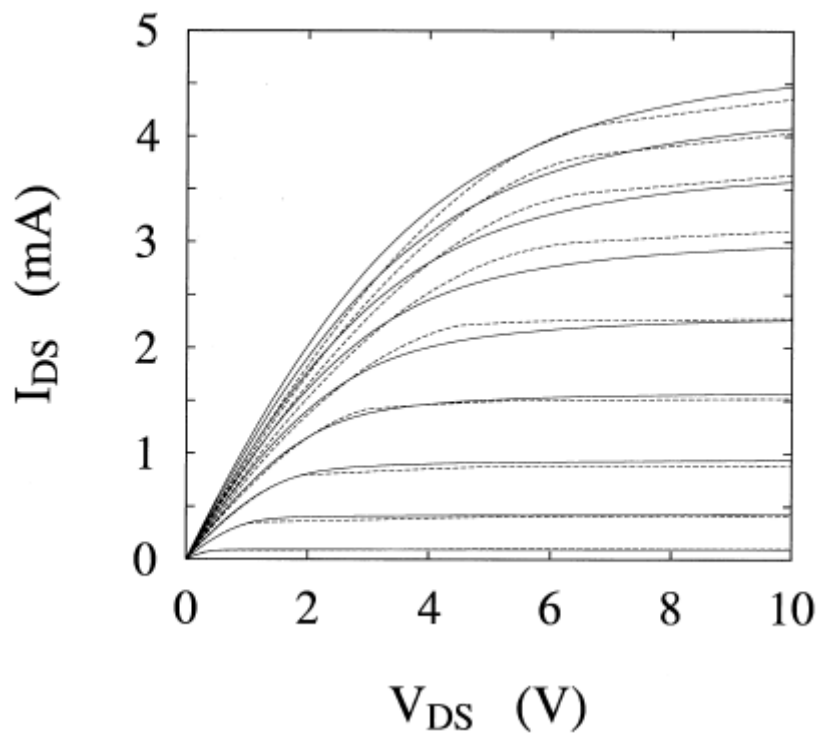


図 5-2 ドレイン電流電圧特性 ($L_m = 4.5 \mu\text{m}$) 実線：測定値，点線：計算値

参考文献

- [1] K. Terada, K. Tsuji, H. Tanaka, Y. Itoh, and M. Takahashi, "Extraction of off-set region length for off-set gate MOSFETs," *Solid-State Electronics*, vol.43, pp.97-102, (1999).
- [2] D. Forty, *MOSFET modeling with SPICE*, Prentice Hall, (1997).
- [3] I. Yoshida, T. Masuhara, M. Kubo, and T. Tokuyama, "Device design of ion implanted high voltage MOSFET," *Proc., 6th Conf. on SSD., Tokyo, 1974., Jpn. J. Appl. Phys.*, vol.44 pp.249-255, (1975).
- [4] J. Victory, J. Sanchez, T. DeMassa, and B. Welfert, "A static, physical VDMOS model based on the charge-sheet model," *IEEE Trans. Electron Devices*, vol.43, pp.157-164, (1996).
- [5] Y. Kim and J. Fossum, "Physical DMOST modeling for high-voltage IC CAD," *IEEE Trans. Electron Devices*, vol.37, pp.797-803, (1990).
- [6] R. Scott, G. Franz, and J. Jhonson, "An Accurate model for power DMOSFETs including interelectrode capacitance," *IEEE Trans. Power Electronics*, vol.6, pp.192-198, (1991).
- [7] G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE 2nd. Ed.*, McGraw-Hill, (1993).

第 6 章 結論

本研究では、CIEF CBCM を応用し、効率よく MOSFET の C-V 曲線を測定する DMA 型回路を考案した。測定から得られた C-V 曲線は、MOSFET の蓄積・空乏・反転の各領域を示していた。良好な C-V 曲線が得られたことから、しきい値電圧の抽出とそのばらつきについて解析を行った。その際、C-V 曲線からしきい値電圧を抽出する方法が見つからなかったため、しきい値電圧の抽出は本研究独自に定義を行い抽出した。

C-V 曲線から抽出されたしきい値電圧ばらつきは、I-V 特性から抽出されたしきい値電圧ばらつきと同様のふるまいを示した。一つめは halo の有無の違いにおいて、halo 無しの方が若干ばらつきが少なかった。二つめは酸化膜厚が厚くなるとばらつきが大きくなるということが示された。三つめは C-V 曲線から得られたしきい値電圧ばらつきは I-V 特性から得られたばらつきよりも小さいということがわかった。また、C-V 曲線から抽出されたばらつきにおいては、正規確率プロットはいずれの DUT の素子サイズにおいてもよい直線性を示した。

次にフラットバンド電圧ばらつきについて解析を行った。こちらもしきい値電圧同様に抽出方法が確立されておらず、本研究において独自に定義を行い抽出を行った。抽出されたフラットバンド電圧は、しきい値電圧と比べて、縦方向のノイズの影響を受けやすく、DUT の素子サイズが小さいところでは抽出精度が悪かった。しかしながら、DUT の素子サイズの大きいところでは十分精度が高く、フラットバンド電圧ばらつきを抽出できたと考える。この成果は本研究が初のものであると考える。その結果、しきい値電圧ばらつきのペルグロムプロットの傾きは $2.5 \text{ mV}\mu\text{m}$ 、フラットバンド電圧のペルグロムプロットの傾きは $1.1 \text{ mV}\mu\text{m}$ 、そして Random Dopant Fluctuation の成分のそれはおよそ $2.2 \text{ mV}\mu\text{m}$ であることがわかった。これにより、フラットバンド電圧ばらつきはしきい値電圧ばらつきよりも小さく、Random Dopant Fluctuation ほど、しきい値電圧ばらつきの要因とならないことを示した。

さらに C-V 曲線からの実効チャネル長 (L_{GCM}) の抽出を本研究で提案したゲート容量法 (GCM) によって試み、I-V 特性からチャネル抵抗法 (CRM) によって抽出された実効チャネル長 (L_{CRM}) と比較した。その結果、N-MOSFET における L_{CRM} は誤差を有し、チャネルの不均一性のために本当のチャネル長

よりも長いと考えられる。この誤差は GCM の誤差に匹敵することが分かった。それゆえ、不均一なチャネルを有する MOSFET の場合の CRM の正確さは解明できなかった。最初、寄生容量が測定された MOSFET C-V カーブに含まれているので、それらは取り除かれる必要があると考えた。ゲート-ソース/ドレイン間容量 C_{G-SD} は効率的に得られ、除去されたけれども、インナーフリンジ容量は取り除けなかった。インナーフリンジは取り除けなかったが、寄生容量を取り除いた実効チャネル長 L_{GCM2} は寄生容量を取り除いていない実効チャネル長 L_{GCM1} と同様に抽出された。回路シミュレーションが遂行される時、回路シミュレーションに用いられるデバイスには C_{G-SD} とインナーフリンジが含まれていると考えられる。それゆえ、デバイスは実際のデバイスに近い。従って、 L_{GCM1} はデバイスモデルパラメータとして、 L_{GCM1} が周辺効果として C_{G-SD} とインナーフリンジを有する MOSFET から抽出されたので、 L_{GCM2} よりも、より適切であると考えられる。

最後に Power MOSFET の一種であるオフセットゲート MOSFET のモデリングを行い、フィッティングパラメータのふるまい等について調べた。開発したモデルは抵抗、JFET, MOSFET からなるサブサーキットモデルである。正確なモデリングのために、実効チャネル長の抽出も行った。電流電圧特性の解析は SPICE level3 をもとにした式を用いて行った。チャネル長やオフセット長といった構造パラメータが変化した際のフィッティングパラメータの値や誤差を調べた結果、測定値と解析値は良い一致を示しており、いずれの場合も rms 誤差は約 5% 前後と良い結果が得られた。また、フィッティングパラメータについては、MOSFET に対しては十分な補正が行われていることがわかった。以上のことから、開発したモデルは構造パラメータの変化に対応し得るモデルであると考えられ、今後 JFET の解析式の改善、ソース側の抵抗の考慮等を行えば、さらに良い結果が得られるものと考えられる。

謝辞

本研究を実施するにあたり，また本論文を作成にするにあたり，多くの方々のご指導ご鞭撻かつご協力を賜りました．

本論文をまとめるにあたりご指導ご鞭撻を賜り，また主査をお引き受けくださった藤坂尚登教授に深謝致します．本研究全般にわたり，有意義な議論とご指導を賜りました寺田和夫広島市立大学名誉教授に深く感謝申し上げます．新型コロナウイルス騒動でお忙しい中，副査をお引き受けくださった式田光宏教授，弘中哲夫教授にも同様に深く感謝申し上げます．

また，2006年度から2010年度まで半導体 MIRAI プロジェクトロボストランジスタプログラムにて，Seleteをはじめとする多くの方々にお世話になり，かつ sample wafer をご拝借させていただき，感謝申し上げます．

さらに，旧機能デバイス講座の構成員各位，旧集積回路デバイス研究室の構成員各位，そして通信・信号処理研究室の構成員各位にもいろいろとお世話になりました．感謝申し上げます．

そして陰ながら学位の取得を応援してくれた弘江，美咲，優菜の家族一同にも感謝申し上げます．

研究業績と本論文の対応

次のページに研究業績一覧を示す．本論文の内容は研究業績一覧中に示した番号の論文と，以下のように対応する．

2章	CBCM法を用いた実寸法 MOSFET の容量測定回路	[1], [6], [7]
3章	しきい値電圧ばらつきの抽出と評価	[2], [8]
4章	実効チャンネル長の抽出	[3], [4], [9], [10]
5章	MOSFET のモデリング	[5]

研究業績

学術論文誌（査読あり）

- [1] Katsuhiro Tsuji, Kazuo Terada, and Ryota Kikuchi, “Development of Test Structure for Variability Evaluation using Charge-Based Capacitance Measurement,” IEICE TRANS. ELECTRON., Vol.E97-C, No.11, pp.1117-1123, Nov. (2014).
- [2] Katsuhiro Tsuji, Kazuo Terada, Ryo Takeda, and Hisato Fujisaka, “Study on Threshold Voltage Variation Evaluated by Charge-Based Capacitance Measurement,” IEICE TRANS. ELECTRON., Vol.E99-C, No.4, pp.466-473, April, (2016).
- [3] Kazuo Terada, Kazuhiko Sanai, and Katsuhiro Tsuji, “Reconsideration of effective channel length for metal-oxide-semiconductor field-effect transistor,” Jpn. J. Appl. Phys. **53** pp.064303-1-064303-6. (2014).
- [4] Katsuhiro Tsuji, Kazuo Terada, and Hisato Fujisaka, "Study on effective MOSFET channel length extracted from gate capacitance," Jpn. J. Appl. Phys., **57** pp.016601-1-016601-7, (2018).
- [5] 辻 勝弘, 高木 弘明, 寺田 和夫, 田中 浩治, “オフセットゲート MOSFET の回路モデル,” 電子情報通信学会論文誌 Vol.J-82-C-II, pp.527-530, 9月, (1999).

国際会議（査読あり）

- [6] Katsuhiro Tsuji, Kazuo Terada, Tomohiro Nakamoto, Takaaki Tsunomura, and Akio Nishida, “Measurement of MOSFET C-V Curve Variation Using CBCM Method,” Proc. Int. Conf. on Microelectronic Test Structures, pp. 81-84, (2009).
- [7] Katsuhiro Tsuji, Kazuo Terada, Ryota Kikuchi, Takaaki Tsunomura, Akio Nishida, and Tohru Mogami, “Evaluation of MOSFET C-V Curve Variation Using Test Structure for Charge-Based Capacitance Measurement,” Proc. Int.

- Conf. on Microelectronic Test Structures, pp.8-12, (2011).
- [8] Katsuhiko Tsuji, Kazuo Terada, Ryo Takeda, Takaaki Tsunomura, Akio Nishida, and Tohru Mogami, "Threshold Voltage Variation Extracted from MOSFET C-V Curves by Charge-Based Capacitance Measurement," Proc. Int. Conf. on Microelectronic Test Structures, pp.82-86, (2012).
- [9] Katsuhiko Tsuji, and Kazuo Terada, "Effective Channel Length Estimation Using Charge-Based Capacitance Measurement," Proc. Int. Conf. on Microelectronic Test Structures, pp.59-63, (2013).
- [10] Katsuhiko Tsuji, and Kazuo Terada, "Comparison of Channel Length Extracted from Gate Capacitance with That Extracted from Channel Resistance," Proc. Int. Conf. on Microelectronic Test Structures, pp.87-91, (2014).