

平成 21 年 4 月 22 日

組合せテスト生成可能な順序回路の新しいクラスの提案とそれに基づく テスト生成法・テスト容易化設計法について

岡 伸也^{†a)} ChiaYeeOoi^{‡b)} 市原 英行^{†c)} 井上 智生^{†c)} 藤原 秀雄^{‡†d)}

[†] 広島市立大学大学院情報科学研究科 〒 731-3194 広島県広島市安佐南区大塚東 3-4-1

[‡] Faculty of Electrical Engineering, University of Technology Malaysia, Malaysia

81310 UTM Skudai Johor MALAYSIA

^{‡†} 奈良先端科学技術大学院大学情報科学研究科 〒 630-0192 けいはんな学研都市

E-mail: a) oka@cd.info.hiroshima-cu.ac.jp, b) ooichiayee@fke.utm.my,

c) {ichihara, tomoo}@hiroshima-cu.ac.jp, d) fujiwara@is.naist.jp

1. まえがき

組合せ回路に対するテスト生成問題は、理論的には NP 完全であることが示されているが、実用的、経験的には回路規模の多項式オーダーで計算可能と考えられている [1, 2]。それに対し、順序回路に対するテスト生成問題は実用的な時間で解くことが難しく、多くの場合、回路内のすべてのフリップフロップをスキャンフリップフロップに置き換える完全スキャン設計によって組合せ回路のテスト生成問題として取り扱われる。しかしながら、組合せ回路と同様にテスト生成が実用的に容易と考えられるものがある。Ooi らは、組合せ回路のテスト生成複雑度を $\tau = \Theta(n^r)$ (n は回路規模, r は 2 以上の定数) で表し、順序回路がいくつかのクラスに分類できることを示した [3, 4]。無閉路順序回路のうち、平衡構造や切換平衡構造は、組合せ回路用のテスト生成アルゴリズムを用いてテスト生成が可能であり、組合せ回路と同等のテスト生成複雑度を持つことが示されている [5, 6, 7, 9]。一方、一般の無閉路順序回路は組合せ回路のテスト生成問題よりは困難であるが、そのテスト生成複雑度は τ^2 -bounded であり、実的にはテスト生成が容易であることが示されている。一般の無閉路順序回路におけるテスト生成は、順序回路におけるレジスタへ値が取り込まれる時間を考慮した組合せ回路モデルである時間展開モデルを定義し、それに対して組合せ回路用のテスト生成アルゴリズムを適用する。それによって得られたテストパターンを変換することで、順序回路のテスト系列を得る。このとき得られたテスト系列を用いることで完全故障検出効率を達成可能であることが示されている [8, 11]。

藤原らは、回路中に閉路を持つ順序回路でありながら、無閉路順序回路と同様にテスト生成が可能となる順序回路のクラスを無閉路可検査性 (acyclical testability) として定義し、無閉路可検査性を満たす順序回路のクラスを

提案している [15]。文献 [15] では、文献 [14] で示されたレジスタ転送レベルデータパスにおける部分強可検査順序回路のテスト生成複雑度が τ^2 -bounded であることも示している。文献 [12] では、回路内の外部入力から外部出力までのスルー機能だけで構成される経路 (スルー木と呼ばれる) に基づいて、無閉路可検査性を満たす順序回路であるための十分条件が示されている。

本論文では、スルー機能を持つ順序回路において、文献 [12] で示された十分条件を緩和することによるテスト容易な順序回路の新しいクラスを提案する。文献 [12] で示されたスルー木に代わる正当化スルー木と伝搬スルー木を新たに定義し、これに基づく新たなクラスを示す。ここでは、外部入力から外部出力へのスルー木による条件と比較して、外部入力からレジスタへの正当化スルー木とレジスタから外部出力への伝搬スルー木の 2 つからなる条件であるため、今回提案する条件を満たす順序回路を部分スルー可検査順序回路と呼ぶ。また、[12] で定義された順序回路を完全スルー可検査順序回路と呼ぶ。部分スルー可検査順序回路は、完全スルー可検査順序回路のクラスを真に包含する。これは、一般の順序回路に対して、部分スルー可検査性に基づくテスト容易化設計によるハードウェアオーバーヘッドが完全スルー可検査性に基づくそれに比べて小さくなることを意味する。本論文では、部分スルー可検査性に基づくテスト容易化設計について、ハードウェアオーバーヘッド最小を目指したスルー木集合生成のためのヒューリスティックアルゴリズムも示す。実験により、テスト容易化設計による面積オーバーヘッドが削減でき、完全故障検出効率を得られることを示す。

2. 無閉路可検査順序回路

文献 [3, 4] は、組合せ回路のテスト生成複雑度を $\tau = \Theta(n^r)$ (n は回路規模, r は 2 以上の定数) と表し、与

えられた回路のテスト生成複雑度を τ^k 記法によって表現した．これにより，一般的な無閉路順序回路のテスト生成複雑度が τ^2 -bounded であり，また，平衡構造など，一部の順序回路のテスト生成複雑度が組合せ回路のテスト生成複雑度を有する，つまり， τ -equivalent であることを示した．文献 [12] において Ooi らは，回路内に閉路を持ちながら，テスト生成複雑度が τ^2 -bounded となる順序回路の十分条件を示した．

文献 [15] では，無閉路順序回路のテスト生成複雑度を有する，つまり τ^2 -bounded であるような順序回路のクラスを無閉路可検査性 (acyclically testable) として定義している．そのため，文献 [12] で示された十分条件に基づく順序回路のテスト生成複雑度は τ^2 -bounded であるため，完全スルー可検査順序回路は無閉路可検査順序回路であるといえる．

図 1 の順序回路 S_1 について考える．順序回路は，組合せ論理部 (combinational logic block; CLB) とレジスタからなり，それらの接続関係で表される．CLB には，図 2 に示すようなスルー機能を有するものもある．スルー機能には，1 つの入力の値をそのまま出力に伝搬する単純スルー (図 2(a)) と，複数の入力をまとめて 1 つの出力に伝搬する併合スルー (図 2(b)) がある．

順序回路 S_1 は，完全スルー可検査順序回路であるための十分条件を満たす．十分条件の中に，外部入力から外部出力へのスルー機能の経路として定義したスルー木に関する条件がある． S_1 は，回路内に 2 つのスルー木を持つことでその条件を満たしている．1 つは外部入力 PI_2 からレジスタ R_1, R_2, R_3 を通り外部出力 PO_1 へ到達する，スルー機能 t_1, t_7, t_8, t_2 からなる経路である．もう 1 つは外部入力 PI_2 からレジスタ $R_9, R_{10}, R_{11}, R_{12}$ を通り外部出力 PO_2 へ到達する，スルー機能 t_3, t_4, t_9, t_5, t_6 からなる経路である．これらのようなスルー木を持つことで，無閉路順序回路と同様に時間展開モデルを用いたテスト生成が可能となる．図 3 に S_1 における CLB C_{13} のための時間展開モデルを示す．時間展開モデルは，回路内のレジスタへの値のロードやホールドを行う時間を考慮した CLB の接続関係を表すモデルである．順序回路 S_1 には， $\{R_1, R_2, R_3\}$ からなる閉路と， $\{R_{10}, R_{11}\}$ からなる閉路が存在するが，上述したスルー木が存在することにより，スルー機能を使ってそれらのレジスタの値の正当化と伝搬が可能である．そのため，図 3 に示すように，閉路内にある CLB C_{13} に対する値の正当化と伝搬をスルー機能によって容易に行うことができる．時間展開モデルに対して組合せ回路用テスト生成アルゴリズムを適用することで得られ

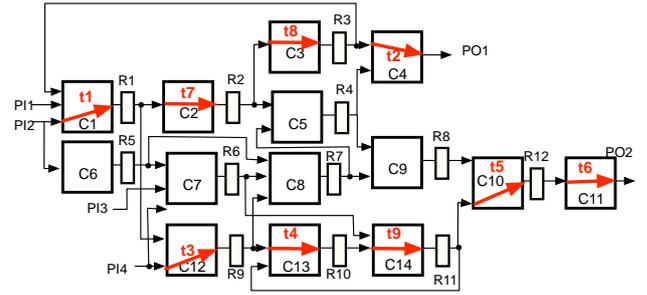


図 1: 順序回路 S_1

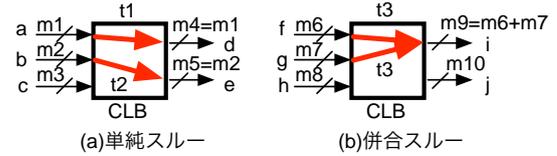


図 2: スルー機能

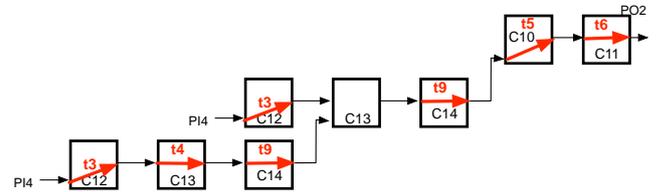


図 3: S_1 の C_{13} のための時間展開モデル

るパターンは， S_1 の C_{13} のためのテスト系列へ変換可能である．他の CLB に対しても同様の方法でテスト生成を行うことが可能である．

3. 部分スルー可検査順序回路

3.1 回路モデル

本研究で対象とする順序回路は，次に示す R グラフによって表される．順序回路 S の R グラフを図 5 に示す．
定義 1 (R グラフ): 順序回路 S を表す R グラフ $G_R = (V, A, w, r, t)$ は次のように定義される有向グラフである．

1. 頂点 $v \in V$ は，レジスタ，外部入力，外部出力のいずれかを表す．レジスタ集合，外部入力集合，外部出力集合をそれぞれ， V_R, V_I, V_O とすると， $V = V_R \cup V_I \cup V_O$ である．
2. 辺 $(u, v) \in A$ は，レジスタまたは外部入力 u から，レジスタまたは外部出力 v への，組合せ回路を通じた，または，直接の接続を表す．
3. 外部入出力，またはレジスタ $v \in V$ のビット幅は $w(v)$ ($w: V \rightarrow Z^+$) で表される (Z^+ は正の整数)．
4. 関数 r は $r: V \rightarrow \{h, \phi\}$ であり，レジスタ $v \in V_R$

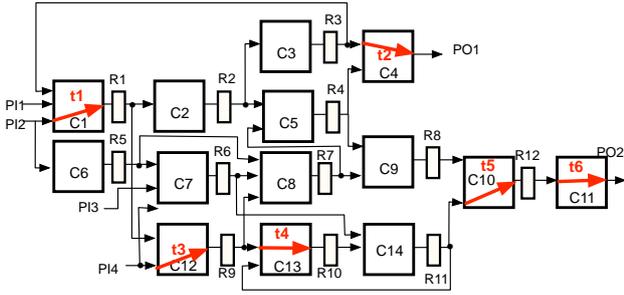


図 4: 順序回路 S_2

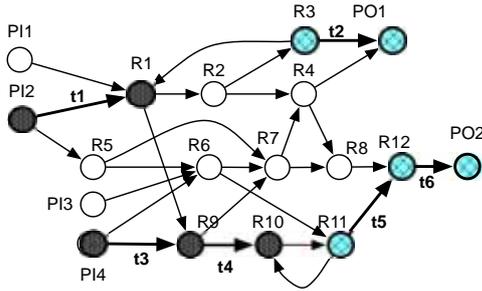


図 5: 順序回路 S_2 の R グラフ G_{R_2}

がホールド機能を有するとき、 $r(v) = h$ とする。また、 v がホールド機能を有しないレジスタ、または外部入出力のときは、 $r(v) = \phi$ とする。

- 2つのレジスタ(または外部入出力)間 $(u, v) \in A$ にスルー機能 t_i があるとき、 $t(u, v) = t_i$ と示す。スルー機能がない場合は $t(u, v) = \phi$ と示す(すなわち、 $t: V^2 \rightarrow F \cup \{\phi\}$, $F = \{t_1, t_2, \dots, t_m\}$ はスルー機能の集合を表す)。

以上の定義から、順序回路 S における CLB B は、次の条件を満たす R グラフ $G_R = (V, A, w, r, t)$ の部分グラフ $g_B = (V_B, A_B)$ と考えることができる。

- $V_B = V_{in} \cup V_{out}$,
- $A_B = \{(u, v) \in A \mid u \in V_{in}, v \in V_{out}\}$

ここで、 V_{in}, V_{out} はそれぞれ、CLB B の入力、出力に対応するレジスタ(または、外部入出力)の集合を表す。

スルー機能 t_i を用いて値を伝達するかどうかは、回路中のレジスタの値と外部入力の値に依存する。例えば、あるスルー機能 $t_i \in F$ がレジスタ $v_1, v_2 \in V$ の値によって有効となるとき、 t_i は $\{v_1, v_2\}$ によって活性化されるといい、 $\alpha(t_i) = \{v_1, v_2\}$ と表す($\alpha: F \rightarrow 2^V$)。なお、 $\alpha(t_i) = \phi$ のとき、 t_i は常に活性化されていることを表す。スルー機能 t_i を活性化するためにレジスタ v_1 に入力される値を *active*、そうでない値を *noactive* と表す。

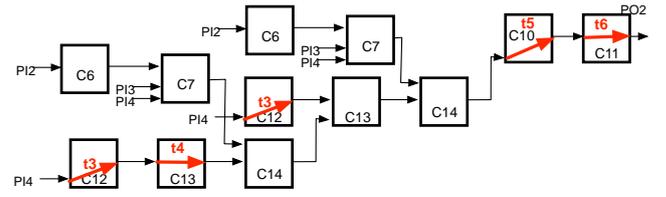


図 6: S_2 の C_{13} のための時間展開モデル

3.2 部分スルー可検査順序回路

文献 [12] では、外部入力から外部出力へのスルー機能のみの経路をスルー木として定義し、スルー木をもとにテスト容易な順序回路であるための十分条件を示した。本研究では、外部入力からレジスタへのスルー機能のみの経路を正当化スルー木、レジスタから外部出力へのスルー機能のみの経路を伝搬スルー木として定義することで、新たにテスト容易な順序回路であるための十分条件を示す。新たに示す正当化スルー木と伝搬スルー木は、[12] で示されたスルー木の一部のスルー機能を用いて実現可能である。そこで、本研究で提案する無閉路可検査順序回路を部分スルー可検査順序回路と呼ぶ。これと比較して、[12] で示された順序回路を完全スルー可検査順序回路と呼ぶ。

ここで、以下の2つのスルー木を定義する。

定義 2 (正当化スルー木, 伝搬スルー木): R グラフを $G_R = (V, A, w, h, t)$ とする。正当化スルー木 $T^J = (V^J, A^J)$, $V^J \subseteq V, A^J \subseteq A$ は、以下の条件を満たす R グラフ G_R の部分グラフである。

1. 任意の葉 $v \in V^J$ は外部入力 (V_{PI}) に対応する。
2. 任意の辺 $(u, v) \in A^J$ はスルー機能を有する ($\forall (u, v) \in A^J, t(u, v) \neq \phi$)。
3. 併合スルーの入力は、すべて T^J に含まれるか、まったく含まれないかのいずれかである ($\forall t_i \subseteq F, t^{-1}(t_i) \cap A^J = t^{-1}(t_i) \vee t^{-1}(t_i) \cap A^J = \phi$)。

伝搬スルー木 $T^P = (V^P, A^P)$, $V^P \subseteq V, A^P \subseteq A$ は、以下の条件を満たす R グラフ G_R の部分グラフである。

1. 根 $v \in V^P$ は外部出力 (V_{PO}) に対応する。
2. 任意の辺 $(u, v) \in A^P$ はスルー機能を有する ($\forall (u, v) \in A^P, t(u, v) \neq \phi$)。

(例 1) 図 5 に示した順序回路 S_2 の R グラフ G_{R_2} では、正当化スルー木の集合 T^J は $T^J = \{T_1^J = (V_1^J, A_1^J), T_2^J = (V_2^J, A_2^J)\}$ であり、伝搬スルー木の集合 T^P は、 $T^P = \{T_1^P = (V_1^P, A_1^P), T_2^P = (V_2^P, A_2^P)\}$ である。このとき、 $V_1^J = \{PI2, R1\}$, $A_1^J = \{(PI2, R1)\}$, $V_2^J = \{PI4, R9, R10\}$, $A_2^J = \{(PI4, R9), (R9, R10)\}$, $V_1^P = \{R3, PO1\}$, $A_1^P = \{(R3, PO1)\}$, $V_2^P =$

$\{R11, R12, PO2\}$, $A_2^P = \{(R11, R12), (R12, PO2)\}$ である。 □

文献 [12] で示された完全スルー可検査順序回路におけるスルー木との違いについて考える。ここでは, [12] で示されたスルー木を完全スルー木と呼ぶ。完全スルー木 $T^F = (V^F, A^F)$ の条件は以下に示すとおりである。

1. 任意の葉 $v(\in V^F)$ は外部入力 (V_{PI}) に対応する。
2. 根 $v(\in V^F)$ は外部出力 (V_{PO}) に対応する。
3. 任意の辺 $(u, v)(\in A^F)$ はスルー機能を有する ($\forall(u, v) \in A^F, t(u, v) \neq \phi$)。

完全スルー木の定義から, 完全スルー木に含まれるレジスタはスルー機能を活性化させることで擬似外部入力として機能する。それに対して, 定義より, 正当化スルー木に含まれる頂点 (レジスタ) は, 各スルー機能を活性化することができる場合, 外部入力から任意の値を正当化可能であり, 擬似外部入力とみなすことができる。また, 伝搬スルー木に含まれる頂点 (レジスタ) は, 各スルー機能を活性化することができる場合, 外部出力へ任意の値を伝搬可能であり, 擬似外部出力とみなすことができる。つまり, 完全スルー木は正当化スルー木であり, 伝搬スルー木である。

順序回路においてスルー機能による経路を用いるとき, スルー機能の活性化や, レジスタのホールド機能の制御について考慮する必要がある。それらを考えるため, スルー可検査順序回路の十分条件を定義する上で必要となる定義について示す。2つのスルー木に含まれるスルー機能と, それを活性化するレジスタ (外部入力を含む) との関係性を以下のように定義する。

定義 3 (スルー木の依存関係): R グラフ $G_R = (V, A, w, r, t)$ におけるスルー木 $T_i = (V_i, A_i)$ を考える。ここで, スルー木 $T_i = (V_i, A_i)$ について, T_i に含まれるスルー機能を活性化するレジスタの集合を $D(T_i)$ と表す。すなわち, スルー木の辺集合 A_i に含まれる辺を a_k ($1 \leq k \leq |A_i|$) とすると, $D(T_i) = \bigcup_{k=1}^{|A_i|} \alpha(t(a_k))$ である。あるレジスタ $v \in V$ が, T_i のいずれかの辺のスルー機能を活性化するとき, すなわち, $v \in D(T_i)$ のとき, T_i は v に依存するという。また, 2つのスルー木 $T_i, T_j = (V_j, A_j)$ について, $D(T_i) \cap V_j \neq \phi$ のとき, T_i は T_j に依存するといい, $T_i \prec T_j$ と表す。 □

(例 2) 図 5 において, 正当化スルー木 T_1^J の辺集合 A_1^J に含まれるスルー機能 t_3 はレジスタ $R1$ によって活性化される, つまり, $\alpha(t_3) = \{R1\}$ であると仮定する。このとき, G_{R_2} におけるスルー木同士の依存関係は, $T_1^J \prec T_2^J$ と表すことができる。 □

スルー機能による値の正当化を考えるとき, スルー機能による値の正当化と, そうでないときの値の正当化を同時に行うことで, 正当化スルー木上のレジスタに任意の値を正当化できない場合がある。そのような場合を以下のように定義する。

定義 4 (経路の依存性): R グラフにおける 2 つの経路 $p = (u_1, u_2, \dots, u_{n_p})$, $q = (v_1, v_2, \dots, v_{n_q})$ を考える。各経路 p, q は, 単純路であるか, または, 始点と終点を経路 p (または q) の終点 (u_{n_p} (または v_{n_q})) とするサイクルを高々 1 つ含む。

このとき, 以下の条件をすべて満たすならば, 経路 p は経路 q に依存するという。

1. p と q の長さが等しい ($n_p = n_q$)。
2. p と経路 q の終点が同一の頂点である ($u_{n_p} = v_{n_q}$)。
3. p の最初の辺 (u_1, u_2) がスルー機能を持つ ($t(u_1, u_2) \neq \phi$)。
4. 経路 p, q の始点が同一の頂点である ($u_1 = v_1$), または, p の最初の辺 (u_1, u_2) が頂点 v_1 によって活性化される ($v_1 \in \alpha(t(u_1, u_2))$)。 □

(例 3) 図 5 に示す R グラフにおいて, 2 つの経路 $p_1 = (PI4, R9, R10, R11, R12)$, $q_1 = (PI4, R6, R7, R8, R12)$ の依存性について考える。経路 p_1, q_1 の経路長は 5 で等しく, 経路の終点の頂点も $R12$ で同じであり, 経路 p_1 の最初の辺 $(PI4, R9)$ は, スルー機能 t_3 をもつ。さらに, 各経路の始点が同一の頂点 $PI4$ であるため (条件 4), p_1 は q_1 に依存するといえる。 □

ここまでの定義をもとに, 部分スルー可検査性を満たすための十分条件を以下に示す。

定義 5 (部分スルー可検査順序回路): 順序回路 S に対する R グラフ $G_R = (V, A, w, r, t)$ が, 以下の条件を満たす正当化スルー木の集合 $T^J = \{T_i^J = (V_i^J, A_i^J), i = 1, 2, \dots, n^J\}$ と伝搬スルー木の集合 $T^P = \{T_i^P = (V_i^P, A_i^P), i = 1, 2, \dots, n^P\}$ を持つとき, 順序回路 S は部分スルー可検査順序回路であるという。ここで, $T = T^J \cup T^P$, $V_T^J = \bigcup_{i=1}^{n^J} V_i^J$, $V_T^P = \bigcup_{i=1}^{n^P} V_i^P$ とする。

1. 正当化スルー木の集合 T^J は以下の条件を満たす。
 - (a) 正当化スルー木は互いに素である ($i \neq j \Rightarrow V_i^J \cap V_j^J = \phi$)。
 - (b) 正当化スルー木を構成する頂点の集合 V_T^J は R グラフのフィードバック頂点集合 FVS^* を被覆する。(すなわち, $FVS^V (\subseteq V)$ について, $V^J \subseteq V_T^J$)。
 - (c) スルー機能を活性化するために必要なレジスタはホールド機能を持つ ($\forall v \in \alpha(t_i), \forall t_i \in F, r(v) =$

*FVS : Feedback Vertex Set 取り除くと閉路がなくなる頂点の集合

h) .

2. 伝搬スルー木の集合 T^P は以下の条件を満たす .

- (a) 伝搬スルー木は互いに素である ($i \neq j \Rightarrow V_i^P \cap V_j^P = \phi$) .
- (b) 伝搬スルー木を構成する頂点の集合 V_T^P は R グラフのフィードバック頂点集合 FVS を被覆する . (すなわち, FVS $V' (\subseteq V)$ について, $V' \subseteq V_T^P$) .

3. スルー木集合 T に含まれる任意のスルー木 $T = (V, A)$ は以下の条件を満たす .

- (a) スルー木の依存関係 \prec における推移閉包 \prec' を考えたとき, 関係 \prec' は自分自身と関係を持たない (すなわち, $\forall T \in T, T \not\prec' T$) .
- (b) スルー木 T が依存する任意の頂点 v は, 正当化スルー木に含まれる頂点であるか, 外部入力である (すなわち, $\forall v \in D(T), v \in (V_T^J - V) \cup V_{PI}$) .
- (c) スルー木 T は他の正当化スルー木 T' と同じ頂点に依存しない (すなわち, $D(T) \cap D(T') = \phi$) .

4. 以下に示す条件 (a) から条件 (d) を満たす任意の経路対 $p = (u_1, u_2, \dots, u_{n_p}), q = (v_1, v_2, \dots, v_{n_q})$ において, p もしくは q 上に, 条件 (i), (ii) をどちらも満たすような頂点 \hat{u}_k が存在する . なお, 条件 (i), (ii) の経路 $\hat{p} = (\hat{u}_1, \hat{u}_2, \dots, \hat{u}_n)$ は, 経路 p もしくは q を表す .

- (a) 経路 p, q 上に存在する任意の閉路は, 基本閉路[†]である .
- (b) 経路 p は q に依存する .
- (c) 経路 p 上の頂点 $u_{i_p} (1 < i_p < n_p)$ において, 経路 (u_1, \dots, u_{i_p}) は正当化スルー木に含まれる, かつ, 辺 (u_{i_p}, u_{i_p+1}) は正当化スルー木に含まれない . 経路 p は, 正当化スルー木に含まれる頂点 u_{j_p} から伝搬スルー木に含まれる頂点 u_{k_p} への部分経路 $(u_{j_p}, \dots, u_{k_p}) (i_p < j_p \leq k_p < n_p)$ を含まない経路である (すなわち, $u_{j_p} \in V_T^J$, かつ, $u_{k_p} \in V_T^P$) .
- (d) 経路 q は, 正当化スルー木に含まれる頂点 v_{j_q} から伝搬スルー木に含まれる頂点 v_{k_q} への部分経路 $(v_{j_q}, \dots, v_{k_q}) (i_q < j_q \leq k_q < n_q)$ を含まない (すなわち, $v_{j_q} \in V_T^J$, かつ, $v_{k_q} \in V_T^P$) .
- (i) 経路 \hat{p} の部分経路 $p' = (\hat{u}_k, \hat{u}_{k+1}, \dots, \hat{u}_n)$ において, 経路の長さ $|p'|$ が, R グラフ上の異なる経路 $p'' = (\hat{u}_k, \dots, \hat{u}_n)$ の経路長 $|p''|$ と比べて等しいか長い .
- (ii) 頂点 \hat{u}_k がホールド機能を持つ (すなわち,

$r(\hat{u}_k) = h$) .

□

(例 4) 定義 5 の各条件を, 図 4 に示す順序回路 S_2 と図 5 に示す S_2 の R グラフ G_{R_1} を用いて説明する . G_{R_1} において, 頂点 $R1, R2, R3$ のいずれかと, $R10, R11$ のいずれかの頂点を含む頂点集合が FVS となる .

(条件 1) G_{R_1} の正当化スルー木を例 1 で示した T_1^J, T_2^J とすると, 頂点集合はそれぞれ $V_1^J = \{PI2, R1\}$, $V_2^J = \{PI3, R9, R10\}$ であるため, FVS となる頂点集合 $\{R1, R10\}$ を被覆しているといえる .

(条件 2) G_{R_1} の伝搬スルー木を例 1 で示した T_1^P, T_2^P とすると, 頂点集合はそれぞれ $V_1^P = \{R3, PO1\}$, $V_2^P = \{R11, R12, PO2\}$ であるため, FVS となる頂点集合 $\{R3, R11\}$ を被覆しているといえる .

(条件 4) G_{R_1} において, 例 3 で示した依存関係を持つ経路対 $p_1 = (PI4, R9, R10, R11, R12)$, $q_1 = (PI4, R6, R7, R8, R12)$ について考える . 経路 p_1, q_1 は単純経路である . 経路 p_1 において, 辺 $(PI4, R9)$ は正当化スルー木 T_2^J に含まれる辺なので, $u_{i_p} = R9$ であり, 辺 $(u_{i_p}, u_{i_p+1}) = (R9, R10)$ は正当化スルー木に含まれない . さらに, 頂点 $R9, R10, R11, R12$ において, $R12$ は伝搬スルー木に含まれるが, その他の頂点が正当化スルー木に含まれないため, 経路 p_1 は, 経路 p に関する条件を満たす . 経路 q_1 において, 頂点 $R6, R7, R8$ は正当化スルー木に含まれないため, 経路 q に関する条件を満たす .

この経路対については, $R7$ がホールドレジスタであっても条件 4(a) を満たさない . なぜなら, 経路 $\hat{p} = q_1$ 上の $\hat{u}_3 = R7$ における部分経路 p' は $(R7, R8, R12)$ であり $|p'| = 3$ となるが, $R7$ から $R12$ への部分経路として, $|q_1''| = 4 > |q_1'|$ となる $p'' = (R7, R4, R8, R12)$ が存在するため, 条件 4(a) を満たさない . 頂点 $R6$ についても同様に, ホールドレジスタであっても条件を満たさない . 経路 p_1, q_1 に対しては, $R8$ がホールドレジスタである場合, 条件を満たすホールドレジスタとなる . 経路の依存関係を持つ G_{R_1} 内の他の経路についても条件 4 について考えると, $R2, R4, R6, R8$ がホールドレジスタであれば, 依存関係を持つすべての経路対に対して条件を満たす . □

部分スルー可検査順序回路において, 条件 4(b) を満たすホールドレジスタどうしにおける関係は, 以下のような関係が成り立つ .

補題 1: 部分スルー可検査順序回路 S の R グラフを $G_R = (V, A, w, r, t)$ とする . 定義 5 条件 4 で示した条件を満たす経路対において, 条件 (b) の頂点 \hat{u}_k に対応する頂点の集合を V_h とする . このとき, 以下に示す集合 V_h の

[†]長さが 1 以上で終点が始点に一致する以外には同じ頂点を 2 度通らない閉路 .

上の関係 \preceq_h は、半順序である。

$$\preceq_h = \{(u, v) | u, v \in V_h, (c1 \wedge c2) \vee (c3 \wedge c4)\}$$

$c1$: u から v への経路が存在する。

$c2$: v から u への経路が存在しない。

$c3$: u から v への経路 $p_{uv} = (u, u_i, u_{i-1}, \dots, v)$ の中で、その経路の始点を除いた部分経路 $p'_{uv} = (u_i, u_{i-1}, \dots, v)$ 上に正当化スルー木に含まれる頂点を持たない経路が少なくとも1つは存在する。

$c4$: v から u への任意の経路 $p_{vu} = (v, v_j, v_{j-1}, \dots, u)$ において、その経路の始点を除いた部分経路 $p'_{vu} = (v_j, v_{j-1}, \dots, u)$ 上に正当化スルー木に含まれる頂点が存在する。

(証明) 関係 \preceq_h において、以下の3つの性質が成り立つことをそれぞれ示す。

1. 反射律 $\forall a \in V_h, a \preceq_h a$
2. 推移律 $\forall a, b \in V_h, a \preceq_h b \wedge b \preceq_h c \Rightarrow a \preceq_h c$
3. 反対称律 $\forall a, b \in V_h, a \preceq_h b \wedge b \preceq_h a \Rightarrow a = b$

1. 反射律

ここでは同じ頂点間での順序関係について考える必要はないため、便宜上反射律が成り立つとする。

2. 推移律

$a \preceq_h b$ についての $c1$ から $c4$ の各条件を以下に示す。

$c1_{ab}$ a から b への経路が存在する。

$c2_{ab}$ b から a への経路が存在しない。

$c3_{ab}$ a から b への経路 $p_{ab} = (a, a_i, a_{i-1}, \dots, b)$ の中で、その経路の始点を除いた部分経路 $p'_{ab} = (a_i, a_{i-1}, \dots, b)$ 上に正当化スルー木に含まれる頂点を持たない経路が少なくとも1つは存在する。

$c4_{ab}$ b から a への任意の経路 $p_{ba} = (b, b_j, b_{j-1}, \dots, a)$ において、その経路の始点を除いた部分経路 $p'_{ba} = (b_j, b_{j-1}, \dots, a)$ 上に正当化スルー木に含まれる頂点が存在する。

同様に、 $b \preceq_h c$ についての $c1$ から $c4$ の各条件を以下に示す。

$c1_{bc}$ b から c への経路が存在する。

$c2_{bc}$ c から b への経路が存在しない。

$c3_{bc}$ b から c への経路 $p_{bc} = (b, b_i, b_{i-1}, \dots, c)$ の中で、その経路の始点を除いた部分経路 $p'_{bc} = (b_i, b_{i-1}, \dots, c)$ 上に正当化スルー木に含まれる頂点を持たない経路が少なくとも1つは存在する。

$c4_{bc}$ c から b への任意の経路 $p_{cb} = (c, c_j, c_{j-1}, \dots, b)$ において、その経路の始点を除いた部分経路 $p'_{cb} = (c_j, c_{j-1}, \dots, b)$ 上に正当化スルー木に含まれる頂点が存在する。

以上8つの条件から $a \preceq_h b$ であるための以下の4つの条件が成り立つことを示す。

$c1_{ac}$ a から c への経路が存在する。

$c2_{ac}$ c から a への経路が存在しない。

$c3_{ac}$ a から c への経路 $p_{ac} = (a, a_i, a_{i-1}, \dots, c)$ の中で、その経路の始点を除いた部分経路 $p'_{ac} = (a_i, a_{i-1}, \dots, c)$ 上に正当化スルー木に含まれる頂点を持たない経路が少なくとも1つは存在する。

$c4_{ac}$ c から a への任意の経路 $p_{ca} = (c, c_j, c_{j-1}, \dots, a)$ において、その経路の始点を除いた部分経路 $p'_{ca} = (c_j, c_{j-1}, \dots, a)$ 上に正当化スルー木に含まれる頂点が存在する。

$c1_{ab}, c1_{bc}, c3_{ab}, c3_{bc}$ の条件から、 $a \preceq_h b \wedge b \preceq_h a$ であるならば、 $c1_{ac}$ が成り立つことは明らかである。また、 c から a への経路が存在しない場合、 $c2_{ac}$ が成り立つため、 $a \preceq_h c$ が成り立つことは明らかである。そのため、ここからは c から a への経路が存在する場合、つまり、 $c3_{ac} \wedge c4_{ac}$ が成り立つことを示す。

$a \preceq_h b \wedge b \preceq_h c \Rightarrow a \preceq_h c$ と仮定する。このとき、 $c3_{ac} \wedge \neg c4_{ac}$ であるならば、 R グラフ内の a と c を含む閉路上に正当化スルー木に含まれる頂点が存在しないことになり、それは部分スルー可検査性の定義を満たさない。そのため、 $a \preceq_h c$ となるのは、 $c3_{ac} \wedge c4_{ac}$ 、もしくは、 $c3_{ac} \wedge \neg c4_{ac}$ となる場合であるため、 $a \preceq_h b \wedge b \preceq_h c \Rightarrow \neg c3_{ac}$ ではないことを示すことで推移律を示す。

$a \preceq_h b \wedge b \preceq_h c$ であるならば、 $c3_{ab}$ と $c3_{bc}$ より、 a から b, b から c という経路の中に、正当化スルー木に含まれる頂点を持たない経路が少なくとも1つは存在する。一方、 $\neg c3_{ac}$ であるならば、 a から c への経路上に正当化スルー木に含まれる頂点が存在することになる。そのため、 $a \preceq_h b \wedge b \preceq_h c$ ならば、 $\neg c3_{ac}$ は成り立たない。

以上のことから、 $a \preceq_h b \wedge b \preceq_h c \Rightarrow a \preceq_h c$ であり、推移律が成り立つ。

3. 反対称律

$a \neq b$ であるとき、 $c2_{ab}$ が成り立つならば、 $c1_{ba}$ が成り立たないことは明らかであり、同様に $c2_{ba}$ が成り立つならば、 $c1_{ab}$ が成り立たない。また、 b から a への経路が存在する場合、 $c4_{ab}$ が成り立つならば、部分経路 p'_{ba} 上に正当化スルー木に含まれる頂点が存在することになるが、これは、 $c3_{ba}$ の条件と矛盾する。同様に、 a から b への経路が存在する場合、 $c4_{ab}$ が成り立つならば、部分経路 p'_{ab} 上に正当化スルー木に含まれる頂点が存在することになるが、これは、 $c3_{ba}$ の条件と矛盾する。

以上のことから、 $a \neq b$ であるならば、 $a \preceq_h b \wedge b \preceq_h a$ は成り立たないといえる。よって、 $a \preceq_h b \wedge b \preceq_h a \Rightarrow$

$a = b$ である .

ここまでの議論から , 集合 V_h の上の関係 \preceq_h において , 反射律 , 推移律 , 反対称律が成り立つため , 関係 \preceq_h は半順序である . \square

関係 \preceq_h は半順序であるため , トポロジカルソートなどを用いることで整列が可能である .

(例 5) 図 7 に示す順序回路 S_2 は , 部分スルー可検査順序回路であり , その R グラフを図 8 に示す . 正当化スルー木集合は , $T^J = \{T_1^J = (V_1^J, A_1^J), T_2^J = (V_2^J, A_2^J), T_3^J = (V_3^J, A_3^J)\}$ であり , 伝搬スルー木の集合は , $T^P = \{T_1^P = (V_1^P, A_1^P), T_2^P = (V_2^P, A_2^P)\}$ である . このとき , $V_1^J = \{PI1, R1\}$, $A_1^J = \{(PI1, R1)\}$, $V_2^J = \{PI2, R10\}$, $A_2^J = \{(PI2, R10)\}$, $V_3^J = \{PI3, R11\}$, $A_3^J = \{(PI3, R11)\}$, $V_1^P = \{R7, PO1\}$, $A_1^P = \{(R7, PO1)\}$, $V_2^P = \{R12, PO2\}$, $A_2^P = \{(R12, PO2)\}$ である . 定義 5 条件 4 で示した条件を満たす経路対において , 条件 (b) の頂点 \hat{u}_k に対応する頂点の集合 V_h は $\{R2, R6, R10\}$ である . このとき , $R2$ は経路対 $p_1 = (PI1, R1, R2, R3, R7)$, $q_1 = (PI1, R4, R5, R6, R7)$, $R6$ は経路対 $p_2 = (PI3, R11, R12)$, $q_2 = (PI3, R6, R12)$, $R10$ は経路対 $p_3 = (PI1, R10, R9)$, $q_3 = (PI1, R8, R9)$ のためのホールドレジスタである .

集合 V_h の各頂点間関係について考える . 頂点 $R2$ と $R6$ について考える . $R2$ から $R6$, $R6$ から $R2$ への経路はそれぞれ存在し , 条件 c2 を満たさないため , 条件 c3 と c4 について考える . $R2$ から $R6$ への経路を考えると , 正当化スルー木に含まれる $R10$ を通る . また , $R6$ から $R2$ への経路を考えると , 正当化スルー木に含まれる $R1$ を通る . そのため , $(R2, R6)$, $(R6, R2)$ を考えると , 条件 c3 満たさないことがわかる . 同様に , $R2$ と $R10$ について考えると , $R2$ から $R10$ の経路では $R10$, $R10$ から $R2$ への経路では $R1$ を通るため , $(R2, R10)$, $(R10, R2)$ であるための条件を満たさないことがわかる . $R6$ と $R10$ について考える . $R6$ から $R10$ への経路を考えると , 正当化スルー木に含まれる $R10$ を通るため , $(R6, R10)$ であるための条件 c3 を満たさない . 一方 , $R10$ から $R6$ への経路を考えると , 正当化スルー木に含まれる頂点を通らない経路 $p_{uv_1} = (R10, R9, R6)$ が存在する . さらに , 先に述べたように c4 は満たすため , $(R10, R6)$ という関係が成り立つ .

以上のことから , 図 8 における集合 V_h の上の関係 \preceq_h は , $\preceq_h = \{(R10, R6)\}$ である .

図 5 の R グラフにおける集合 $V_h = \{R2, R4, R6, R8\}$ の上の関係について考える . 各頂点において , $R8$ から $R2$, $R8$ から $R6$, $R6$ から $R4$, $R6$ から $R2$, $R4$

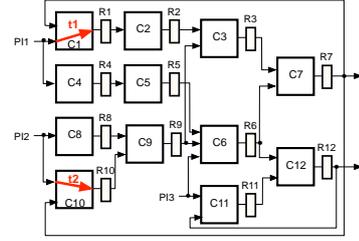


図 7: 順序回路 S_3

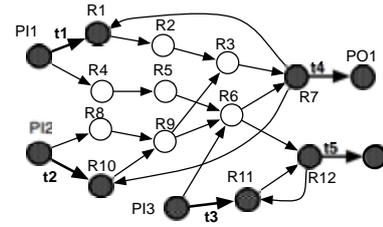


図 8: R グラフ G_{R_3}

から $R2$, $R2$ から $R6$ への経路が存在しない (c2) . また , $R2$ から $R8$, $R2$ から $R4$, $R4$ から $R8$, $R6$ から $R4$, $R6$ から $R8$ への経路が存在するため (c1) , $\preceq_h = \{(R2, R8), (R2, R4), (R4, R8), (R6, R4), (R6, R8)\}$ である . \square

3.3 部分スルー可検査順序回路のテスト生成法

3.3.1 時間展開グラフと時間展開モデル

無閉路順序回路と同様に , 組合せ回路用のテスト生成アルゴリズムを用いるための回路モデルである時間展開モデルを示す .

定義 6 (時間展開グラフ (TEG)): 順序回路 S の R グラフ $G_R = (V, A, w, r, t)$ を考える . S におけるテスト対象 CLB B に対応する R グラフの部分グラフを $g_B = (V_B, A_B)$ とする . ここで , R グラフにおける g_B の入力 , 出力に対応するレジスタ , または , 外部入力 , 外部出力 の集合をそれぞれ V_{in}, V_{out} とする . R グラフ G_R における正当化スルー木の集合を $T^J = \{T_i^J = (V_i^J, A_i^J), i = 1, 2, \dots, n^J\}$, 伝搬スルー木の集合を $T^P = \{T_i^P = (V_i^P, A_i^P), i = 1, 2, \dots, n^P\}$, 正当化スルー木の頂点集合の和集合を $V_T^J = \cup_{i=1}^{n^J} V_i^J$, 伝搬スルー木の頂点集合の和集合を $V_T^P = \cup_{i=1}^{n^P} V_i^P$ とする . これに対し , 有向グラフ $G_A(S, B) = (V_A, A_A, l, c)$ が以下の条件を満たすとき , $G_A(S, B)$ を CLB B のための時間展開グラフと呼ぶ . V_A は頂点集合 , A_A は辺集合 , l は時間展開グラフの頂点集合 V_A から R グラフの頂点集合 V への写像をそれぞれ表す . c は順序回路 S における回路の実行サイクルを表すものと考え , 頂点集合 V_A から整数集合 Z

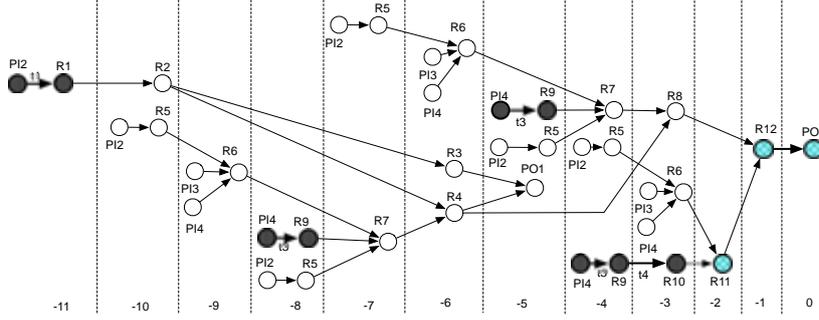


図 9: S_2 における CLBC5 のための時間展開グラフ $G_A(S_2, C_5)$

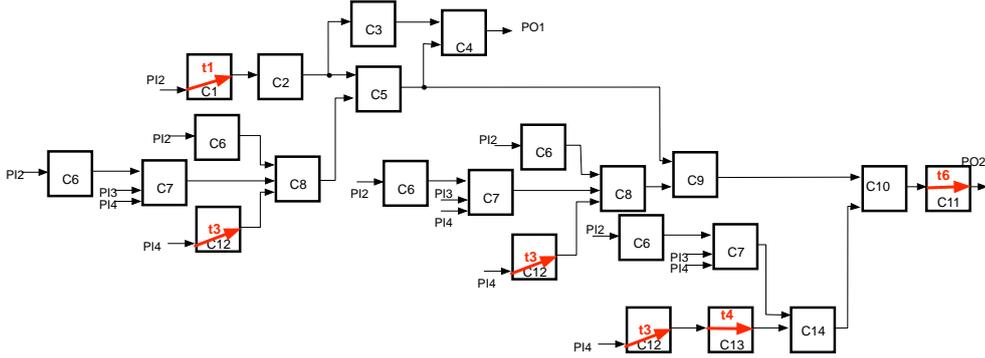


図 10: S_2 における CLBC5 のための時間展開モデル $C(G_A(S_2, C_5))$

への写像として表現する。

C1 (論理の保存) 写像 l は、単射である、すなわち、
 $\forall u \in V, \exists v \in V_A \text{ s.t. } u = l(v)$.

C2 (任意の頂点における正当化) 時間展開グラフの頂点集合 V_A に含まれる任意の頂点を v とする。頂点 $l(v)$ の直接隣接する任意の祖先 u' において、 $(l(v') = u' \wedge v' \in pre(v)) \vee$ (同じスルー機能へのラベルを持つ辺 $(l(v'), l(v))$ のみ持つような頂点 v') であるような直接隣接する祖先 v' を持つ。

C3 (テスト対象 CLB からの出力経路の保存) 始点を頂点集合 V_{out} に含まれる頂点 u 、終点を u から到達可能な伝搬スルー木の頂点集合 V_T^P に含まれる頂点 u_p とするような経路を $p = (u, \dots, u_p)$ とし、経路の集合を P とする。時間展開モデルにおいて、経路 $p (\in P)$ に対応する経路 $q = (v, \dots, v_p)$ ($v \in l^{-1}(u), v_p \in l^{-1}(u_p)$) が存在する。このとき、始点 v は頂点集合 V_{in} に含まれる任意の頂点 u' に対応する頂点 $v' (\in l^{-1}(u'))$ を直接隣接する子孫とする頂点であり、終点 v_p は $pre(u_p)$ に含まれる任意の頂点 u'_p に対応する頂点 v'_p を $pre(v_p)$ に含むような頂点である。

C4 (スルー機能による経路の保証) 時間展開グラフにおいて、 (v_1, v_2) となるように直接隣接する頂点を v_1, v_2 とする。頂点 v_2 がスルー機能を活性化させ

ている頂点である場合、 $(indeg(v_1) = 0 \vee v' \in pre(v_1), \forall v' [t(l(v'), l(v_1)) \neq \phi]) \vee (outdeg(v_2) = 0 \vee v' \in suc(v_2), \forall v' [t(l(v_2), l(v')) \neq \phi])$ であるような頂点 v' が存在する。

C5 (スルー機能の活性化) 集合 V_A に含まれる頂点を v 、 v の直接の子孫の集合を $pre(v)$ とする。頂点 v と集合 $pre(v)$ に含まれる任意の頂点 v' について、 $t(l(v'), l(v)) = t_i \neq \phi$ であるならば、 $l(v_t) \in \alpha(t_i) \wedge [l(v_a) \in V_I, c(v_a) = c(v) \vee l(v_a) \in V_R, c(v_a) = c(v) - 1]$ となる頂点 v_a が存在する。

C6 (時刻の一貫性、一貫性) 集合 A_A に含まれる任意の辺 (v', v) において、 v' が外部入力であれば $c(v) = c(v')$ 、レジスタであれば $c(v) = c(v') - 1$ 、ホールドレジスタであれば $c(v') < c(v)$ が成り立つ。

C7 (時刻の唯一性) 集合 V_A に含まれる任意の頂点 v', v において、 $c(v') = c(v) \wedge l(v') = l(v)$ であるならば、頂点 v' と v は同一の頂点である、すなわち、 $v' = v$ である。

C8 (ホールドの一貫性) 集合 A_A に含まれる、 $r(l(v_1)) = r(l(v_2)) = h$ であるような任意の辺の組 $(v_1, v'_1), (v_2, v'_2)$ において、もし $c(v_1) < c(v_2)$ ならば、 $c(v'_1) \leq c(v_2)$ 。 □

時間展開グラフから論理回路への変換を以下に示す。

定義 7 (時間展開モデル (TEM)): 部分スルー可検査性を満たす順序回路を S , S の R グラフを $G_R = (V, A, w, r, t)$, S における CLB B のための時間展開グラフを $G_A(S, B) = (V_A, A_A, l, c)$ とする. 順序回路 S における CLB B に関する時間展開モデル $C(G_A(S, B))$ を以下の手順で得られる組合せ回路であると定義する.

1. 時間展開グラフ G_A において, R グラフの CLB に対応する部分グラフを, 順序回路 S で対応する CLB に置き換える.
2. 時間展開グラフ G_A における各頂点を, レジスタを持たない接続関係に置き換える.
3. 各 CLB の中で, 他の CLB や外部出力へ到達不可能である配線や論理を削除する. \square

(例 6) 図 4 の順序回路 S_2 の R グラフから得られるスルー機能を用いた CLB C_5 のための時間展開グラフ $G_A(S_2, C_5)$ を図 9 に示す. 図 9 の時間展開グラフ $G_A(S_2, C_5)$ から得られる時間展開モデル $C(G_A(S_2, C_5))$ を図 10 に示す. 図 9 において, テスト対象の CLB C_5 に対応する部分グラフは, 入力タイムフレーム -10 の頂点 R_2 とタイムフレーム -7 の頂点 R_7 , 出力タイムフレーム -6 の頂点 R_4 である. 条件 C_1 については, 時間展開グラフ中の各頂点の名前が R グラフでの頂点に対応するものとする. 図 11 に示す時間展開グラフも, 図 9 と同様に, CLB C_5 のための時間展開グラフである. 図 11 の時間展開グラフは, テストの対象となる部分グラフの出力がタイムフレーム -7 の頂点 R_4 とタイムフレーム -1 の頂点 R_4 にあり, それぞれの頂点から外部出力への経路を保証することで条件 C_3 を満たす. \square

3.3.2 部分スルー可検査順序回路に対するテスト生成

スルー可検査順序回路が, 無閉路順序回路と同様に組合せ回路用のテスト生成アルゴリズムを用いてテスト生成可能であることを示す.

スルー可検査順序回路 S の R グラフ $G_R = (V, A, w, r, t)$ において, テストの対象とする S における CLB B を $g_B = (V_B, A_B)$ とする. ここで, R グラフにおける CLB B の入力, 出力に対応するレジスタ, または, 外部入力, 外部出力の集合をそれぞれ V_{in}, V_{out} とする. G_R における経路 p に基づいた CLB B のための時間展開グラフを $G_A(S, B) = (V_A, A_A, l, c)$, S における CLB B に関する時間展開モデルを $C(G_A(S, B))$ とする. また, 時間展開グラフの頂点における写像 $c(v) (v \in V_A)$

の最小値を c_{min} , 最大値を c_{max} とする.

時間展開モデル $C(G_A(S, B))$ における任意の信号線 v の値から, 部分スルー可検査順序回路 S の入力系列へ変換する手続き μ_s を定義する.

定義 8 (変換手続き μ_s): 時間展開モデル $C(G_A(S, B))$ に入力パターン I_C を適用したときの信号線 $v \in V_A$ の値を $val_C(v)$ とする. このとき, 順序回路 S におけるレジスタ $u (= l(v))$ への時刻 $c(v)$ の入力値を $val_S(u, c(v))$ とする. ホールドレジスタ $u_h (r(u_h) = h)$ について, u_h に対応する時間展開グラフの頂点 $v_h (\in l^{-1}(u_h))$ から, 時刻 c_h における u_h の制御信号 $I_H(u_h, c_h)$ を以下のようにする.

$$I_H(u_h, c_h) = \begin{cases} L & c_h = c(v_h) \\ H & c(v_h) < c_h < c(v_{h_{suc}}), \\ & v_{h_{suc}} \in suc(v_h) \end{cases} \quad (1)$$

時間展開モデルにおいて活性化されるスルー機能 $t(l(v_1), l(v_2)) = t_i$ について, t_i を活性化させる頂点, すなわち, $u_t \in \alpha(t_i)$ となるレジスタ u_t へのスルー機能のための制御信号 $I_T(t_i, c_t)$ を以下のようにする.

$$I_T(t_i, c_t) = \begin{cases} activate & c_t = c(v_1) \\ noactivate & c_t \neq c(v_1) \end{cases} \quad (2)$$

\square

時間展開モデルへの入力パターン I_C と, 変換手続き μ_s を用いて得られる順序回路 S の各レジスタへ取り込まれる値の中で, S の CLB B の出力レジスタへ取り込まれる値に着目する. ここで, CLB B に対応する R グラフの部分グラフ g_B の入力, 出力に対応するレジスタ, または, 外部入力, 外部出力の集合をそれぞれ V_{in}, V_{out} とする. このとき, 以下の補題が成り立つ.

補題 2: 時間展開モデル $C(G_A(S, B))$ への入力パターンを I_C とし, 変換手続き μ_s を用いて得られる順序回路 S に対するデータ入力系列, ホールドレジスタの制御系列, スルー機能の制御系列をそれぞれ I_S, I_H, I_T とする. このとき, 系列 I_S, I_H, I_T によって得られる時刻 c_{out} で CLB B の出力レジスタ u_{out} へ取り込まれる値 $I_S(u_{out}, c_{out})$ は, $C(G_A(S, B))$ に I_C を適用することで得られる, $c_{out} = c(v_{out})$ となるような信号線 v_{out} の値 $val_C(v_{out})$ を変換手続き μ_s によって変換することで得られる値 $val_S(u_{out}, c(v))$ と等しい.

(証明) 時間展開モデルにおける CLB は, スルー機能が活性化されている CLB とスルー機能を持たない (活性

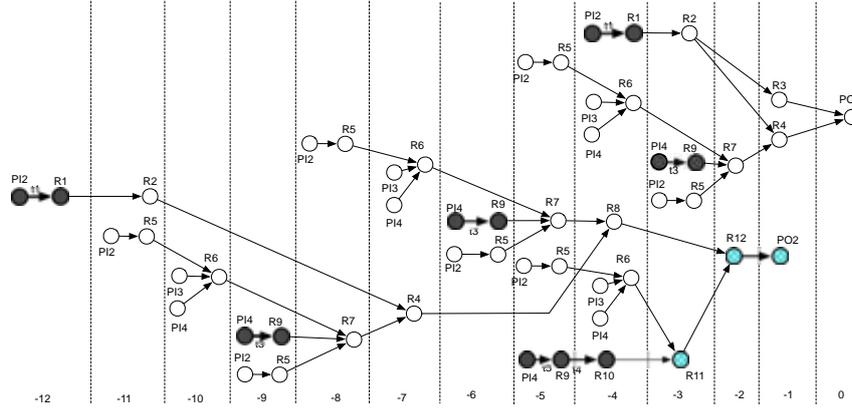


図 11: S_2 における CLB C5 のための時間展開グラフ $G_A(S_2, C_5)$ その 2

化していない) CLB があるので, それぞれの CLB について考える.

スルー機能が活性化された CLB について考える. スルー機能と定義 6 の条件 C2 から, 頂点 v_{out} は, $(l(v_{in}), l(v_{out})) \in T^J, l(v_{in}) \in V_{in}$ となる頂点 v_{in} との接続 (v_{in}, v_{out}) を持つ. 変換手続き μ_s によって, 信号線 v_{in} の値 $val_C(v_{in})$ は, 時刻 $c(v_{in})$ でのレジスタ $l(v_{in})$ に対する入力値 $val_S(u_{in}, c(v_{in}))$ に変換される. 定義 6 の条件 C7 より, 時刻 $c(v_{in})$ における $l(v_{in})$ のパターンは 1 つであるといえる. レジスタ u_{in} への入力値 $val_S(u_{in}, c(v_{in}))$ は, u_{in} がホールドレジスタでない ($r(u_{in}) \neq h$) 場合, 定義 6 の条件 C6 より, $c(v_{out}) - c(v_{in})$ 時刻後にレジスタ u_{out} へスルーされる値となる. u_{in} がホールドレジスタである ($r(u_{in}) = h$) 場合, 変換手続き μ_s で得られた制御系列によって時刻 $c(v_{in})$ で $I_H(u_{in}, c(v_{in})) = L$ となる u_{in} への入力値 $val_S(l(v_{in}), c(v_{in}))$ は, 定義 6 の条件 C8 より, 時刻 $c(v_{out}) - 1$ までその論理値が保持されるため, 時刻 $c(v_{in})$ でレジスタ u_{in} にロードされた論理値が $(c(v_{out}) - c(v_{in}))$ 時刻後に u_{out} へスルーされる値となる.

スルー機能が活性化されていない CLB について考える. 定義 6 の条件 C2 から, 頂点 v_{out} は, CLB g_B の接続関係が時間展開グラフでも保たれるため, v_{in} に対応する u_{in} は, CLB B の入力となる. 変換手続き μ_s によって, 変換される時刻 $c(v_{in})$ でのレジスタ u_{in} のための入力パターン $val_S(u_{in}, c(v_{in}))$ は, 先に示した正当化スルー木に含まれるスルー機能が活性化された CLB と同様に, 時刻 $c(v_{in})$ でレジスタ u_{in} にロードされた論理値が, $(c(v_{out}) - c(v_{in}))$ 時刻後に CLB への入力となり, u_{out} へ入力される値となる.

以上より, 時間展開モデルへ任意の入力パターン I_C を与えたときの CLB B の信号線 v_{out} の値と, I_C 対

表 1: 時間展開モデルのテスト系列

系列名	頂点名	-11	-10	-9	-8	-7	-6	-5
I_S	$PI2$	A	B	X	X	G	X	X
	$PI3$	X	X	C	E	X	H	X
	$PI4$	X	X	D	F	X	I	X
I_H	$R2$	X	L	H	H	H	X	X
	$R6$	X	X	L	H	X	X	X
I_T	$t1$	a	X	X	X	X	X	X
	$t3$	X	X	X	a	X	X	X

して変換手続き μ_s を用いて得られるデータ入力系列 I_S , 制御系列 I_H による, S における CLB B の出力レジスタ u_{out} に取り込まれる値が等しいといえる. □

(例 7) 図 9 と図 10 に示された CLB C_5 のための時間展開グラフ $G_A(S_2, C_5) = (V_A, A_A, l, c)$ と CLB C_5 に関するを用いた時間展開モデル $C(G_A(S, B))$ について考える. これらの図から, 順序回路 S_2 における入力系列 I_S , ホールドレジスタの制御系列 I_H , スルー機能の制御系列 I_A を得た結果を表 1 に示す. このような入力, 制御系列により, タイムフレーム -5 の外部出力 $PO1$ で入力に対応する出力パターンを得ることが可能となる. □

部分スルー可検査順序回路 S において, データ入力系列を I_S , ホールドレジスタの制御系列を I_H , スルー機能の制御系列を I_T , 各系列における時刻の最小値を c_{min} , 最大値を c_{max} とする. 入力系列 I_S, I_H, I_T から, 有向グラフ $G_{\mu_c}(S) = (V_{\mu_c}, A_{\mu_c}, l, c)$ と入力パターン I_C を得るための変換手続き μ_c を以下に定義する.

定義 9 (変換手続き μ_c):

部分スルー可検査性を満たす順序回路を S , S の R グラフを $G_R = (V, A, w, r, t)$, 定義 5 条件 4 で示した条件を満たす経路対において, 条件 (b) の頂点 \hat{u}_k に対応する頂点の集合を V_h とする. S に対するデータ入力系列を I_S ,

ホールドレジスタの制御系列を I_H , スルー機能の制御系列を I_T , 各系列における時刻の最小値を c_{min} , 最大値を c_{max} とする . 以下に有向グラフ生成手続き , 入力系列変換手続きを示す .

(入力) 部分スルー可検査順序回路 S の R グラフ G_R , データ入力系列 I_S , ホールドレジスタの制御系列 I_H , スルー機能の制御系列 I_T

(出力) $G_{\mu_c}(S) = (V_{\mu_c}, A_{\mu_c}, l, c)$, 入力パターン I_C

有向グラフの各要素は , $V_{\mu_c} := \phi$, $A_{\mu_c} := \phi$, $l(v) := undef$ (未定義) , $c(v) := undef$ (未定義) として初期化する .

(有向グラフ生成手続き)

1. R グラフのすべての頂点 u について , $u \in V_h$ である場合は操作 (a) を , そうでない場合操作は (b) を実行する .

(a) $I_H(u, c) = L$ である時刻 c ($c_{min} \leq c \leq c_{max}$) において , $v \in l^{-1}(u)$, $c(v) = c$ となるような頂点 v を集合 V_{μ_c} に加える .

(b) $c_{min} \leq c \leq c_{max}$ であるようなすべての時刻 c において , $v \in l^{-1}(u)$, $c(v) = c$ となるような頂点 v を集合 V_{μ_c} に加える .

2. V_{μ_c} に含まれる頂点 $v \in l^{-1}(u)$ について , $u_{pre} \in pre(u)$ となる頂点 u_{pre} と u との辺 (u_{pre}, u) で $(t(u_{pre}, u) \neq \phi) \wedge (I_T(t(u_{pre}, u), c(v)) = active)$ となる辺が存在する場合 , その頂点 u_{pre} に対応するすべての頂点 v_{pre} について , そうでない場合 , $pre(u)$ に含まれるすべての頂点 u_{pre} に対応する頂点 v_{pre} について以下の操作を実行する .

$u_{pre} \in V_I$ である場合 , $c(v_{pre}) = c(v)$ となる頂点 v_{pre} との辺 (v_{pre}, v) を集合 A_{μ_c} に加える . $u_{pre} \in V_R \wedge u_{pre} \notin V_h$ である場合 , $c(v_{pre}) = c(v) - 1$ となる頂点 v_{pre} との辺 (v_{pre}, v) を集合 A_{μ_c} に加える . $u_{pre} \in V_h$ である場合 , $c(v_{pre}) < c(v)$ であり , かつ , $I_H(u_{pre}, c_h) = L$ となる最大の c_h への像をもつ頂点 v_{pre} との辺 (v_{pre}, v) を集合 A_{μ_c} に加える .

(入力系列変換手続き) R グラフのすべての頂点 $u (\in V)$ について , $u \in V_R$ である場合 , 時刻 c_u でレジスタ u が取り込む値 $val_S(u, c_u)$ を , $v \in l^{-1}(u)$ かつ $c(v) = c_u$ を満たす v への値 $val_C(v)$ とする . $u \in V_I$ である場合 , 時刻 c_u で外部入力 u に入力される値 $val_S(u, c_u)$ を , $v \in l^{-1}(u)$ かつ $c(v) = c_u$ を満たす v への値 $val_C(v)$ とする . $u \in V_O$ である場合 , 時刻 c_u で外部出力 u で出力される値 $val_S(u, c_u)$ を , $v \in l^{-1}(u)$ かつ $c(v) = c_u$ を満たす v への値 $val_C(v)$ とする . □

また , 変換手続き μ_c について , 以下の補題が成り立つ .

補題 3: 部分スルー可検査順序回路 S に入力系列 I_S , I_H , I_T を与えたときに得られる , 任意のレジスタ u に時刻 c で取り込まれる値を $val_S(u, c)$ とする . 部分スルー可検査順序回路 S の R グラフ G_R と S に対する入力系列 I_S , I_H , I_T を入力として , 変換手続き μ_c を用いて得られる有向グラフを $G_{\mu_c}(S)$, 入力パターンを I_C とする . 時間展開モデル $C(G_{\mu_c}(S))$ に I_C を適用したとき , $C(G_{\mu_c}(S))$ における $c(v) = c$, $l(v) = u$ となるような信号線 v の値を $O_C(v)$ とする . このとき , S の CLB B の出力レジスタ u の値 $val_S(u, c)$ と , 時間展開モデル $C(G_{\mu_c}(S))$ の CLB B の出力信号線 v の値 $O_C(v)$ について , 以下の式が成り立つ .

$$val_S(u, c) = O_C(v)$$

(証明) 有向グラフ $G_{\mu_c}(S)$ から得られる時間展開モデル $C(G_{\mu_c}(S))$ における CLB は , スルー機能を活性化しているものとそうでないものがあるので , それぞれの CLB の出力に対応するレジスタと信号線について考える .

時刻 c において , $t(u_{pre}, u_{out}) = t_u$, $(u_{pre}, u_{out}) \in A_A$ となるスルー機能 t_u が活性化されている ($I_T(t(u_{pre}, u_{out}), c) = activate$) 場合の頂点 v について考える . 変換手続き μ_s の操作 2 より , $I_T(t(u_{pre}, u_{out}), c) = activate$ であるならば , $v_{pre} \in l^{-1}(u_{pre})$ となる頂点 v_{pre} が頂点集合 V_{τ_c} に , v_{pre} との辺 (v_{pre}, v_{out}) が辺集合 A_{τ_c} に含まれる . 各頂点 u_{pre} では , u_{pre} への値であり , 時刻 c でレジスタ u_{out} に取り込まれる値 $val_S(u_{out}, c)$ に影響する値は , 時刻 c_{pre} で u_{pre} へ取り込まれる値 $val_S(u_{pre}, c_{pre})$, $c_{pre} = c - (c(v_{out}) - c(v_{pre}))$ である . 入力値 $val_S(u_{pre}, c_{pre})$ は , 変換手続き μ_c により , $c(v_{pre}) = c_{pre}$ を満たす v_{pre} への値 $val_C(v_{pre})$ に変換される . 変換手続き μ_c の操作 1 から , 各時刻で同じレジスタに対応する頂点は 1 つであるため , $c(v_{pre}) = c_{pre}$ を満足する頂点はただ 1 つである . また , u_{pre} がホールドレジスタである ($r(u_{pre}) = h$) 場合 , 変換手続き μ_c の操作 2 から , $l(v'') = l(v_{pre})$, $c(v'') = c'$, $c' < c'' < c$ となるような頂点 $v'' \in V_A$ は存在しない . そのため , $u_{pre} \in pre(u)$ への値と , $v_{pre} \in pre(v)$ への値は等しい .

時刻 c において , $t(u_{pre}, u) = t_u$, $(u_{pre}, u) \in A_A$ となるスルー機能 t_u が活性化されていない ($I_T(t(u_{pre}, u), c) = normalvalue$) , もしくは , $t(u_{pre}, u) = \phi$, $(u_{pre}, u) \in A_A$ となるスルー機能を持たない場合の頂点 v の値について考える .

変換手続き μ_s の操作 2 より, $u_{pre} \in pre(u)$ となる頂点 u_{pre} と u との辺 (u_{pre}, u) について, 対応する頂点 $v_{pre} (\in l^{-1}(u_{pre}))$ と辺 (v_{pre}, v) が存在する. 各頂点 v_{pre} の値は, 先に説明した場合と同様に, $u_{pre} \in pre(u)$ への値と, $v_{pre} \in pre(v)$ への値が等しい.

以上ことから, 変換手続き μ_c によって得られる入力パターン I_C を時間展開モデル $C(G_{\mu_c}(S))$ に適用することで得られる信号線 v の値 $O_C(v)$ は, 入力系列 I_S, I_H, I_T での u を出力とする CLB B に対する入力¹が等しいため, 変換手続き μ_c によって得られる v の値 $val_C(v)$ と等しい. \square

次に, 部分スルー可検査順序回路における故障と, その時間展開モデルにおける故障の関係について考える. ここでは, 部分スルー可検査順序回路における各 CLB の単一縮退故障について考える. 各 CLB 間の配線とレジスタの縮退故障については, CLB の入出力線の故障と等価とみなすことが可能である.

定義 10 (時間展開モデルにおける故障): 部分スルー可検査順序回路を S , S の CLB B のための時間展開グラフを $G_A(S, B) = (V_A, A_A, w, t, l, c)$, $G_A(S, B)$ に基づく時間展開モデルを $C(G_A(S, B))$ とする. 回路 S における故障集合を F , 時間展開モデル $C(G_A(S, B))$ における故障集合を F_A とする. 回路 S の CLB B の故障を $f \in F$, 時間展開モデルにおける f に対応する故障を故障 $f_A \in F_A$ とする. 故障 f_A は, 時間展開モデル内に存在するすべての CLB B に対応する CLB の故障からなる多重故障である. すなわち, B に対応する CLB の数が 1 つであれば f_A は単一故障であり, そうでなければ多重故障である. \square

ここまでの各定義と補題から, 以下の定理を導くことができる.

定理 1: 部分スルー可検査順序回路 S の R グラフを $G_R = (V, A, w, r, t)$, G_R における CLB B に関する時間展開グラフを $G_A(S, B) = (V_A, A_A, w, t, l, c)$, $G_A(S, B)$ に基づく時間展開モデルを $C(G_A(S, B))$ とする. 回路 S における故障集合を F , $C(G_A(S, B))$ における故障集合を F_A とする. 回路 S における CLB B に対応する CLB の故障を f , $C(G_A(S, B))$ における CLB B に対応する CLB の故障を f_A とする. 故障 f_A がテスト可能な時間展開グラフ $G_A(S, B)$ に基づく時間展開モデル $C(G_A(S, B))$ が存在するならば, かつそのときに限り, 順序回路 S における故障 f はテスト可能である.

(証明) 十分条件について考える. 故障 f が存在する回路 S を S_f とする. 故障 f_A が存在する時間展開モデル

$C(G_A(S, B))$ を $C_{f_A}(G_A(S, B))$ とする. 時間展開モデル $C_{f_A}(G_A(S, B))$ について, 定義 2 の条件 C2 における頂点 v_{out} の条件を満たす頂点に対応する信号線に, 故障 f_A の故障値を伝搬するテストパターンを tp_{f_A} とする. このとき, $C(G_A(S, B)), C_{f_A}(G_A(S, B))$ に tp_{f_A} を与えたときの出力値をそれぞれ, $O(C(G_A(S, B)), tp_{f_A}), O(C_{f_A}(G_A(S, B)), tp_{f_A})$ とすると, $O(C(G_A(S, B)), tp_{f_A}) \neq O(C_{f_A}(G_A(S, B)), tp_{f_A})$ となる. 故障 f_A は, 故障 f が存在する CLB B に対応する CLB すべてに存在する多重故障なので, $C_{f_A}(G_A(S, B))$ は, 順序回路 S_f の時間展開モデル $C(G_A(S_f, B))$ と同型である. ここで, 変換手続き μ_s によって tp_{f_A} から変換される入力系列と制御系列からなるテスト系列を TP_f とする. 順序回路 S, S_f に TP_f を与えたときの出力値をそれぞれ, $S(TP_f), S_f(TP_f)$ とする. 補題 2 より, 時間展開モデル $C(G_A(S, B))$ の任意の CLB B_a での出力パターンは順序回路 S の CLB B_a での出力パターンと等しい. また, 定義 6 の条件 C3 より, $C(G_A(S, B))$ における B から外部出力への経路はもとの順序回路でも存在するため, tp_{f_A} によって得られる CLB B での出力パターンが外部出力で観測可能であるならば, TP_f によって得られる S の CLB B での出力パターンが外部出力で観測可能である. そのため, $S(TP_f) \neq S_f(TP_f)$ である. よって, 時間展開モデル $C(G_A(S, B))$ における故障 f_A に対するテストパターンは, 対応する故障 f に対する順序回路 S へのテスト系列に変換可能である.

必要条件について考える. 順序回路 S の故障 f をテストするためのデータの入出力系列を I_S , ホールドレジスタの制御系列を I_H , スルー機能の制御系列を I_T , f を持つ S の故障回路を S_f とする. 回路 S_f と系列 I_S, I_H, I_T を入力として変換手続き μ_c を行うことで得られる有向グラフを $G_{\mu_c}(S_f)$, 入力パターンを tp_{f_A} , 故障 f に対応する時間展開モデルにおける故障を f_A とする.

入力系列 I_S は故障 f のためのテスト系列であるため, テスト対象 CLB B のいずれかの出力レジスタ u_{out} から, 時刻 c_o で伝搬スルー木に含まれるレジスタ (もしくは外部出力) u_o へ故障値が伝搬される. ここで, 時刻 c_o でレジスタ u_o に故障が伝搬されるため, $c(v_o) = c_o, l(v_o) = u_o$ となる頂点に到達可能であるような頂点集合 $V_{\mu_c}^p$ で生成されるグラフ $G_{\mu_c}(S_f)$ の点誘導部分グラフを $G_{\mu_c}^p(S_f, B)$ とする.

部分グラフ $G_{\mu_c}^p(S_f, B)$ の頂点 $v_{out} (\in l^{-1}(u_{out}))$ を除く, $l(v_J) = u_J \in V_J^T$ となる頂点 v_J の時刻 c_J の値 $val_S(v_{out}, c_J)$ について考える. $u_J \in V_J^T$ であるた

め, u_J は定義 6 の条件 C4 を満たすようなスルー機能による経路上のスルー機能が活性化されることで, 外部入力から任意の値を取り込むことが可能である. そのため, $val_S(u_J, c_J)$ が取り得る値の集合を $Range(u_J)$, $val_C(v_J)$ が取り得る値の集合を $Range(v_J)$ とすると, $Range(u_J) \subseteq Range(v_J)$ となる. 同様に, $l(v_P) = u_P \in V_P^T$ となる頂点 v_P の時刻 c_P の値 $val_S(v_P, c_P)$ について考えると, $u_P \in V_P^T$ であるため, u_J は定義 6 の条件 C4 を満たすようなスルー機能による経路上のスルー機能が活性化されることで, 任意の値を外部出力へ伝搬可能である. そのため, $val_S(u_P, c_P)$ が取り得る値の集合を $Range(u_P)$, $val_C(v_P)$ が取り得る値の集合を $Range(v_P)$ とすると, $Range(u_P) \subseteq Range(v_P)$ となる. このとき, $G_{\mu_c}^p(S_f, B)$ における, 頂点 $v_{out} (\in l^{-1}(u_{out}))$ を除いて, $l(v'_J) = u'_J \in V_J^T$ となる頂点 v'_J へ到達不可能であり, かつ, $l(v_J) = u_J \in V_J^T$ となる頂点 v_J から到達可能であり, かつ, $l(v_P) = u_P \in V_P^T$ となる頂点 v_P へ到達可能であるような頂点集合 $V_{\mu_c}^{p'}$ で生成されるグラフ $G_{\mu_c}^p(S_f)$ の点誘導部分グラフを $G_{\mu_c}^{p'}(S_f, B)$ とする. これらのことから, 部分グラフ $G_{\mu_c}^p(S_f, B)$ から得られる時間展開モデル $C(G_{\mu_c}^p(S_f, B))$ にテストパターン tp_{f_A} を入力することで得られる出力値は, $G_{\mu_c}^{p'}(S_f, B)$ から得られる時間展開モデル $C(G_{\mu_c}^{p'}(S_f, B))$ における信号線 v_J を外部入力として考え入力パターンを与えることで, 信号線 v_P を外部出力と考えることで, 同じ出力値を得ることが可能である. そこでここからは, 時間展開モデル $C(G_{\mu_c}^{p'}(S_f, B))$ について考える.

グラフ $G_{\mu_c}^{p'}(S_f, B)$ は, 変換手続き μ_c の操作 1 より, 定義 6 で示した時間展開グラフの条件 C1, C7, C8 を満たす. 条件 C3 については, 操作 1 から, 頂点集合 V_{μ_c} における v_{out} から $l(v_P) = u_P \in V_P^T$ となる頂点 v_P への経路が C3 における経路 p に対応する. また, 操作 2 から, 条件 C2, C6 を満たす. スルー機能に関する条件 C4, C5 については, $G_{\mu_c}^{p'}(S_f, B)$ を誘導する頂点集合 $V_{\mu_c}^{p'}$ において, $V_{\mu_c}^{p'}$ に含まれる任意の頂点 v_1, v_2 について $t(l(v_1), l(v_2)) = \phi$ であるため, 条件を満たす. よって, グラフ $G_{\mu_c}^{p'}(S_f, B)$ は, 時間展開グラフ $G(S_f, B)$ の部分グラフであるといえるので, $G_{\mu_c}^{p'}(S_f, B) = G_A^{p'}(S_f, B)$ とする.

系列 I_S, I_T, I_H は故障 f のためのテスト系列であるため, I_S, I_T, I_H をテスト系列 TP_f とすると, S に TP_f を適用したときの出力系列 $S(TP_f)$ と S_f に TP_f を適用したときの出力系列 $S_f(TP_f)$ の関係は $S(TP_f) \neq S_f(TP_f)$ となる. 故障 f は, 故障 f_A が存在する CLB B に対応する CLB に存在するため, μ_c から得られる S_f の時間展開

モデル $C(G_A^{p'}(S_f, B))$ は, 故障 f'_A を持つ時間展開モデル $C_{f'_A}(G_A^{p'}(S, B))$ と同型である. 補題 3 より, 順序回路 S の任意のレジスタの値と, 変換手続き μ_c によって得られる時間展開モデルと入力パターンから得られるレジスタに対応する信号線の値は等しい. また, 定義 6 の条件 C3 より, S における CLB B から伝搬スルー木に含まれるレジスタへの経路は $C_{f'_A}(G_A^{p'}(S, B))$ でも存在するため, TP_f によって得られる S の CLB B での出力パターンが外部出力で観測可能であれば, $tp_{f'_A}$ によって得られる CLB B での出力パターンは, 外部出力で観測可能である. そのため, $O(C_{f'_A}(G_A^{p'}(S, B))) \neq O(C(G_A^{p'}(S, B)))$ となる. そのため, 与えられた入力系列 I_S, I_H, I_T によって得られる故障信号は, 時間展開モデル $C_{f'_A}(G_A^{p'}(S, B))$ で得ることが可能である. □

定理 1 より, 順序回路 S の CLB B のための時間展開モデルに対してテスト生成を行うことで, S 内のすべての CLB B においてテストが可能であるならば, S のすべての故障に対して, 組合せ回路用のテスト生成アルゴリズムを用いてテスト生成可能である.

3.4 部分スルー可検査順序回路のテスト生成複雑度

ここまでの議論から, 以下の定理を導くことができる. 定理 2: 部分スルー可検査順序回路のクラスは, 完全スルー可検査順序回路 [12] のクラスを真に包含する.

(証明) 先に述べたように, 完全スルー可検査順序回路における完全スルー木の集合 T^F に含まれるスルー木 T は正当化スルー木であり, 伝搬スルー木であるため, 正当化スルー木と伝搬スルー木の集合をそれぞれ T^J, T^P とすると, $T^F = T^J = T^P$ である. また, 完全スルー木以外の定義については対応する条件が存在する. よって, $T^J = T^P$ である部分スルー可検査順序回路は完全スルー可検査順序回路である. □

部分スルー可検査順序回路のテスト生成複雑度について考える. 完全スルー木の定義から, 完全スルー木に含まれるレジスタはスルー機能を活性化させることで擬似外部入出力として機能する. それに対して, 正当化スルー木, 伝搬スルー木の定義から, 正当化スルー木に含まれるレジスタはスルー機能を活性化させることで擬似外部入力として機能し, 伝搬スルー木に含まれるレジスタはスルー機能を活性化させることで擬似外部出力として機能する. そのため, 完全スルー木で実現可能であることは, 正当化スルー木と伝搬スルー木を用いることで実現可能であるといえる.

また, 完全スルー可検査順序回路は, 定義 3 で示した

スルー木の依存関係に関する性質として k -無矛盾性 (k -consistency) を満たす [12] . この性質により, 完全スルー可検査順序回路のテスト生成複雑度は τ^2 -bounded で示される . 以上のことから, k -無矛盾である部分スルー可検査順序回路のテスト生成複雑度は, τ^2 -bounded であり, よって, k -無矛盾である部分スルー可検査順序回路は, 無閉路可検査順序回路 (acyclically testable sequential circuits) であるといえる .

3.5 部分スルー可検査順序回路のテスト生成手順

ここでは, 部分スルー可検査順序回路に対するテスト系列を生成するための手順を示す . 順序回路 S における CLB の集合を B_S , S の故障集合を F とする . まず, 集合 B_S に含まれるテスト対象 CLB B を選択する . 故障集合 F に B の故障が含まれる場合, 以下の手順を実行する . 次節で示すアルゴリズムを用いて CLB B に対する時間展開モデルを生成する . 生成された時間展開モデルにおいて, スルー機能を活性化していない CLB B の故障リスト $F_B \in F$ を得る . 得られた故障リスト F_B をもとに多重故障を対象とする組合せ回路用テスト生成アルゴリズムを適用し, 時間展開モデルに対するテストパターンを得る . 得られたテストパターンからもとの順序回路のためのテスト系列を得る . 故障リスト F_B と, 得られたテスト系列を使って検出可能となる故障を F から削除する . もし, $F \neq \phi$ であるならば上記の手順を繰り返し実行し, 残りの故障のためのテスト系列を得る .

3.6 時間展開グラフ生成アルゴリズム

ここでは, 部分スルー可検査順序回路 S における CLB B のための時間展開グラフ生成アルゴリズムを示す . アルゴリズムでは, 定義 6 で示した CLB B のための時間展開グラフを生成するために必要となる, ホールドレジスタの制御系列と, 正当化スルー木, 伝搬スルー木に含まれる各スルー機能の制御系列を S の R グラフから求め, 変換手続き μ_c を用いて有向グラフを生成する .

部分スルー可検査性を満たす順序回路を S の R グラフを $G_R = (V, A, w, r, t)$ 対して, 以下に示す手続きを適用することで, CLB B のための時間展開グラフ $G_A(S, B) = (V_A, A_A, l, c)$ が得られる . このとき, 正当化スルー木の集合を $T^J = \{T_i^J = (V_i^J, A_i^J), i = 1, 2, \dots, n^J\}$, 伝搬スルー木の集合を $T^P = \{T_j^P = (V_j^P, A_j^P), j = 1, 2, \dots, n^P\}$, 定義 5 条件 4 で示した条件を満たす経路対において, 条件 (b) の頂点 \hat{u}_k に対応する頂点の集合を V_h , テストの対象とする S における CLB B を $g_B = (V_B, A_B)$ とする . 手続き内で用いる各変数について, 集合 V_{h_A} , V_c をそれぞれ $V_{h_A} := \phi$, $V_c := \phi$ として初期化し, 定

数として c_{min} を定義する . l_B は集合 V_{h_A}, V_c から R グラフの頂点集合 V への写像, c_B は, V_{h_A}, V_c から整数集合 Z への写像とする . 関数 f は, 集合 V_{h_A}, V_c から, 0 もしくは 1 への写像とする . また, 以下の手続きでは伝搬スルー木に含まれない外部出力を, 外部出力の頂点 (根) のみからなる伝搬スルー木として考える .

1. R グラフにおける, CLB g_B の出力レジスタを始点とし, 伝搬スルー木に含まれる頂点を終点とする単純路の集合を P とする .
2. 集合 P が空である場合, 操作 6 へ進む . そうでない場合, P に含まれる 1 つの経路 $p = (u_1, u_2, \dots, u_n)$ を選択する . このとき, p の終点となる頂点 u_n から, u_n を含む伝搬スルー木における, u_n からその伝搬スルー木の根となる外部出力 u_m への部分経路を経路 $p' = (u_n, \dots, u_m)$ とする . $l_B(v_m) = u_m, c_B(v_m) = 0$ となる頂点 v_m を集合 V_c に加える .
3. 集合 V_c に含まれる頂点 v について, $l_B(v) = u_n$ である場合操作 (a) を実行し操作 4 へ進み, そうでない場合操作 (b) を実行し操作 3 へ進む .
 - (a) $f(v_n) := 1$ とする .
 - (b) $u_{pre} \in pre(l_B(v)) \wedge u_{pre} \in V_T^P$ となる頂点 u_{pre} について, $t(u_{pre}, l_B(v)) = t_u$ となるスルー機能 t_u の時刻 $c_B(v)$ での制御を $I_T(t_u, c_B(v)) := active$ とする . $l_B(v_{pre}) = u_{pre}, c_B(v_{pre}) = c_B(v) - 1$ となる頂点 v_{pre} を集合 V_c に加える . 頂点 v を V_c から取り除く . $c_{min} := c_B(v_{pre})$ とする .
4. $V_c = \phi$ である場合, 操作 5 へ進む . そうでない場合, V_c に含まれるすべての頂点 v について, $l_B(v) \in V_T^J \vee f(v) \neq 1$ ならば操作 (a), そうでないならば操作 (b) を実行し, v を V_c から削除する .
 - (a) $u_{pre} \in pre(l_B(v)) \wedge u_{pre} \in V_T^J$ となる頂点 u_{pre} について, $u_{pre} \notin V_I$ ならば, $l_B(v_{pre}) = u_{pre}, c_B(v_{pre}) := c_B(v) - 1$ となる頂点 v_{pre} を集合 V_c に加える . $I_T(t(u_{pre}, c_B(v)), c_B(v)) := active$ とする . $u_a \in \alpha(u_{pre}, u)$ となる頂点 u_a について, $u_{pre} \notin V_I$ ならば, $l_B(v_a) = u_a, c_B(v_a) = c_B(v_{pre})$ となる頂点 v_a を集合 V_c に加える . $c_B(v_{pre}) < c_{min}$ であるならば $c_{min} := c_B(v_{pre})$ とする .
 - (b) $u_{pre} \in pre(l_B(v))$ となるすべての頂点 u_{pre} について, $u_{pre} \in V_h$ であり, かつ, $(u_{pre}, l_B(v))$ が定義 5 条件 4 で示した条件を満たす経路対に含まれる場合, $l_B(v_{pre}) = u_{pre}, c_B(v_{pre}) = c_B(v) - 1$ となる頂点 v_{pre} を集合 V_{h_A} に加える . そうでない場合, $u_{pre} \notin V_I$ ならば v_{pre} を V_c に加える .

$c_B(v_{pre}) < c_{min}$ であるならば $c_{min} := c_B(v_{pre})$ とする。 $f(v) = 1$ であり、かつ、 $(u_{pre}, l_B(v))$ が経路 p に含まれる場合、 $f(v_{pre}) := 1$ とし、そうでない場合 $f(v_{pre}) := 0$ とする。

5. $V_{h_A} = \phi$ である場合、操作 2 へ進む。そうでない場合、頂点集合 V_{h_A} に含まれる頂点 v_h において、関係 \preceq_h の上で最小となる頂点 $l_B(v_h)$ を選択する。このとき、 l_B による像が等しくなる頂点が複数存在する場合、 c_B による像が最小となる頂点 v'_h を除いた頂点を V_c に加え、操作 4 に進む。そうでない場合、 $I_H(l_B(v_h), c_{min} - 1) = L$ 、 $c_{min} - 1 < c_i \leq c_B(v_h)$ となるすべての c_i について、 $I_H(l_B(v_h), c_i) = H$ とする。 $c_B(v_h) := c_{min} - 1$ 、 $c_{min} := c_B(v_h)$ とし、 v_h を集合 V_c に加える。

操作 4 へ進む。

6. 生成された系列 I_H, I_T をもとに、変換手続き μ_c における有向グラフ生成手続きを実行し有向グラフ $G_{\mu_c}(S) = (V_{\mu_c}, A_{\mu_c}, l, c)$ を得る。
7. 得られた有向グラフにおいて、外部出力へ到達不能である頂点とそれに接続する辺をすべて削除することでグラフ $G_A(S, B) = (V_A, A_A, l, c)$ を得る。

(例 8) 図 5 に示した R グラフ G_{R_2} における、CLB C_5 のための時間展開グラフを例として考える。

操作 1 より、CLB C_5 の出力レジスタに対応する頂点 R_4 から伝搬スルー木に含まれる頂点への経路は、 $p_1 = (R_4, R_8, R12)$ 、 $p_2 = (R_4, PO1)$ であるため、 $P = \{p_1, p_2\}$ とする。

操作 2 より、集合 P が空でないので P から経路を 1 つ選択する。ここでは、 p_1 を選択した場合を考える。このとき、 p_1 の終点は $u_n = R12$ であり、伝搬スルー木の根となる頂点は $u_m = PO2$ であるため、経路 $p' = (R12, PO2)$ となる。 $l_B(po2_0) = PO2$ 、 $c_B(po2_0) = 0$ となる頂点 $po2_0$ を集合 V_c に加える。

操作 3 より、 $l_B(po2_0) = PO2 \neq R12$ であるため、操作 (b) を実行する。操作 (b) より、 $R12 \in pre(l_B(po2_0)) \wedge R12 \in V_T^P$ であるため、 $t(R12, l_B(po2_0)) = t_6$ について、 $I_T(t_6, c_B(po2_0)) = active$ とする。 $l_B(r12_0) = R12$ 、 $c_B(r12_0) = c_B(po2_0) - 1$ となる頂点 $r12_0$ を集合 V_c に加え、 $po2_0$ を V_c から取り除き、 $c_{min} := c_B(r12_0) := -1$ とし、操作 3 を実行する。 $l_B(r12_0) = R12 = u_n$ であるため、操作 (a) を実行し、 $f(r12_0) = 1$ とする。操作 (a) を実行したので、操作 4 へ進む。

操作 4 より、 $V_c \neq \phi$ であり、 $l_B(r12_0) \notin V_T^J$ であるため、操作 (b) を実行する。操作 (b) より、 $pre(l_B(r12_0))$ に含まれる頂点 $R_8, R11$ について考える。頂点 R_8 に

おいて、 $R_8 \in V_h$ であり、かつ、辺 $(R_8, R12)$ は、例 3 で示したように依存関係を持つ経路に含まれるため、 $l_B(r8_0) = R_8$ 、 $c_B(r8_0) = c_B(r12_0) - 1$ となる頂点を集合 V_{h_A} に加える。 $c_{min} = -1 > c_B(r8_0) = -2$ であるため、 $c_{min} := -2$ とする。このとき、 $f(r12_0) = 1$ であり、 $(R_8, R12)$ は経路 p_1 に含まれるため、 $f(r12_0) := 1$ とする。頂点 $R11$ において、 $R11 \notin V_h$ であるため、 $l_B(r11_0) = R11$ 、 $c_B(r11_0) = c_B(r12_0) - 1$ となる頂点 $r11_0$ を集合 V_c に加える。このとき、 $(R11, R12)$ は経路 p_1 に含まれないため、 $f(r11_0) := 0$ とする。 $r12_0$ を V_c から取り除く。

操作 4 より、 $V_c \neq \phi$ であり、 $l_B(r11_0) \notin V_T^J$ であるため、操作 (b) を実行する。操作 (b) より、 $pre(l_B(r11_0))$ に含まれる頂点 $R_6, R10$ について考える。頂点 R_6 において、 $R_6 \in V_h$ であるが、辺 $(R_6, R11)$ は、定義 5 条件 4 を満たす経路対に含まれないので、 $l_B(r6_0) = R_6$ 、 $c_B(r6_0) = c_B(r11_0) - 1$ となる頂点を集合 V_c に加える。 $c_{min} = -2 > c_B(r6_0) = -3$ であるため、 $c_{min} := -3$ とする。頂点 $R10$ において、 $R10 \notin V_h$ であるため、 $l_B(r10_0) = R10$ 、 $c_B(r10_0) = c_B(r11_0) - 1$ となる頂点を集合 V_c に加える。 $r11_0$ を V_c から取り除く。

操作 4 より、 $V_c \neq \phi$ であり、 $l_B(r10_0) \in V_T^J$ であるので、頂点 $r10_0$ については操作 (a)、 $l_B(r6_0) \notin V_T^J$ であるため、頂点 $r6_0$ については操作 (b) を実行する。操作 (a) より、 $R_9 \in pre(l_B(r10_0)) \vee R_9 \in V_T^J$ となる頂点 R_9 について、 $l_B(r9_0) = R_9$ 、 $c_B(r9_0) = c_B(r10_0) - 1$ となる頂点 $r9_0$ を V_c に加える。 $I_T(t(l_B(r9_0), l_B(r10_0)), c_B(r10_0)) := active$ とする。また、 $c_{min} = -3 > c_B(r9_0) = -4$ であるため、 $c_{min} := -4$ とする。 $r10_0$ を V_c から取り除く。操作 (b) より、 $pre(l_B(r6_0))$ に含まれる頂点 $R_5, PI3, PI4$ について考える。 $R_5 \notin V_h$ であるため、 $l_B(r5_0) = R_5$ 、 $c_B(r5_0) = c_B(r6_0) - 1$ となる頂点 $r5_0$ を集合 V_c に加える。 $PI3 \in V_I, PI4 \in V_I$ であるため、 $r6_0$ を V_c から取り除き、操作 (b) を終了する。

操作 4 より、 $V_c \neq \phi$ であり、 $l_B(r9_0) \in V_T^J$ であるため、頂点 $r9_0$ については操作 (a) を実行する。 $l_B(r5_0) \notin V_T^J$ であるため、頂点 $r5_0$ については操作 (b) を実行する。操作 (a) より、 $PI4 \in pre(l_B(r9_0)) \vee PI4 \in V_T^J$ となる頂点 $PI4$ について、 $I_T(t(l_B(pi4_1), l_B(r9_0)), c_B(pi4_1)) := active$ とする。また、 $c_{min} = -3 > c_B(r9_0) = -5$ であるため、 $c_{min} := -5$ とする。 $r9_0$ を V_c から取り除く。操作 (b) より、 $pre(l_B(r5_0))$ に含まれる頂点 $PI2$ について考える。 $PI2 \in V_I$ であるため、 $r5_0$ を V_c から取り除き、操作 (b) を終了する。

操作4より, $V_c = \phi$ であるため, 操作5へ進む. V_{h_A} に含まれる頂点は r_{8_0} のみなので, $I_H(l_B(r_{8_0}), c_{min} - 1) := L$ とし, $-5(= c_{min} - 1) < c_i \leq -2(= c_B(r_{8_0}))$ となるすべての c_i について $I_H(l_B(r_{8_0}), c_i) := H$ とする. $c_B(r_{8_0}) = c_{min} - 1, c_{min} = c_B(r_{8_0})$ とし, 頂点 r_{8_0} を V_c に加え, r_{8_0} を V_{h_A} から取り除く. 操作4へ進む.

ここまでで得られた系列をもとに操作6, 7を実行した場合, 図12のような時間展開グラフが得られる.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{8_0}) \notin V_T^J$ であるため, 操作(b)を実行する. 操作(b)より, $pre(l_B(r_{8_0}))$ に含まれる頂点 $R4, R7$ について考える. $R4 \in V_h$ であり, かつ, 辺 $(R4, R8)$ は, 定義5条件4の条件を満たす経路対に含まれるので, $l_B(r_{4_0}) = R4, c_B(r_{4_0}) = c_B(r_{8_0}) - 1$ となる頂点 r_{4_0} を集合 V_{h_A} に加える. $c_{min} = -5 > c_B(r_{4_0}) = -6$ であるため, $c_{min} := -6$ とする. $R7 \notin V_h$ であるため, $l_B(r_{7_0}) = R7, c_B(r_{7_0}) = c_B(r_{8_0}) - 1$ となる頂点 r_{7_0} を集合 V_c に加える. r_{8_0} を V_c から取り除く.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{7_0}) \notin V_T^J$ であるため, 操作(b)を実行する. 操作(b)より, $pre(l_B(r_{7_0}))$ に含まれる頂点 $R5, R6, R9$ について考える. $R5 \notin V_h$ であるため, $l_B(r_{5_1}) = R5, c_B(r_{5_1}) = c_B(r_{7_0}) - 1$ となる頂点 r_{5_1} を集合 V_c に加える. $c_{min} = -5 > c_B(r_{5_1}) = -7$ であるため, $c_{min} := -7$ とする. $R6 \in V_h$ であり, かつ, 辺 $(R6, R7)$ は, 定義5条件4の条件を満たす経路対に含まれるので, $l_B(r_{6_1}) = R6, c_B(r_{6_1}) = c_B(r_{7_0}) - 1$ となる頂点 r_{6_1} を集合 V_{h_A} に加える. $R9 \notin V_h$ であるため, $l_B(r_{9_1}) = R9, c_B(r_{9_1}) = c_B(r_{7_0}) - 1$ となる頂点 r_{9_1} を集合 V_c に加える. r_{7_0} を V_c から取り除く.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{5_1}) \notin V_T^J$ であるため操作(b)を実行する. $l_B(r_{9_1}) \in V_T^J \vee f(r_{9_1}) \neq 1$ であるため, 操作(a)を実行する. 頂点 r_{5_1} において, 操作(b)より, $pre(l_B(r_{5_1}))$ に含まれる頂点 $PI2$ について考える. $PI2 \in V_I$ であるため, r_{5_1} を V_c から取り除き, 操作(b)を終了する. 頂点 r_{9_1} において, 操作(a)より, $PI4 \in pre(l_B(r_{9_1})) \vee PI4 \in V_T^J$ となる頂点 $PI4$ について, $I_T(t(l_B(pi_{4_2}), l_B(r_{9_1})), c_B(pi_{4_2})) := active$ とする. r_{9_1} を V_c から取り除く.

操作4より, $V_c = \phi$ であるため, 操作5へ進む. V_{h_A} に含まれる頂点 r_{4_0}, r_{6_1} において, $l_B(r_{6_1}) \preceq_h l_B(r_{4_0})$ であるため, r_{6_1} を選択する. $I_H(l_B(r_{6_1}), c_{min} - 1) := L$ とし, $-8(= c_{min} - 1) < c_i \leq -7(= c_B(r_{6_1}))$ となるすべての c_i について $I_H(l_B(r_{6_1}), c_i) := L$ とする. $c_B(r_{6_1}) = c_{min} - 1, c_{min} = c_B(r_{6_1})$ とし頂点 r_{6_1} を V_c に加え, r_{6_1} を V_{h_A} から取り除く. 操作4へ進む.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{6_1}) \notin V_T^J$ であるた

め, 頂点 r_{6_1} について操作(b)を実行する. 操作(b)より, $pre(l_B(r_{6_1}))$ に含まれる頂点 $R5, PI3, PI4$ について考える. $R5 \notin V_h$ であるため, $l_B(r_{5_2}) = R5, c_B(r_{5_2}) = c_B(r_{6_1}) - 1$ となる頂点 r_{5_2} を集合 V_c に加える. また, $c_{min} = -8 > c_B(r_{5_2}) = -9$ であるため, $c_{min} := -9$ とする. $PI3 \in V_I, PI4 \in V_I$ であるため, r_{6_1} を V_c から取り除く. 操作(b)を終了する.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{5_2}) \notin V_T^J$ であるため, 頂点 r_{5_2} については操作(b)を実行する.

操作(b)より, $pre(l_B(r_{5_2}))$ に含まれる頂点 $PI2$ について考える. $PI2 \in V_I$ であるため, r_{5_2} を V_c から取り除き, 操作(b)を終了する.

操作4より, $V_c = \phi$ であるため, 操作5へ進む. V_{h_A} に含まれる頂点は r_{4_0} のみなので, $I_H(l_B(r_{4_0}), c_{min} - 1) := L$ とし, $-10(= c_{min} - 1) < c_i \leq -6(= c_B(r_{4_0}))$ となるすべての c_i について $I_H(l_B(r_{4_0}), c_i) := H$ とする. $c_B(r_{4_0}) = c_{min} - 1, c_{min} = c_B(r_{4_0})$ とし, 頂点 r_{4_0} を V_c に加え, r_{4_0} を V_{h_A} から取り除く. 操作4へ進む.

ここまでで得られた系列をもとに操作6, 7を実行した場合, 図13のような時間展開グラフが得られる.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{4_0}) \notin V_T^J$ であるため, 頂点 r_{4_0} について操作(b)を実行する. 操作(b)より, $pre(l_B(r_{4_0}))$ に含まれる頂点 $R2, R7$ について考える. $R2 \in V_h$ であり, かつ, 辺 $(R2, R4)$ は, 定義5条件4の条件を満たす経路対に含まれるので, $l_B(r_{2_0}) = R2, c_B(r_{2_0}) = c_B(r_{4_0}) - 1$ となる頂点 r_{2_0} を集合 V_{h_A} に加える. また, $c_{min} = -10 > c_B(r_{2_1}) = -11$ であるため, $c_{min} := -11$ とする. $R7 \notin V_h$ であるため, $l_B(r_{7_1}) = R7, c_B(r_{7_1}) = c_B(r_{4_0}) - 1$ となる頂点 r_{7_1} を集合 V_c に加える. r_{4_0} を V_c から取り除く.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{7_1}) \notin V_T^J$ であるため, 操作(b)を実行する. 操作(b)より, $pre(l_B(r_{7_1}))$ に含まれる頂点 $R5, R6, R9$ について考える. $R5 \notin V_h$ であるため, $l_B(r_{5_3}) = R5, c_B(r_{5_3}) = c_B(r_{7_1}) - 1$ となる頂点 r_{5_3} を集合 V_c に加える. $c_{min} = -11 > c_B(r_{5_3}) = -12$ であるため, $c_{min} := -12$ とする. $R6 \in V_h$ であり, かつ, 辺 $(R6, R7)$ は, 定義5条件4の条件を満たす経路対に含まれるので, $l_B(r_{6_2}) = R6, c_B(r_{6_2}) = c_B(r_{7_1}) - 1$ となる頂点 r_{6_2} を集合 V_{h_A} に加える. $R9 \notin V_h$ であるため, $l_B(r_{9_2}) = R9, c_B(r_{9_2}) = c_B(r_{7_1}) - 1$ となる頂点 r_{9_2} を集合 V_c に加える. r_{7_1} を V_c から取り除く.

操作4より, $V_c \neq \phi$ であり, $l_B(r_{5_3}) \notin V_T^J$ であるため操作(b)を実行する. $l_B(r_{9_2}) \in V_T^J \vee f(r_{9_2}) \neq 1$ であるため, 操作(a)を実行する. 頂点 r_{5_3} において, 操作(b)より, $pre(l_B(r_{5_3}))$ に含まれる頂点 $PI2$ について考

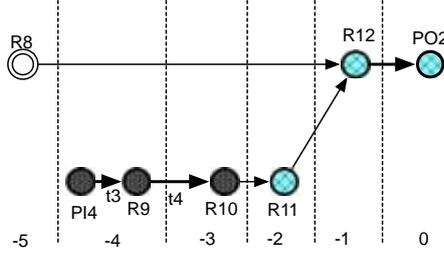


図 12: 例 8 その 1

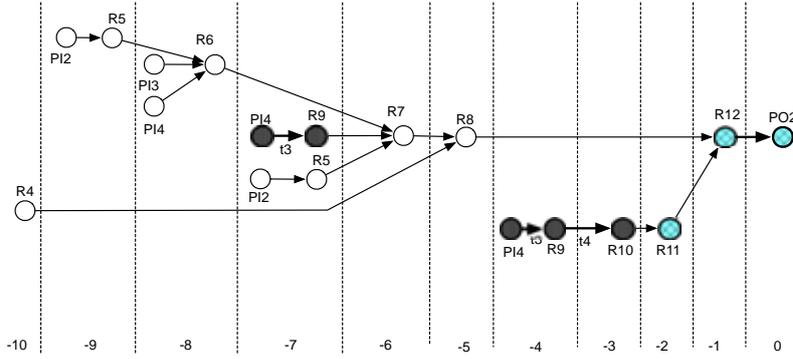


図 13: 例 8 その 2

える． $PI2 \in V_I$ であるため， $r5_3$ を V_c から取り除き，操作 (b) を終了する．頂点 $r9_2$ において，操作 (a) より， $PI4 \in pre(l_B(r9_2)) \vee PI4 \in V_T^J$ となる頂点 $PI4$ について， $I_T(t(l_B(pi4_3), l_B(r9_2)), c_B(pi4_3)) := active$ とする． $r9_2$ を V_c から取り除く．

操作 4 より， $V_c = \phi$ であるため，操作 5 へ進む． V_{h_A} に含まれる頂点 $r2_0, r6_2$ において， $l_B(r2_0)$ と $l_B(r6_2)$ について関係 \leq_h を持たないため，ここでは $r2_0$ を選択する． $I_H(l_B(r2_0), c_{min} - 1) := L$ とし， $-13 (= c_{min} - 1) < c_i \leq -11 (= c_B(r2_0))$ となるすべての c_i について $I_H(l_B(r2_0), c_i) := L$ とする． $c_B(r2_0) = c_{min} - 1, c_{min} = c_B(r2_0)$ とし頂点 $r2_0$ を V_c に加え， $r2_0$ を V_{h_A} から取り除く．操作 4 へ進む．

操作 4 より， $V_c \neq \phi$ であり， $l_B(r2_0) \notin V_T^J$ であるため，頂点 $r2_0$ について操作 (b) を実行する．操作 (b) より， $pre(l_B(r2_0))$ に含まれる頂点 $R1$ について考える． $R1 \notin V_h$ であるため， $l_B(r1_0) = R1, c_B(r1_0) = c_B(r2_0) - 1$ となる頂点 $r1_0$ を集合 V_c に加える．また， $c_{min} = -13 > c_B(r1_0) = -14$ であるため， $c_{min} := -14$ とする． $r1_0$ を V_c から取り除く．

操作 4 より， $V_c \neq \phi$ であり， $l_B(r1_0) \in V_T^J \vee f(r1_0) \neq 1$ であるため，頂点 $r1_0$ については操作 (b) を実行する．操作 (a) より， $PI2 \in pre(l_B(r1_0)) \vee PI2 \in V_T^J$ となる頂点 $PI2$ について， $I_T(t(PI2, l_B(r1_0)), c_B(r1_0)) := active$ とする． $r1_0$ を V_c から取り除く．

操作 4 より， $V_c = \phi$ であるため，操作 5 へ進む． V_{h_A} に

含まれる頂点は $r6_2$ のみなので， $I_H(l_B(r6_2), c_{min} - 1) := L$ とし， $-15 (= c_{min} - 1) < c_i \leq -12 (= c_B(r6_2))$ となるすべての c_i について $I_H(l_B(r6_2), c_i) := H$ とする． $c_B(r6_2) = c_{min} - 1, c_{min} = c_B(r6_2)$ とし，頂点 $r6_2$ を V_c に加え， $r6_2$ を V_c から取り除き，操作 4 へ進む．

操作 4 より， $V_c \neq \phi$ であり， $l_B(r6_2) \notin V_T^J$ であるため，頂点 $r6_2$ については操作 (b) を実行する．操作 (b) より， $pre(l_B(r6_2))$ に含まれる頂点 $R5, PI3, PI4$ について考える． $R5 \notin V_h$ であるため， $l_B(r5_4) = R5, c_B(r5_4) = c_B(r6_2) - 1$ となる頂点 $r5_4$ を集合 V_c に加える．また， $c_{min} = -15 > c_B(r5_4) = -16$ であるため， $c_{min} := -16$ とする． $PI3 \in V_I, PI4 \in V_I$ であるため， $r6_2$ を V_c から取り除き，操作 (b) を終了する．

操作 4 より， $V_c \neq \phi$ であり， $l_B(r5_4) \notin V_T^J$ であるため，頂点 $r5_4$ については操作 (b) を実行する．操作 (b) より， $pre(l_B(r5_4))$ に含まれる頂点 $PI2$ について考える． $PI2 \in V_I$ であるため，操作 (b) を終了する．

以上より，操作 2 で選択した経路 p_1 に関する系列を表 2 に示す．表 2 の系列をもとに，操作 6, 7 により得られるグラフを図 14 に示す．同様の手順で経路 p_2 についての時間展開グラフを得ることが可能である．□

提案する時間展開グラフ生成アルゴリズムについて，以下の定理が成り立つ．

定理 3: 部分スルー可検査性を満たす順序回路を S とする． S の R グラフを $G_R = (V, A, w, r, t)$ ，正当化スルー

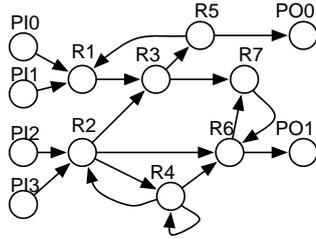


図 16: R グラフ G_{R_3}

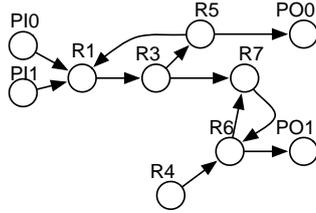


図 17: R グラフ $G_{R'_3}$

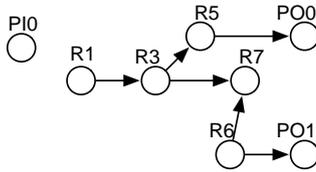


図 18: R グラフ $G_{R''_3}$

ルー木集合探索のためのヒューリスティックアルゴリズムを示す。

提案するアルゴリズムはR グラフを入力とし、部分ルー木可検査性を満たすために必要となる正当化ルー木と伝搬ルー木を探索するためにルー機能を付加したR グラフを出力とする。このアルゴリズムでは、R グラフに含まれる辺を1 つ以上持つような強連結成分の集合に着目する。

提案するアルゴリズムは、以下のような操作の繰り返しを正当化ルー木と伝搬ルー木を探索するために実行する。ここでは正当化ルー木の探索について説明する。このとき、操作 2 において選択する頂点がなくなった場合、アルゴリズムを終了する。

1. 各頂点の重みの計算

ヒューリスティック尺度として、R グラフの各頂点 v に対してその頂点を正当化ルー木に含まれる頂点とするために必要なルー機能の最小数を計算する。これを正当化ルー木生成のための重み $w_j(v)$ とする。

2. ルー木に含まれる頂点の選択

頂点の選択は、R グラフに含まれる辺を 1 つ以

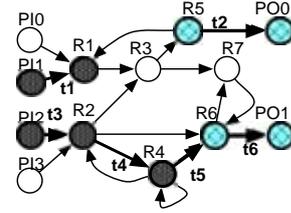


図 19: ルー木生成結果

上持つような強連結成分の要素に含まれる頂点集合から行う。その集合に含まれる頂点の中から、自己ルー木を持つ頂点、重み w_j が小さい頂点、頂点数の多い強連結成分に含まれる頂点という優先順序に従って頂点を選択する。

3. ルー機能を付加する頂点と辺の選択

正当化ルー木を生成する場合、選択した頂点へ隣接している頂点の中で重み w_j が最も小さい頂点、自己ルー木を持つ頂点という優先順序に従って頂点を選択し、その頂点に接続している辺を選択する。選択した辺がルー機能を付加する辺となり、選択した頂点と辺が正当化ルー木に加えられる。このとき、外部入力に到達するまで辺の選択と頂点の選択を行う。

4. グラフ情報の更新

生成されたルー木に関する情報を R グラフから削除することでグラフ情報を更新し、操作 1 を実行する。

伝搬ルー木の生成を考える場合、操作 1 における重みの計算と操作 3 における頂点と辺の選択を変更する。重みの計算は、伝搬ルー木に含めるために必要となるルー機能の最小数を計算し、重み $w_p(v)$ とする。頂点と辺の選択は、重みの小さい頂点と、その頂点への辺を選択し、外部出力に到達するまで選択を行うことで伝搬ルー木を生成する。

(例 9) 図 16 を用いてルー木集合生成の例を示す。伝搬ルー木の生成は、重みの計算方法が違うだけであり手順は同じであるため、正当化ルー木の生成を例として示す。

まず、R グラフの各頂点の重みを計算する。図 16 における強連結成分は 3 つ存在し、頂点集合は $\{R1, R3, R5\}$, $\{R2, R4\}$, $\{R6, R7\}$ となる。これらの頂点において、 $R4$ が自己ルー木を持つため、正当化ルー木に含まれる頂点として選択される。 $R4$ へ隣接する頂点は $R2$ であるため、辺 $(R2, R4)$ にルー機能を付加し、頂点 $R2$ が $R4$ と同じ正当化ルー木に含まれる。頂点 $R2$ へ隣接する

頂点を考えると $PI2$ と $PI3$ であり、重みは 0 となるため、ここでは $PI2$ を選択する。外部入力へ到達したので、ここまでに選択された頂点 $R5$ 、 $PI2$ とそれに関係する辺を R グラフから削除し、頂点 $R7$ を外部入力として R グラフの情報を更新する。更新された R グラフを図 17 に示す。

図 17 の R グラフをもとに各頂点の重みを計算する。R グラフが更新されたことで強連結成分は 2 つとなり、頂点集合は $\{R1, R3, R5\}$ 、 $\{R6, R7\}$ となる。このとき、スルー木に含まれる頂点として選択されるのは、重みが小さく、頂点数の多い集合に含まれる $R4$ がスルー木に含まれる頂点として選択される。このように、R グラフを更新し、頂点の選択を繰り返すことで、最終的に頂点集合を $PI2, R5, R7, R9$ と $PI0, R4$ とするような正当化スルー木を得ることができる。□

回路に付加したスルー機能に基づき、定義 4 条件 4 を満たすような頂点 \hat{u}_k にホールド機能を付加することで、与えられた順序回路を部分スルー可検査順序回路へ変換する。

4. 実験結果

部分スルー可検査性の有効性を調べるため、実験を行った。計算機は、Dell PowerEdge 2950 (Red Hat Linux v.5, CPU 2.33Ghz Quad, メモリ 4GB) を用いた。

実験では、DFT を行っていない順序回路 (Original)、完全スキャン設計 (FS) を行った順序回路、完全スルー可検査設計 [12] (FT) を行った順序回路、そして部分スルー可検査設計 (PT) を行った順序回路の 4 つを比較した。表 3 に、実験で用いた回路情報 (FF 数と回路面積) に加えて、3 つの設計に対する面積オーバーヘッド、テストパターン数、テスト実行時間、テスト生成時間を示す。回路面積は、NOT ゲートの面積を 1 としたときの組合せ論理部のみ面積を表す。完全スキャンにおけるテスト実行時間は (テストパターン数) \times ((FF 数) + 1) + (FF 数) とした。各回路の対象故障は、回路内の各 CLB と外部入出力に対する故障とした。時間展開モデルにおける多重故障は、文献 [16] の手法を用いて単一故障としてテスト生成を行った。テスト生成におけるバックトラックリミットは 10000000 で行った。回路 lwf における Original の結果は、24 時間以上結果が得られなかったため空欄とする。

実験結果を示す。完全スキャン設計 (FS) と、テスト容易化設計としてスルー機能を用いるスルー可検査設計 (FT, PT) の結果について比較する。FS に比べて、ス

ルー可検査設計では面積オーバーヘッドを大きく削減できた。これは、すべてのレジスタをスキャンレジスタに置き換える FS に比べて、スルー可検査設計は回路の必要な部分にのみスルー機能を付加するためである。テスト実行時間について、PT は最大で 1/16 に短縮した (diff)。これは、フルスキャン設計におけるテスト実行で必要となるスキャンシフト操作が、スルー可検査順序回路では必要ないためである。

次に、完全スルー可検査設計 (FT) と部分スルー可検査設計 (PT) を比較する。FT と比べて、PT は面積オーバーヘッドが小さくなり、最大で 1/4 となった (diff)。これは、部分スルー可検査順序回路のクラスが完全スルー可検査順序回路のクラスを真に包含するため、必要なテスト容易化設計のオーバーヘッドが小さくなることを示すものである。また、ex1 を除く回路において、FT と比べて PT のテストパターン数も小さくなった。これは、PT の時間展開モデルでは、スルー機能を用いないで値の正当化と伝搬を行うことが多くなるため、1 パターンあたりの検出故障数が増加したためと考えられる。テスト生成時間は、PT は FT に比べてわずかに時間が大きくなった。これは、PT ではスルー機能を利用せずに値の正当化と伝搬を行う場合が増えるため、テストパターンの探索が多少困難になるためである。しかし、表 3 より、Original と比べて半分以下の時間で完全故障検出効率を達成できており、同じ条件で行った Original に対するテスト生成と比べて効率的にテスト生成を行うことができると考えられる。

5. むすび

本論文では、組合せ回路用のテスト生成アルゴリズムを用いてテスト系列を生成可能な順序回路のクラスとして、部分スルー可検査順序回路を提案した。新たなクラスでは、従来のスルー木の代わりに正当化スルー木と伝搬スルー木を定義し、それにともなった十分条件を定義した。部分スルー可検査順序回路に対するテスト生成を行うために、組合せ回路モデルであるスルー機能を用いた時間展開モデルを定義し、部分スルー可検査順序回路であれば、すべての CLB のための時間展開モデルが生成可能であることを示した。定義した時間展開モデルにおける故障が検出可能であり、かつ、そのときに限り、もとの順序回路での対応する故障が検出可能であることを示した。また、一般の順序回路を部分スルー可検査性順序回路とするために、スルー機能数最小を指向したスルー木生成のためのヒューリスティックアルゴリズムを提案した。実験により、従来に比べてテスト容易化設計

表 3: 実験結果

回路	FF 数	回路面積	DFT 法	面積 オーバーヘッド	テスト パターン数	故障検出 効率	テスト実行 時間 (サイクル)	テスト生成 時間 [s]
ex1	40	3065	Original	-	42	70.55	200	9875.04
			FS	280	56	100.00	2336	0.01
			FT	73	56	100.00	336	0.05
			PT	49	58	100.00	348	0.13
ex2	96	4949	Original	-	61	99.97	238	62.55
			FS	672	41	100.00	4073	0.02
			FT	96	56	100.00	280	0.04
			PT	48	48	100.00	288	0.35
lwf	48	5262	Original	-	-	-	-	-
			FS	336	71	100.00	3527	0.11
			FT	145	82	100.00	492	0.30
			PT	97	71	100.00	426	1.05
trap	88	5369	Original	-	27	96.38	199	3551.20
			FS	616	74	100.00	6674	0.04
			FT	75	90	100.00	720	0.11
			PT	50	89	100.00	712	0.26
diff	96	6687	Original	-	29	98.02	185	1960.27
			FS	672	84	100.00	8244	111.32
			FT	194	88	100.00	880	136.63
			PT	48	59	100.00	531	798.92

における面積オーバーヘッドを削減でき、かつ、完全スルー可検査順序回路と同様に完全故障検出効率を得られることを示した。今後の課題として、スルー機能を用いたテスト容易な順序回路のクラス、スルー可検査順序回路の定義、順序回路におけるスルー機能以外の機能を用いたテスト容易な順序回路の新たなクラスの提案が挙げられる。

参考文献

- [1] H. Fujiwara, Logic Testing and Design for Testability. MIT Press, 1985.
- [2] M. R. Prasad, P. Chong, and K. Keutzer, "Why is ATPG easy?," Proc. 36th DAC, pp. 22-28, June 1999.
- [3] C. Y. Ooi and H. Fujiwara, "Classification of sequential circuits based on τ^k notation," IEEE Proc. 13th Asian Test Symp., pp.348-353, Nov. 2004.
- [4] C. Y. Ooi, T. Clouqueur and H. Fujiwara, "Classification of sequential circuits based on τ^k notation and its applications", IEICE Trans. on Info. and syst., pp.2738-2747, Dec. 2005.
- [5] R. Gupta and M. A. Breuer, "The BALLAST methodology for structured partial scan design," IEEE Trans. Comput., vol. 39, no. 4, pp. 538-544, April 1990.
- [6] A. Balakrishnan and S. T. Chakradhar, "Sequential circuits with combinational test generation complexity," in Proc. IEEE International Conference VLSI Design, Jan. 1996, pp. 111-117.
- [7] H. Fujiwara, "A new class of sequential circuits with combinational test generation complexity," IEEE Trans. Comput., vol. 49, no. 9, pp. 895-905, Sept. 2000.
- [8] T. Inoue, T. Hosokawa, T. Mihara, and H. Fujiwara, "An optimal time expansion model based on combinational ATPG for RT Level Circuits," IEEE 7th Asian Test Symposium, pp. 190-197, Dec. 1998.
- [9] M. Inoue, C. Jinno, H. Fujiwara, "An Extended class of Sequential Circuits with Combinational Test Generation Complexity," IEEE Proc. International Conference on Computer Design, pp. 200-205, Seq. 2002.
- [10] Y. C. Kim, V. D. Agrawal, and K. K. Saluja, "Combinational Automatic Test Pattern Generation for Acyclic Sequential Circuits," IEEE Trans, Computer-Aided Design Integrated Circuits and Systems, Vol. 26, no. 6, pp. 948-956, Jun. 2005.
- [11] T. Inoue, D. K. Das, C. Sano, T. Mihara, and H. Fujiwara, "Test generation for acyclic sequential circuits with hold registers," Proc. International Conf. on Computer Aided Design, pp. 550-556, Nov. 2000.
- [12] C. Y. Ooi and H. Fujiwara, "A new class of sequential circuits with acyclic test generation complexity," IEEE Proc. International Conference on Computer Design, pp.425-431, Oct. 2006.
- [13] T. Inoue, and H. Fujiwara, "A Partial Scan Design with Orthogonal Scan Paths," 3rd Workshop on RTL data paths to guarantee complete fault efficiency," 3rd Workshop on

- RTL and High Level Testings, Nov. 2002.
- [14] 岩田浩幸, 米田友和, 大竹哲史, 藤原秀雄, "完全故障検出効率を保証する RTL データパスの部分強可検査性に基づくテスト容易化設計法," 電子情報通信学会論文誌, Vol. 89-D, No. 8, pp. 1643-1642, 2006.
 - [15] H. Fujiwara, H. Iwata, Tomokazu Yoneda, and Chia Yee Ooi, "A Non-Scan Design-for-Testability for Register-Transfer Level Circuits to Guarantee Linear-Depth Time Expansion Models," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 27, No. 9, pp. 1535-1544, Sept. 2008.
 - [16] H. Ichihara, and T. Inoue, "A method of test generation for acyclic sequential circuits using single stuck-at fault combinational ATPG," IEICE Trans. Fundamentals, Vol. E86-A, No. 12, pp. 3078, Dec. 2003.