

ホールド機能を考慮した順序回路のテスト容易化設計法

佐野ちいほ† 井上智生† Debesh K DAS‡ 藤原秀雄†

†奈良先端科学技術大学院大学 情報科学研究科

〒630-0101 奈良県生駒市高山町 8916-5

E-mail: {chiho-s,inoue,fujiwara}@is.aist-nara.ac.jp

‡Dept.of Comp.Sc.and Engg.

Jadavpur University

Calcutta-700 032, India

E-mail: debeshd@hotmail.com

あらまし 本稿では、ホールド機能を持つレジスタ (ホールドレジスタ) を考慮した順序回路のテスト容易化設計法を紹介する。無閉路順序回路のテスト生成は、全ての極大展開モデルに対して行えば十分である。そこで、極大展開モデルが唯一となる (最大展開モデルを持つ) ような順序回路のクラスを提案する。更に、一般の順序回路から最大展開モデルが存在する無閉路順序回路に変更する部分スキャン設計法について、スキャンハードウェアオーバーヘッドを最小にするスキャンレジスタ選択問題を定式化し、その問題を解くヒューリスティックアルゴリズムを提案する。これにより、部分スキャン設計におけるスキャンハードウェアオーバーヘッドは、既に提案されているホールドレジスタを有する順序回路に比べ、より小さく実現可能である。

キーワード ホールドレジスタ, 無閉路順序回路, 最大展開モデル, 組合せテスト生成, 部分スキャン

A Partial Scan Design Method for Sequential Circuits with Hold Registers

Chiiho SANOf, Tomoo INOUOf, Debesh K DAS‡, and Hideo FUJIWARAf

†Graduate School of Information Science, Nara Institute of Science and Technology 8916-5,

Takayamacho, Ikoma, Nara 630-0101

E-mail: {chiho-s,inoue,fujiwara}@is.aist-nara.ac.jp

‡Dept.of Comp.Sc.and Engg. Jadavpur University Calcutta-700 032, India

E-mail: debeshd@hotmail.com

Abstract In this paper, we present a method of test generation for sequential circuits with *Hold* registers. Test generation can be performed for acyclic sequential circuits by using *maximal time-expansion models*. We propose a new class of sequential circuits which has *maximum time-expansion model*. In general, the hardware overhead for partial scan based on the proposed structure is smaller than that based on sequential circuits without hold registers. Furthermore, we formulate a problem for finding an optimal partial scan registers with minimum hardware overhead and we present a heuristic algorithm for the problem.

Key words Hold registers, acyclic sequential circuits, maximum time-expansion model, combinational test generation, partial scan

1 はじめに

順序回路のテスト生成は一般に困難な問題であり、回路規模が大きくなると解けなくなる場合が多い。これを解決するために、一部のフリップフロップ (以下、FF と略す) をスキャン可能な FF に変更する部分スキャン設計法や、全ての FF をスキャン FF に変更する完全スキャン設計法などが提案されている [1, 2]。これらの設計では、スキャン FF を等価的に外部入出力と見なせるので、スキャン FF を取り除いた残りの回路 (核回路と呼ぶ) に対してテスト生成を行えばよい。完全スキャン設計法では、核回路が組合せ回路となるので組合せ回路用のテスト生成アルゴリズムだけでテスト生成が可能 (以下、組合せテスト生成可能と略す) である。一方、部分スキャン設計法では、核回路に FF が残るため、一般には、順序回路用のテスト生成アルゴリズムを適用しなければならず、真の意味で組合せ回路レベルのテスト容易化は達成されていない。文献 [3, 4] では、フィードバックループを切断することでテスト生成を容易にしているが、核回路は自己ループを含んでいるため、順序回路用のテスト生成アルゴリズムが必要となる。

一方、順序回路を組合せテスト生成可能とする部分スキャン設計法も提案されている [5, 6]。これらに共通することは、自己ループを含む全てのフィードバックループを切断し、回路の無閉路を実現していることである。これにより得られる核回路は組合せ回路となるため、組合せテスト生成可能となる。このような無閉路構造を持つクラスとして、平衡構造、内部平衡構造 [5, 6] がある。

また、文献 [7, 8] では、それぞれ、無閉路順序回路 (フィードバックや自己ループを含まない順序回路) に対し、テスト生成モデル、時間展開モデルを用いることで組合せテスト生成可能とした。更に、RT レベル回路において、核回路を無閉路にする無閉路部分スキャン設計法も提案されている [8]。しかし、無閉路部分スキャン設計において、回路にホールド機能を有するレジスタ (以下、ホールドレジスタと略す) が存在するとき、ホールドレジスタは機能的に自己ループと見なされるため、全てのホールドレジスタをスキャンする必要がある。このため、スキャンに伴うハードウェアオーバーヘッドが大きい。これを解決するために、文献 [9] では、先の時間展開モデルを更に拡張し、ホールドレジスタを含む無閉路順序回路に対しても、組合せテスト生成可能な時間展開モデルを提案した。この結果、ホールドレジスタをスキャンの対象とする必要がなくなるため、ハードウェアオーバーヘッドの削減が可能となる。しかしながら、ホールドレジスタに与える制御系列が異れば得られる時間展開モデルも一般に異なり、従って、無閉路順序回路のテスト生成を行うためには、得られる全ての時間展開モデルに対してテスト生成する必要がある。しかし、時間展開モデルの被覆関係を考えた場合、得られる全ての時間展開モデルに対してテスト生成する必要はなく、極大展開モデルに対してのみテスト生成を行えば十分である [9]。

本稿では、テスト生成に必要な極大展開モデルが唯一となる (最大展開モデルと呼ぶ) 順序回路のクラスを提案する。文献 [9] では、最大展開モデルを持つために順序回路が満たすべき十分条件が提案されている。本稿で

は、この条件を拡張し、より広い回路クラスの十分条件を提案する。更に、提案する条件の下で、核回路が最大展開モデルを有する無閉路順序回路となるような無閉路部分スキャン設計法について、最小のハードウェアオーバーヘッドでスキャンレジスタを決定するためのヒューリスティックアルゴリズムを提案する。

この結果、提案する条件は先の条件を真に包含するので、無閉路部分スキャン設計におけるハードウェアオーバーヘッドの削減が可能となる。

2 諸定義

本節では、本稿で考える順序回路のモデル、順序回路のトポロジグラフ、時間展開グラフ、時間展開モデルについて定義し、更に、時間展開モデルを用いたテスト生成法 [9] について説明する。

2.1 回路モデル

順序回路は、複数の組合せ論理ブロック (以下、論理部と略す) から成り、それらの論理部が直接、あるいは、レジスタを通して相互に接続されているものとする。また、レジスタへのクロック信号は、外部から直接印加されるものとする。

レジスタの種類として、ホールドレジスタとロードレジスタがあり、ホールドレジスタは、ホールドモード (連続するクロックサイクル間、値を保持) とロードモード (クロックが与えられたとき、値を取り込む) の 2 つの動作モードを持つ。一方、ロードレジスタは常にロードモードで動作する。

順序回路の入力パターンは、組合せ論理部へのデータ入力とホールドレジスタへの制御入力の 2 つの入力パターンからなる。

このような条件の下で、順序回路のトポロジグラフを定義する。

定義 1 (トポロジグラフ)

トポロジグラフ $G = (V, A, r)$ は有向グラフであり、頂点 $v \in V$ は一つの組合せ論理部、辺 $(u, v) \in A$ は 2 つの論理部 u, v 間の接続を表す。また、各辺にはラベル $r : A \rightarrow Z^+ \cup \{h\}$ (Z^+ は非負の整数集合) が付いており、2 つの論理ブロックが 0 個以上のロードレジスタで接続されている場合、ラベル $r(u, v)$ はロードレジスタの個数 ($r(u, v) \in Z^+$) を、一方、2 つの論理部が一つのホールドレジスタ¹で接続されている場合、 $r(u, v) = h$ と表す。 □

2.2 時間展開モデル

無閉路順序回路のテスト生成は、時間展開モデルを用いて組合せテスト生成可能である。

時間展開モデルを用いた無閉路順序回路のテスト生成の流れは、まず無閉路順序回路 S のトポロジグラフ G を作り、それに基づく時間展開グラフ $E = (V_E, A_E, t, l)$ を生成する。 G の任意の頂点に対応する (G の任意の頂点に対し、それに対応する E の頂点は一般に複数存在する) 頂点集合を V_E とし、 $u, v \in V_E$ に対応する G の頂点間に有向辺があるとき、有向辺 $(u, v) \in A_E$ で接続する。 G の任意の頂点に隣接する頂点集合 (祖先) は、 E のそれ

¹2 つの論理部間に 2 つのホールドレジスタか、もしくは、ロードレジスタとホールドレジスタが存在する場合、2 つのレジスタ間に、信号線のみか、又はバッファのみで構成される論理部があると仮定し、トポロジグラフを表現することができる。

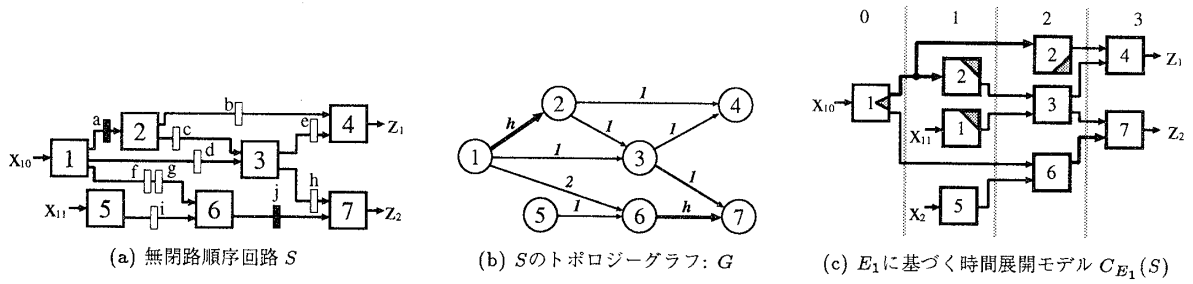


図 1: 無閉路順序回路, トポロジグラフ, 時間展開モデル

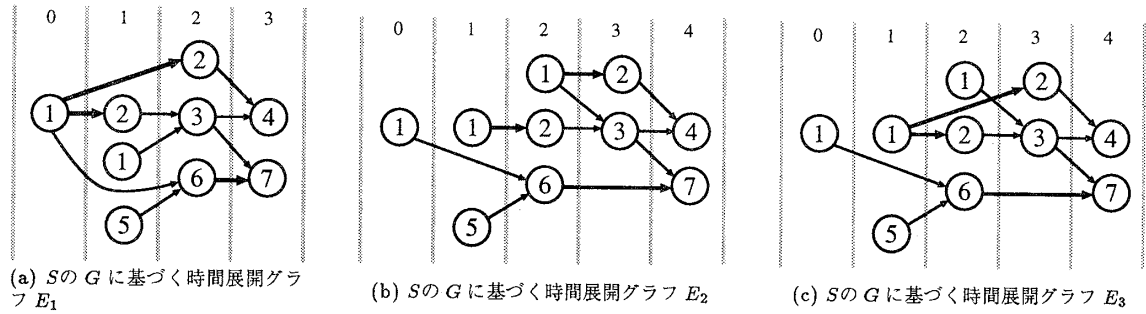


図 2: S の G に基づく時間展開グラフ

に対応する頂点の祖先と等しい。 t は V_E から整数への写像を表し、 $(u, v) \in Z^+$ であれば、頂点 u, v を $t(v) - t(u)$ が u, v に対応する G の頂点間のレジスタ数となるように接続し、 $(u, v) = h$ であれば、ホールドレジスタに対する有効な制御系列²、が得られるように頂点 u, v を接続する。 l は V_E からトポロジグラフ G の頂点集合 V への写像を表す。

得られた時間展開グラフ E に基づき時間展開モデル $C_E(S)$ を生成する。 E の各頂点 u について、論理部 $l(u)$ を u に対応する論理部とし、有向辺 $(u, v) \in V_E$ について、 $(l(u), l(v))$ と同様に、 u の出力を v の入力として信号線で接続する (その際、接続にレジスタは介さない)。この結果、得られる時間展開モデルは組合せ回路となるため、この時間展開モデルに対し組合せテスト生成を行う。

例 1 無閉路順序回路 S (図 1(a)) において、 $1, 2, \dots, 7$ を論理部、 b, \dots, i をロードレジスタ、黒色で示す a, j をホールドレジスタとする。このとき、 S のトポロジグラフ G を図 1(b) に、 G の時間展開グラフ E_1, E_2, E_3 を図 2 に示す。それぞれの時間展開グラフについて、各頂点 $u \in V_E$ が表す数は、対応する G の頂点名 $l(u) \in V$ を表し、グラフの上部に書かれた数字は、その列にある頂点 u のラベル $t(u)$ を表す。さらに、図 1(c) に S の E_1 に対する時間展開モデル $C_{E_1}(S)$ を示す。 □

上記の例で示すように、一般に、1つのトポロジグラフから得られる時間展開グラフは複数存在し、時間展開モデルは、時間展開グラフから一意に決定することができる。

2.3 時間展開モデルを用いたテスト生成

先に示した通り、時間展開モデルは組合せ回路となるので、時間展開モデルに対し組合せ回路用のテスト生成アルゴリズムを適用することができる。その結果得られ

た時間展開モデルのテストパターンは、無閉路順序回路の入力系列に変換可能である [9]。従って、時間展開モデルに対してテスト生成を行うことで、無閉路順序回路は組合せテスト生成可能となる。

時間展開モデルの入力パターンから無閉路順序回路の入力系列への変換方法について、以下の例で説明する。
例 2 無閉路順序回路を S (図 1(a))、 S のトポロジグラフを G (図 1(b))、 G の一つの時間展開グラフを E_1 (図 2(a))、 E_1 に基づく S の時間展開モデルを $C_{E_1}(S)$ (図 1(c)) とする。 $C_{E_1}(S)$ の論理部 1, 5 に対する入力パターンをそれぞれ、 $I_C(1) = (x_{10}, x_{11}) = (I_{10}, I_{11})$ 、 $I_C(5) = (x_2) = (I_2)$ 、 それに対応する $C_{E_1}(S)$ の出力パターンを $O_C = (z_1, z_2) = (O_1, O_2)$ とする。このとき、 S の組合せ論理部 1 に対して、時刻 0 に x_{10} 、時刻 1 に x_{11} 、論理部 5 に対しては、時刻 1 に x_2 を入力することで、 S への入力系列が得られる。一方、ホールドレジスタへの制御系列は、 $C_{E_1}(S)$ の入力パターンに関係なく、 E_1 からのみ求めることができる。表 1 に、入力パターン I_C, O_C から得られる S の入出力系列を示す。ここで、 \times はドント・ケアとする。 □

また、無閉路順序回路のデータ入力系列と制御入力系列は、時間展開グラフと時間展開グラフに基づく時間展開モデルの入力パターンに変換可能である [9]。まず、 S の制御系列をもとに時間展開グラフを生成する。その生成した時間展開グラフに対して、 S の時刻 t における論理部 v の入力パターンが出力に影響する場合、 v に対応する時間展開グラフの頂点の入力パターンを、 S の時刻 t における論理部 v の入力系列とする。

このことから、一つの時間展開グラフ (時間展開モデル) は、順序回路のデータ入力系列とは関係なく、ホールドレジスタに対する制御入力系列のみから求めることができる。

次に、無閉路順序回路 S の故障と時間展開モデル $C_E(S)$ の故障との関係について考える。ここでは、 S

²任意のホールドレジスタについて、ある時刻にロードしたホールドレジスタが、その値をホールドしている間、再びその値をロードすることは出来ない

表 1: E_1 から変換された S への入出力系列

	0	1	2	3	4
x_1	I_{10}	I_{11}	×	×	×
x_2	×	I_2	×	×	×
Reg.a	L	H	×	×	×
Reg.j	×	×	×	L	×
z_1	×	×	×	×	O_1
z_2	×	×	×	×	O_2

の故障として、組合せ論理部内の信号線の単一縮退故障を考える。組合せ論理部間の信号線の縮退故障やレジスタ(ホールドレジスタも含む)の入出力線の縮退故障は、組合せ論理部の入力線や出力線の縮退故障と等価であると考えることができる。

今、 S の故障集合を F 、 $C_E(S)$ における故障集合を F_E とする。このとき、 S の故障 $f \in F$ に対応する $C_E(S)$ の故障 $f_e \in F_E$ は、故障 f の存在する論理部 $v \in V$ に対応する、 $C_E(S)$ の各論理部 $u \in l^{-1}(v)$ の同じ位置(信号線)に存在する多重故障とする。すなわち、 $l(u)=v$ となる論理部 u に存在する故障が唯一のとき、 f_e は単一縮退故障、複数存在するとき、 f_e は多重縮退故障となる。

定理 1 [9] 無閉路順序回路を S 、 S のトポロジグラフを $G=(V, A, r)$ 、 G の時間展開グラフを $E=(V_E, A_E, t, l)$ 、 E に基づく S の時間展開モデルを $C_E(S)$ とする。また、 S の故障集合を F 、 $C_E(S)$ の故障集合を F_E とする。

- $C_E(S)$ の故障 f に対応する故障 $f_e (\in F_E)$ がテスト生成可能となるような E が存在するとき、かつそのときに限り、 S の故障 $f (\in F)$ はテスト生成可能(非冗長)である。
- $C_E(S)$ で得られた故障 $f_e (\in F_E)$ に対するテストパターンは、 f_e に対応する故障 $f (\in F)$ に対するテスト系列に変換可能である。 □

先に述べたように、時間展開モデルはホールドレジスタに対する制御入力系列によって一意に決定できる。そのため、ホールドレジスタに対する制御が異なれば、得られる時間展開モデルも一般に異なる。定理 1 より、無閉路順序回路のテストは、異なる幾つかの時間展開モデルに対して、組合せテスト生成を行う(ただし、多重故障対応)ことで可能となり、完全なテスト系列を得るためには、得られる全ての時間展開モデルに対してテスト生成を行えば十分である。

3 最大展開モデルを持つ順序回路

前節で述べたように、順序回路のテスト生成は、全ての時間展開モデルに対してのみ行えば十分である。しかし、全ての時間展開モデルを求めることは一般に困難である。そこで、テスト生成に必要な時間展開モデルの数を減らし、かつ、完全なテスト集合が得られる時間展開モデルを考える。

3.1 時間展開グラフの被覆関係

一つの無閉路順序回路に対して、得られる 2 つの時間展開モデルについて被覆関係 [9] が定義できる。順序回路を S 、 S の時間展開グラフ(モデル)を E_1, E_2 、 E_2 の任意の論理部 v_2 の出力パターン O を決定するための入力パターンを I_2 とする。 E_1 が E_2 を被覆するとき、 v_2 に

対応する E_1 の論理部 $v_1(l_1(v_1) = l_2(v_2))$ において、 v_2 と等しい出力パターン O を得るための E_1 に対するテストパターン I_1 が存在することを意味している。

例 3 図 2において、 E_3 は E_1 を被覆している。ここで、 $C_{E_1}(S)$ (図 1(c))への入力パターン $(x_{10}, x_{11}, x_{12}) = (I_a, I_b, I_c)$ に対する出力パターンを $(z_1, z_2) = (O_1, O_2)$ とする。このとき、入力パターン $(x_{10}, x_{11}, x_{12}, x_{13}) = (I_a, I_a, I_b, I_c)$ に対する $C_{E_3}(S)$ の出力パターンは、 $C_{E_3}(S)$ (図 3(a))の出力パターン $(z_1, z_2) = (O_1, O_2)$ と等しい。 □

このことから、 E_1 が E_2 を被覆するとき、 E_2 で検出可能な無閉路順序回路の全ての故障は、 E_1 でも全て検出可能であるといえる。従って、被覆関係が成立する場合、被覆する時間展開モデルに対してのみテスト生成を行えば十分である。

無閉路順序回路 S の任意の時間展開グラフ対 E_1, E_2 について、 E_1 が E_2 を被覆し、かつ、 E_2 が E_1 を被覆しないとき、 E_1 は E_2 を真に被覆するという。また、時間展開グラフ E に対し、 E を真に被覆するような E' が存在しないとき、 E を極大であるという。

3.2 最大展開モデルを持つクラス

無閉路順序回路のテスト生成は、全ての極大展開モデルに対してのみテスト生成を行えば十分である。

例 4 順序回路を S (図 1(a))、 S から得られるいくつかの時間展開モデルを図 2に示す。ここで、 E_3 は E_1 を被覆するが、 E_2 と E_3 を真に被覆する時間展開モデルは存在しない。従って、 E_2, E_3 の 2 つが S の全ての極大展開モデルである。 □

この例で示すように、無閉路順序回路には一般にいくつかの極大展開モデルが存在する。従って、極大展開モデル数が多ければ、組合せテスト生成にもそれだけ多くの時間を要すると考えられる。そこで、無閉路順序回路の極大展開モデルが唯一となるための回路の条件について考える。ここで、極大展開モデルが唯一となるとき、その極大展開モデルを最大展開モデルと呼び、最大展開モデルを有する順序回路を最大テスト可能という。回路が最大テスト可能であるとき、最大展開モデルに対してのみ組合せテスト生成を行えば十分である。

最大テスト可能となる順序回路の十分条件として、条件 M1 が提案されている [9]。無閉路順序回路を S 、 S のトポロジグラフを $G=(V, A, r)$ 、 G の任意の頂点 u から $v(u, v \in V)$ への経路の集合を $P(u, v)$ とする。このとき、 G が満たすべき条件 M1 を以下に示す。

条件 M 1 $V'(\subseteq V)$ を $r(a_h) = h$ である任意の辺 $a_h(\in A)$ から到達可能な頂点集合、 $u, v(\in V')$ を任意の頂点とする。このとき、任意の経路対 $p, q(\in P(u, v))$ について、以下が成り立つ。

$$(1) (H(p) = H(q)) \wedge (d(p) = d(q))$$

ここで、 $d(p), H(p)$ はそれぞれ、経路 p に存在する $r(a) \in Z^+$ である辺 $a(\in A(p))$ のラベル $r(a)$ の和、 $r(a) = h$ である辺の集合を表す。ただし、 $A(p)$ は経路 p に存在する辺集合を表す。 □

例 5 無閉路順序回路 S_2 (図 3(b))について考える。この図において、 a, b, i はホールドレジスタ、それ以外はロードレジスタである。いま、ホールドレジスタ a に着目する。 a に対して 2 つの経路: $p_1 = (2, 3, 6), p_2 =$

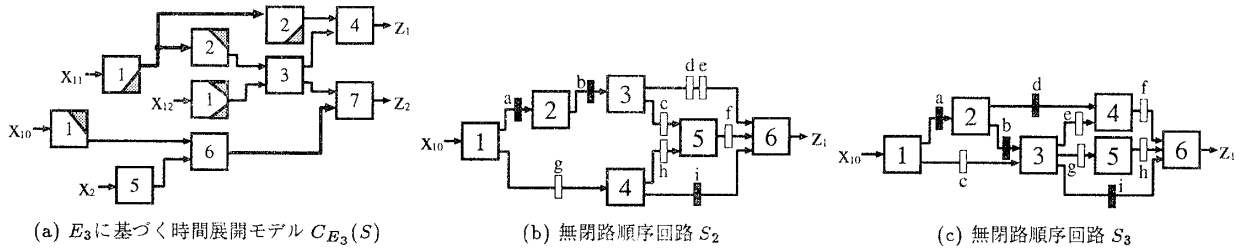


図 3: 無閉路順序回路

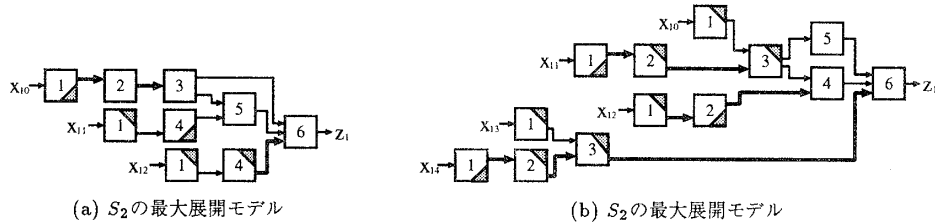


図 4: 最大展開モデル

(2, 3, 5, 6)が存在する。このとき、 $H(p_1) = H(p_2) = \{b\}$, かつ $d(p_1) = d(p_2) = 2$ となり、条件 M1 を満たしている。この回路に対する最大展開モデルを図 4(a) に示す。□

次に、図 3(c) に示す無閉路順序回路を考える。いま、ホールドレジスタ a について、 a から 6 までに存在する経路それぞれに含まれるホールドレジスタの集合が異なっているため、条件 M1 は満たさない。しかし、図 4(a) に示すような最大展開モデルが得られる。このように、条件 M1 を満たしていない場合にも、最大展開モデルを有する回路クラスが存在する。

最大展開モデルを作ることができ、かつ、ホールドレジスタに対する有効な制御系列が存在するためには、ホールドレジスタの制御が‘調整可能’であればよい(となるようなホールドレジスタが存在すればよい)。つまり、全ての経路に対してホールドレジスタの制御を一つずつ決めていく場合、経路 p の全てのホールドレジスタに対する制御入力系列を、他の経路 q のホールドレジスタに優先して決定しても、それ以外の(決定されていない)ホールドレジスタが q に存在すれば、それによって有効な制御系列を得ることが可能となる。

そこで、順序回路が最大テスト可能となるためのより広い回路クラスの満たすべき十分条件として、条件 M2 を考える。また、条件 M2 は条件 M1 を包含するので、条件 M2 を満たす回路集合は、条件 M1 を満たす回路集合を真に含んでいるといえる。

定義 2 無閉路順序回路を S , S のトポロジーグラフを $G = (V, A, r)$, G の任意の頂点 u から $v (u, v \in V)$ への経路の集合を $P(u, v)$ とする。 G が条件 M2 を満たすとき、 S は経路調整可能であるという。

条件 M2 $V' (\subseteq V)$ を $r(a_h) = h$ である任意の辺 $a_h (\in A)$ から到達可能な頂点集合、 $u, v (\in V')$ を任意の頂点とする。このとき、任意の経路対 $p, q (\in P(u, v))$ について、次のいずれかが成り立つ。

- (1) $(H(p) = H(q)) \wedge (d(p) = d(q))$
- (2) $(H(p) \neq H(q)) \wedge (H(p) \cap H(q) \neq \phi) \Rightarrow (H(p) \supset H(q)) \vee (H(p) \subset H(q))$

ここで、 $d(p), H(p)$ はそれぞれ、経路 p に存在する $r(a) \in Z^+$ である辺 $a (\in A(p))$ のラベル $r(a)$ の和、 $r(a) = h$ で

ある辺の集合を表す。ただし、 $A(p)$ は経路 p に存在する辺集合を表す。□

(1), (2) のいずれにも当てはまらない場合 ($H(p) \cap H(q) = \phi$ のとき)、経路 p に存在する任意のホールドレジスタに対する制御入力系列は、経路 q のホールドレジスタの制御系列には関係なく決定できる(常に条件 M2 を満たす)。

例 6 無閉路順序回路 S_3 (図 3(c)) について考える。この図において、 a, b, d, i はホールドレジスタ、それ以外はロードレジスタである。今、ホールドレジスタ a に着目する。 a に対して 4 つの経路: $p_1 = (2, 4, 6), p_2 = (2, 3, 4, 6), p_3 = (2, 3, 5, 6), p_4 = (2, 3, 6)$ が存在する。このとき、 $H(p_1) = \{d\}, H(p_2) = \{b\}, H(p_3) = \{b\}, H(p_4) = \{b, i\}$ であり p_1, p_2 に関して、 $H(p_1) \cap H(p_2) = \phi$ (条件 M2 を常に満たす)、 p_2, p_3 に関して、 $H(p_2) = H(p_3) = \{b\}$ かつ、 $d(p_2) = d(p_3) = 2$ (条件 M2(1))、 p_2, p_4 に関して、 $H(p_2) \subset H(p_4)$ (条件 M2(2)) となり、 S_3 の全ての経路対に対して条件 M2 を満たしている。従って、 S_3 は経路調整可能である。この回路に対する最大展開モデルを図 4(b) に示す。また、このとき、各ホールドレジスタへの制御入力系列は、 $I_H(a) = (L, L, L, H, X, X, X), I_H(b) = (X, X, L, H, L, X, X), I_H(d) = (X, L, H, H, H, X, X), I_H(i) = (X, X, X, X, X, L, X)$ となる。□

4 経路調整可能性に基づく DFT

前節で述べたように、経路調整可能な無閉路順序回路は、最大展開モデルを用いることで組合せテスト生成可能である。従って、任意の順序回路に対して、核回路が経路調整可能となるようにスキャンレジスタを選択すれば、最大展開モデルに対してのみテスト生成を行うことで無閉路順序回路のテスト生成が可能となる。一般の順序回路に対して、核回路が経路調整可能となるようなスキャンレジスタの集合は複数存在する。この集合の違いは、スキャン設計におけるハードウェアオーバーヘッドに影響するものと考えられる。本節では、最小のハードウェアオーバーヘッドで核回路が経路調整可能となるような最適化問題を考え、それに対するヒューリスティックアルゴリズムを示す。

4.1 ハードウェアオーバーヘッド最小化問題

与えられた順序回路に対して、核回路が経路調整可能となる(最大展開モデルを有する)ような部分スキャン設計法について説明する。順序回路 S が経路調整可能であるとき、 S のトポロジグラフ G も経路調整可能である。

部分スキャンレジスタ選択問題

入力：順序回路 S のトポロジグラフ $G = (V, A, r)$

出力：辺集合 R を取り除いたトポロジグラフ $G_M = (V, A-R, r)$ が、経路調整可能となり、かつ、 $\sum_{a \in R} c(a)$ が最小となるような辺集合 $R \subseteq A$

ここで、 $c(a)$ は、レジスタをスキャンレジスタに置き換える際のハードウェアオーバーヘッド(以下、オーバーヘッドという)を表す。また、これ以降、レジスタを選択しスキャンレジスタに置き換えることを単に選択するという。

4.2 ヒューリスティックアルゴリズム

この問題を2つの段階に分けて解く。2つに分けることで、個々の段階での最適解が必ずしも全体の最適解になるとは限らないが、既存のアルゴリズムを適用できるという利点がある。まず始めに、アルゴリズムの概略について説明する。

Step 1. $G = (V, A, r)$ から、 $\sum_{a \in R_A} c(a)$ が最小となるようなフィードバック辺の集合 R_A を取り除き、無閉路なトポロジグラフ G_A に変換する。

Step 2. $G_A = (V_A, A_A, r)$ から、 $\sum_{a \in R_M} c(a)$ が最小となるような辺の集合 R_M を取り除き、経路調整可能となるようなトポロジグラフ G_M に変換する。

この結果、 $R = R_A \cup R_M$ が求める集合となり、 $G_M = (V, A-R, r)$ が核回路のトポロジグラフとなる。

Step 1 では、順序回路 S を無閉路化するためのスキャンレジスタを決定する。この問題を解くために、既存の MFAS (Minimum Feedback Arc Set) を求めるアルゴリズムを適用し、 $\sum_{a \in R_A} c(a)$ が最小となるような辺集合 R_A を求める。このとき、後のアルゴリズムの計算量を削減するため、なるべくホールドレジスタが選択されるように、ホールドレジスタに対応する辺(以下、ホールド辺と略す)から多く選択する。

Step 2 では、トポロジグラフ $G_A - R$ が経路調整可能となるようなスキャンレジスタの集合 $R_M (\subseteq A_A)$ を決定する。オーバーヘッド最小を保証するためには、最悪、全ての経路について条件を調べる必要がある。そこで、この問題を解くヒューリスティックアルゴリズムとして、*Adjust* を以下に示す。

A. Adjust

Step 1 で得られたトポロジグラフ G_A の任意の入出力頂点の対について、その頂点間に存在する頂点集合と辺集合から導出される部分グラフ G_S を求め、 G_S が条件 M2 を満たすように、その時点で最小のオーバーヘッドとなるようなスキャンレジスタを決定する。この処理を、得られる全ての部分グラフについて繰り返し実行する。

このとき、得られる辺集合 $R_M \in A_A$ を G_A から取り除いてできるグラフ $G_M = (V_M, A_M, r)$ は、経路調整可能となる。以下に *Adjust* の概略を示し、この中で用いられる手続きについて説明する。

1. procedure *Adjust*(G_A) begin
2. $R_M := \phi$;
3. for all subgraph G_S induced G_A do

4. $flag := FAIL$;
5. while $flag = FAIL$ do
6. $Calcweight(G_S)$;
7. $flag := Check(G_S)$;
8. if $flag \neq SUCCESS$ then
9. $a_F := Select(G_S)$;
10. $R_M := R_M \cup a_F$;
11. $G_R := Redraw(G_A, R_M)$;
12. end
13. $a_R := Load_Select(G_R)$;
14. $R_M := R_M \cup a_R$;
15. end
16. end
17. end RETURN R_M ;

B. Calcweight

部分グラフ G_S の全ての辺 a について重み (l, r) を求める。 l, r はそれぞれ、出力側に一番近いホールド辺の終点(出発点と呼ぶ)と辺 a の終点間、辺 a の始点と出力頂点間に存在する全ての経路において、他の経路には含まれないホールド辺を含む経路数を表す。

l, r は、以下に示す3通りの値を取る。1) $l, r = 0$: 全ての経路にホールド辺は含まれない(条件 M2(1))。ただし、 $r(a) = h \vee r = 0$ の場合、辺 a の始点と出力頂点間に存在する経路は唯一であり、かつ、ホールド辺を含む。また、全ての経路は辺 a を通る。2) $l, r = 1$: 任意の経路対について、それぞれの経路に含まれるホールド辺の集合が (a) 等しい、もしくは、(b) 包含関係が成り立つ(条件 M2(2))。3) $l, r > 1$: 任意の経路対について、それぞれの経路に含まれるホールド辺の集合に包含関係は成立しない。このとき、 l, r は、包含関係が成り立たない経路数を表す。ここで、 l, r は非負の整数である。また、重みを求める際、その辺を選択するために要する最小オーバーヘッドを求める。辺に隣接する入射辺、出射辺それぞれのオーバーヘッドの和、その辺のオーバーヘッドの3つの値を比較し、最小の値をその辺のオーバーヘッドとする。

C. Check

各辺の重み (l, r) に基づき、その辺を通り、出発点から出力頂点までに存在する全ての経路について、任意の経路対が条件 M2 を満たしているかを調べる。

l, r それぞれの意味については上述の通りである。 $l, r > 1$ 、または、一方が1、他方が2以上であれば、条件 M2 を満たす包含関係が成立しないことは明らかである。 l, r が共に1のとき、どちらか一方が上述の(a)であれば、他方に関係なく条件 M2(2) を満たす包含関係が成立する。一方、 l, r が共に(b)の場合、包含関係は成立しない。従って、(1,1)の場合、常に条件 M2 を満たすとは限らない。そこで、このような場合ホールド辺に注目する。(1,1) で条件 M2 を満たさない場合、重み $(0, *)$, $(*, 0)$ ($* > 1$) を持つホールド辺が存在する。何故なら、一方が0であれば、上述のようにそれ以降(以前)の経路は一つであり、必ずそのホールド辺を通る。そのため、他方の値はそれ以上増加することはない。従って、0でない値は部分グラフの中に存在する全ての経路について、他の経路には含まれないホールド辺を含む経路数を意味する。つまり、(1,1)の矛盾も当然この値に現れる。故に、他方

の値が2以上となるホールド辺が必ず存在する。

また、一方が0であるホールド辺に隣接する入射辺、または、出射辺の数が2以上で、かつ、その重み(1,1)が条件M2を満たしている場合においても、このホールド辺の重みは一方が0、他方が2以上となり、このホールド辺を含めた経路を考えたとき、条件M2を満たすような包含関係は成り立たない。

以上のことから、重みの取り得る値について以下に条件CLを示す。全ての重みが条件CLを満たしているときSUCCESSを、そうでなければFAILを返す。

条件 CL

- i) $r(a) \in Z^+$ の場合、(1,1), (*,0), (0,*)($* \geq 0$) のいずれか。
- ii) $r(a) = h$ の場合、(1,1), (1,0), (0,1) のいずれか。

D. Select

各辺の重み (l,r) に基づいて、スキャンレジスタを選択する。選択法は以下の2つのステップから構成される。

Step 1 重み (l,r) について、 l,r が共に2以上の全ての辺に対し、 $lr/c(a)$ が最大である辺を選択する。

Step 2 重み (l,r) について、 l,r のいずれかが1以下である全ての辺に対し、 lr が最小である辺を選択する。ただし、 $lr > 1$ とする。

重み $(l,r)(l,r > 1)$ を持つ辺を選択するという事は、その辺の終点と出力頂点間、出発点とその辺の始点間に存在する全ての辺について、少なくとも、異なるホールド辺を含む経路が l,r 個減少することを意味する。従って、 l,r が大きい辺を選択すると、各辺の重みへの影響が大きい。一方、 l,r のどちらかが1以下になった場合、ホールド辺で、かつ、 lr が小さいものから選択する。重み $(1,r)$ について考えると、条件M2を満たすためには、少なくとも $r \leq 1$ でなければいけない(前述の通り、 $r=1$ は必ずしも条件M2を満たすとは限らない)。 r が大きいということは、それよりも小さい値を持つ辺に比べて、より出発点に近いということの意味する。言い換えれば、値の小さい辺は、出発点とその辺の間に存在する辺により多く関与している。従って、小さい値を持つ辺を選択すればするほど、そのために重みが減少する辺の数が増え、より速く1以下になると期待できる。反対に、大きい値を選択すると、出発点とその辺間に存在する全ての辺に関しては解決するが、それ以下の値を持つ辺は依然として未解決のままである。ホールド辺のみを対象とする理由は、同じ重みを持つロード辺を選択しても、必ずしもホールド辺の重みが解決するとは限らないからである。 $(l,1)$ に対しても同様のことが成り立つ。

また、このとき、出発点に接続するホールド辺を選択するのも一つの解である。しかし、最悪全てのホールド辺が選択されることがある。

Select は、一回の実行でスキャンレジスタを一つ決定する。

E. Redraw

これまでに得られた辺集合 R_M を G_A から取り除き、グラフを再構成する。

F. Load.Select

G_R からホールド辺を取り除いたグラフについて、任意の頂点間に存在する複数の経路それぞれに含まれるロー

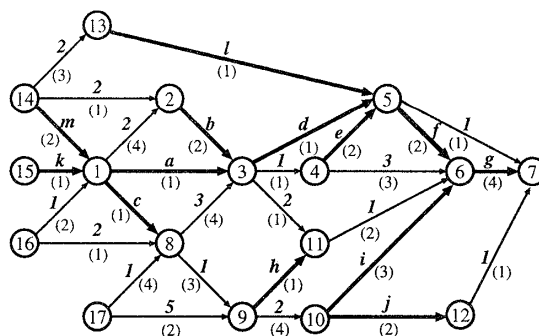


図 5: 無閉路なトポロジーグラフ G_A

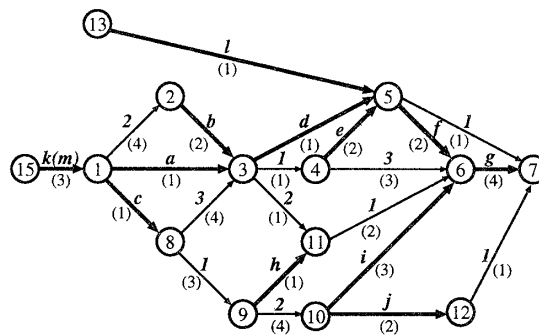


図 6: 変換を行ったトポロジーグラフ G_S

ドレジスタの個数が等しくなるように、オーバーヘッド最小の辺を選択する。

4.3 適用例

以下、MFAS アルゴリズムを用いて得られた無閉路なトポロジーグラフ G_A (図5) に対し、Adjust を適用した際のアルゴリズムの流れを示す。

例 7 図5に示すトポロジーグラフ G を考える(ホールド辺を太線で表す)。ここで、() で表される数字は、その辺をスキャン化する際のオーバーヘッドを示している。

まず、計算の手間を省くため、条件判定に直接関係のない頂点や辺を取り除いてグラフを単純化する。この結果、入力頂点は13,15の2つになる(図6)。

入出力頂点对から作られる全ての部分グラフ (G_1, G_2) について、Adjust を適用する。まず、 G_1, G_2 に対し重みを求め(図7)、Check を実行する。このとき、 G_2 は条件CLを満たしているが G_1 は満たしていない。

G_1 について、手続き Select を実行する。 $l,r > 1$ である重みを持つ辺が存在するため、まず Step 1 で $lr/c(a)$ が最大である辺 $(3,4)(lr/c(a)=6)$ が選択される ($R_M = \{(3,4)\}$)。次に、 R_M を取り除いて元のグラフを再構成(このとき、頂点4も入力頂点となり、別の部分グラフとなる)、重みの再計算を行い、Check を実行する。この時点で全ての辺の重みのいずれかが1以下になる(図8)。従って、Select の Step 2 が実行される。まず出力側に一番近く、かつ、重み $r > 1$ である最初の辺を選択する。このとき、選択した辺は、その辺を含む全ての経路に存在する辺について、 lr は最小である。また、同じ重みを持つ辺が複数存在すれば、オーバーヘッド最小を選択する。この例では、 $r((1,3)) = a(c(a) < c(b))$ が選択される ($R_M = \{(3,4), (1,3)\}$)。

同様に処理を続けると、次に辺 $(1,8)$ が選ばれ、この時点で全ての重みが条件CLを満たす。従って、求める辺集合は $R_M = \{(3,4), (1,3), (1,8)\}$ となり、オーバーヘッ

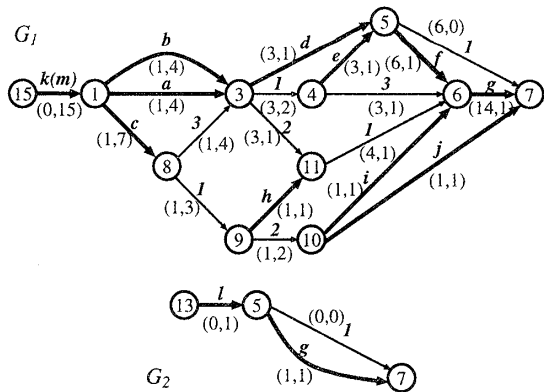


図 7: G_S の任意の部分グラフ

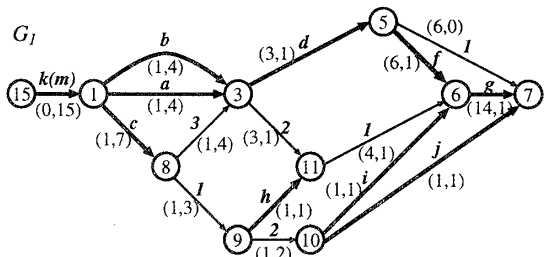


図 8: Select の Step 1 を終えた時の部分グラフ G_P

ドは3となる。このとき、 R_M を取り除いて得られるトポロジーグラフを図9に示す。この同じグラフに対して、条件M1を核回路とすると、更に選択が必要で、オーバーヘッドは5となる。従って、条件M2は条件M1より少ないオーバーヘッドで実現可能であると言える。□

上記で示したアルゴリズムを用いる際、入出力頂点对をどの順序で選ぶかも重要である。ここでは、元のグラフに存在するホールドレジスタ数に対し、部分グラフに含まれるホールド辺数の一番多いものから選択する。その結果、一番最初に異なるホールド辺を含む経路に重複して現れる辺が選択されることになり、早い段階で条件を満たす可能性が高くなる。

4.4 時間計算量

このアルゴリズム Adjust で実行される全ての手続きに要する計算量は、各辺をそれぞれ一度ずつ調べるだけで良いため $O(m)$ である ($m = |A|$)。また、Adjust 実行前にグラフを変更する(簡単化)ことで各辺を調べるための計算量が削減可能である。このアルゴリズムの計算量は Adjust が実行される回数に依存する。入出力頂点对に対して部分グラフを構成し、その全ての部分グラフに対して Adjust を実行するので、その計算量としては $O(n^2)$ となる。従って、全体の計算量は $O(n^2)$ となる ($n = |V|$)。

5 まとめ

本稿では、ホールド機能を考慮した順序回路のテスト容易化設計法を紹介した。無閉路順序回路のテスト生成は、全ての極大展開モデルに対して行えば十分である。そのため、極大展開モデルが唯一となる(最大展開モデルを持つ)順序回路に対しては、その最大展開モデルに対してのみ組合せテスト生成を行うことで無閉路順序回路のテスト生成が可能である。そこで、最大展開モデルが

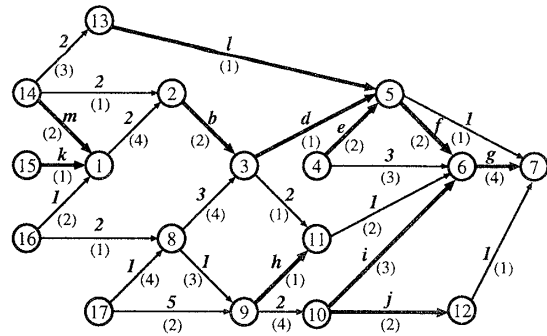


図 9: 核回路のトポロジーグラフ G_M

存在するクラスについて、既に提案されている条件を緩和し、その条件を真に包含するより広いクラスを提案した。更に、一般の順序回路から最大展開モデルを有する無閉路順序回路に変更する部分スキャン設計法について、スキャンハードウェアオーバーヘッドを最小にするスキャンレジスタ選択問題を定式化し、その問題を解くヒューリスティックアルゴリズムを提案した。これにより、部分スキャン設計におけるスキャンハードウェアオーバーヘッドは、既に提案されているホールドレジスタを有する順序回路に比べ、より小さく実現可能である。

今後の課題として、実験によるアルゴリズムの評価、最大展開モデルが存在する無閉路順序回路の十分条件の更なる緩和、それに基づく部分スキャン設計法の提案などが挙げられる。

謝辞

本研究に際し、多くの貴重な意見を頂いた本学の増澤利光助教授、井上美智子助手らに情報論理学講座の諸氏に深く感謝します。本研究は一部、文部省科学技術研究費補助金・奨励研究(A)(課題番号09780280)の研究助成による。

参考文献

- [1] H. Fujiwara, *Logic Testing and Design for Testability*, The MIT Press, 1985.
- [2] M. Abramovici, M.A. Breuer, and A.D. Friedman, *Digital Systems Testing and Testable Design*, Computer Science Press, 1990.
- [3] K.-T. Cheng and V.D. Agrawal, "A partial scan method for sequential circuits with feedback," *IEEE Trans. Comput.*, Vol.39, No.4, pp.544-548, Apr. 1990.
- [4] D.H. Lee and S.M. Reddy, "On determining scan flip-flops in partial-scan design approach," *Proc. Int. Conf. Computer-Aided Design*, pp.322-325, Nov. 1990.
- [5] R. Gupta, R. Gupta, and M.A. Breuer, "The BALLAST methodology for structured partial scan design," *IEEE Trans. Comput.*, Vol.39, No.4, pp.538-544, Apr. 1990.
- [6] 藤原秀雄, 大竹哲史, 高崎智也, "組合せテスト生成複雑度でテスト生成可能な順序回路構造とその応用" 電子情報通信学会論文誌(DI), Vol. J80-D-I, No. 2, pp.155-163, Feb.1997.
- [7] R. Gupta and M.A. Breuer, "Testability properties of acyclic structures and applications to partial scan design," *Proc. IEEE VLSI Test Symp.*, pp.49-54, 1992.
- [8] T.Inoue, T.Hosokawa, T.Mihara and H.Fujiwara, "An Optimal Time Expansion Model Based on Combinational ATPG for TR Level Circuits," *IEEE Asian Test Symp.*, Vol.39, No.4, pp.190-197, Apr. 1998.
- [9] 三原隆宏, 井上智生, 藤原秀雄, "L/H型レジスタを考慮した組合せATPGに基づくRTレベル部分スキャン設計法," 信学技報, FTS96-67, pp.73-80, Feb.1997.