

## 論理最適化手法を用いた消費電力の低減化手法

上田祐彰<sup>†</sup> 樹下行三<sup>††</sup><sup>†</sup> 広島市立大学 情報科学部 知能情報システム工学科  
〒731-31 広島市安佐南区沼田町大塚151-5<sup>††</sup> 大阪大学大学院 工学研究科 応用物理学専攻  
〒565 吹田市山田丘2-1

あらまし 論理最適化手法であるトランスダクション法を応用して論理回路の平均消費電力を低減化する手法を提案する。提案手法は、平均消費電力が低減するなら、リテラル数、トランジスタ数が減少しない場合でも回路変換を実行するため、通常の論理最適化以上の電力削減が期待できる。また、消費電力低減化の可能性のある部分回路を抽出し、抽出された部分回路に対して消費電力低減化手法を適用することにより、大規模回路に対する適用を可能にした。部分回路の抽出法には、共通な遷移的入力を持ったゲートをより多く抽出するためのファンアウト指向抽出法と、各信号線を中心に一定規模の部分回路を抽出する距離指向抽出法の2手法について考察し、実験結果を提示する。

キーワード 論理最適化, トランスダクション法, 消費電力, 信号値遷移確率, 部分回路抽出

## Power Reduction Method by Logic Optimization Techniques

Hiroaki Ueda<sup>†</sup> and Kozo Kinoshita<sup>††</sup><sup>†</sup>Dept. of Intelligent Systems, Faculty of Information Sciences, Hiroshima City University  
151-5 Ozuka, Numata-cho Asaminami-ku Hiroshima 731-31 Japan<sup>††</sup>Dept. of Applied Physics, Faculty of Engineering, Osaka University  
2-1 Yamadaoka, Suita, Osaka, 565 Japan

## Abstract

This paper presents a power reduction method which reduces the average power dissipation using transduction method. The method transforms the circuit into a circuit whose power dissipation is lower than that of original, even if the number of literals or transistors may be increased due to the transformation. Thus, it is expected that power reduction capability of this method is very high. Next, we apply the power reduction method for large circuits by sub-circuit extraction. Two extraction methods are described. The one is fanout-oriented extraction and the other is distance-oriented extraction that . For both methods, experimental results for benchmark circuits are also reported.

key words Logic Optimization, Transduction Method, Power Dissipation, Transition Probability, Sub-circuit Extraction

## 1. まえがき

集積回路の高速化，高集積化に伴い，ICチップ内で消費される電力が増加してきている．チップのパッケージングコストの低減，携帯用アプリケーションのバッテリーの負荷を低減するため，集積回路内で消費される電力を評価し<sup>[1]-[5]</sup>，これを利用して消費電力の小さな論理回路を設計するための研究がなされてきている<sup>[6]-[10]</sup>．本論文は多段論理最適化手法を用いてCMOS論理回路の平均消費電力を低減化する手法について論じたものである．

完全相補形CMOSで構成される論理回路では，ゲート出力が変化する際に $V_{dd}$ からGND間を流れる貫通電流およびゲートの負荷容量に対する充放電電流などによる動的な消費電力が，論理回路内で消費される電力の大半を占める．このため，論理回路内で消費される平均的な電力は平均的なゲートの動作回数すなわち信号値遷移確率を利用して見積もり<sup>[1]-[5]</sup>，論理回路の低消費電力設計では”ゲート出力の信号値遷移確率とゲートの負荷容量との積の総和”が目的関数として用いられている<sup>[6]-[9]</sup>．本論文においても，信号値遷移確率を論理回路における平均消費電力のパラメータとして用い，”ゲート出力の信号値遷移確率とゲートの負荷容量との積の総和”を目的関数とした論理回路の設計手法について考察する．

消費電力を考慮した回路設計手法には，テクノロジマッピング手法<sup>[6],[7]</sup>，多段論理最適化手法<sup>[8]</sup>，前計算法<sup>[9]</sup>，順序回路の状態割当手法<sup>[10]</sup>などが提案されている．Prasadらが提案した多段論理最適化手法<sup>[8]</sup>はweak-divisionアルゴリズムを用いて平均消費電力の低減化を試みているが，内部信号線のドントケア状態を利用した信号値遷移確率の低減化処理が行われておらず，また，大規模回路に対する適用もなされていない．本論文では，トランスダクション法<sup>[11]-[13]</sup>で用いられる許容関数集合を利用して信号値遷移確率の低減化を試みる．また，大規模回路に対しても適用可能にするため，論理回路から部分回路を抽出し，抽出された部分回路各々に対して平均消費電力の低減化手法を適用する手法についても考察する．

本論文は次のように構成されている．次の第2章では，消費電力の評価モデルについて述べる．第3章では，信号値遷移確率の評価手法について述べる．第4章では，トランスダクション法を利

用した小規模回路に対する平均消費電力の低減化手法について述べ，実験結果を提示する．第5章では，部分回路抽出による平均消費電力の低減化手法の大規模回路への拡張について述べる．

## 2. 消費電力の評価モデル

完全相補形CMOSゲートでは，ゲートの出力値が0から1または1から0の遷移する際に生じる貫通電流，ゲートの負荷容量に対する充放電電流などによって電力が消費される．論理回路が定常状態にあるときも，静的電流によって電力が消費されるが，スイッチ動作により生ずる動的な電力消費に比べると無視できる．従って，CMOSゲート $g$ に対する平均的な消費電力 $P_g$ は(1)式で近似的に与えられている<sup>[1]-[9]</sup>．

$$P_g = 0.5 \cdot f \cdot V_{dd}^2 \cdot C_g \cdot T_g \quad (1)$$

ここで， $f$ は動作周波数， $V_{dd}$ は電源電圧， $C_g$ はゲート $g$ の負荷容量である． $T_g$ はゲートの出力値が遷移する確率（信号値遷移確率）で，(2)式で定義される．

$$T_g = \lim_{t \rightarrow \infty} (N_g(t) / t) \quad (2)$$

ここで， $N_g(t)$ は回路を起動させてから外部入力を $t$ 回印加したときにゲート $g$ の出力値が0から1または1から0に遷移した回数である．回路の動作条件が一定であるとすると， $f$ ， $V_{dd}$ は一定とみなせるので，(1)式より，回路全体での平均消費電力 $P_{all}$ は(3)式で近似できる．

$$P_{all} = 0.5 \cdot f \cdot V_{dd}^2 \cdot \sum_{g \in M} (C_g \cdot T_g) \quad (3)$$

ここで， $M$ は論理回路内のゲートの集合である．さらに，ゲートの負荷容量はそのファンアウト数 $FO_g$ に比例すると仮定し，その比例定数を $C_0$ とすると，(3)式は(4)式に書き直すことができる．

$$P_{all} = 0.5 \cdot f \cdot V_{dd}^2 \cdot C_0 \cdot \sum_{g \in M} (FO_g \cdot T_g) \quad (4)$$

(4)式より，CMOS論理回路の平均消費電力の評価問題は，ゲート出力の信号値遷移確率の評価問題として捉えることができ，平均消費電力は $\sum (FO_g \cdot T_g)$ に比例することがわかる．従って以下では，(5)式で定義される $\Phi$ を平均消費電力削減のための目的関数として使用する．

$$\Phi = \sum_{g \in M} (F O_g \cdot T_g) \quad (5)$$

回路内部の信号線の信号値遷移確率を求めるには、外部入力の信号値遷移確率が既知である必要がある。本論文では、外部入力に対して以下のことを仮定して信号値遷移確率を評価する。

- 1) 外部入力は互いに独立である。
- 2) 各外部入力に対し、信号値遷移確率と信号確率（信号値が1になる確率）が与えられている。

### 3. 信号値遷移確率の評価

これまでに報告されている信号値遷移確率の評価法は論理シミュレーションによる手法と確率計算による手法に分類することができる。論理シミュレーションによる手法<sup>15)</sup>は大規模回路に対しても容易に適用可能であるが、回路変換によって内部信号線の論理関数が変化したとき、関数の変化した内部信号線の信号値遷移確率のみを再計算することができない。一方、確率計算による手法<sup>11,14)</sup>は、論理関数の変化した内部信号線の信号値遷移確率のみを再計算することができるものの、大規模回路に対する適用は困難である。

本論文で提案する信号値遷移確率の低減化手法では回路変換を繰り返す行うため、論理関数の変化した内部信号線の信号値遷移確率の再計算が頻繁に行われる。従って、小規模回路については、確率計算による手法を用いて内部信号線の信号値遷移確率を計算する。

確率計算による信号値遷移確率の評価法では、計算コストが遅延モデルに大きく依存する。遅延により生じるグリッチを考慮すると、信号値遷移確率をより正確に計算することができるが、多くの計算時間、記憶容量が必要とされる。文献[2]では、グリッチを考慮した場合の平均消費電力は、多くの回路で、ゼロ遅延モデルを仮定した場合の約1.2倍になることが示されている。本論文では、ゼロ遅延モデルでの平均消費電力は遅延を考慮したときの平均消費電力にほぼ比例すると仮定し、ゼロ遅延モデルを仮定して計算された信号値遷移確率を用いて $\Phi$ を計算する。信号値遷移確率の計算には、BDD traversal method<sup>11,14)</sup>を用いる。

ゲート  $g$  の信号値遷移確率は、時刻  $t$  でのゲート出力値と時刻  $t+1$  でのゲート出力値が異なる確率である。従って、時刻  $t$  及び  $t+1$  における

$g$  の論理関数  $F_g(t)$  と  $F_g(t+1)$  の排他的論理和を表わす関数  $H_g$  の値が1になる確率が  $g$  の信号値遷移確率となる。BDD traversal methodは、 $H_g$  をBDDにより表現し、BDDのルートから終端ノード1までの各パスを通る確率の総和を計算することにより、 $H_g$  が1になる確率を計算する手法である。各パスを通る確率は、外部入力の信号値遷移確率を用いて計算される。

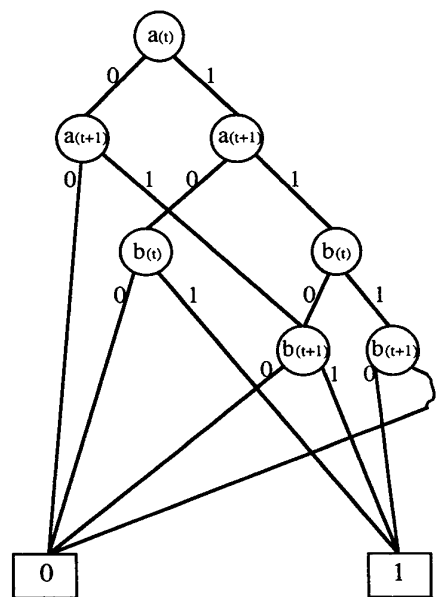


図1.  $H_g = F_g(t) \oplus F_g(t+1)$  を表わすBDD

例えば、出力信号線の関数が  $F_g = a \wedge b$  であるゲート出力  $g$  の信号値遷移確率  $T_g$  は、関数  $H_g = F_g(t) \oplus F_g(t+1)$  を表わすBDD (図1) を用いて計算される。ルートから終端ノード1までのパスは  $(a(t), a(t+1), b(t), b(t+1)) = \{(1, 0, 1, -), (0, 1, -, 1), (1, 1, 0, 1), (1, 1, 1, 0)\}$  である。ここで、-はドントケアを表わしている。パス  $(1, 0, 1, -)$  を通る確率  $P(0, 1, -, 1)$  は、 $a, b$  の信号値遷移確率から (6) 式により計算される。

$$P(0, 1, -, 1) = P^{0 \rightarrow 1}(a) \cdot (P^{0 \rightarrow 1}(b) + P^{1 \rightarrow 1}(b)) \quad (6)$$

$P^{i \rightarrow j}(x)$  は、外部入力  $x$  が  $i$  から  $j$  へ遷移する確率である。残りのパスについても同様の計算を行い、その総和が  $T_g$  となる。

大規模回路では、乗算器のように全ての内部信号線の論理関数をBDDを用いて表現することが困難な回路が存在する。従って、大規模回路に対す

る信号値遷移確率の評価には、論理シミュレーションによる手法を利用する。本論文で提案する大規模回路に対する消費電力低減化手法では、部分回路の抽出、及び部分回路の出力信号線の論理関数に変化しない範囲内の回路変換が繰り返される。回路変換によって信号値遷移確率が変化する信号線は部分回路内部の信号線のみであるから、信号値遷移確率の再計算は部分回路内部の信号線に対してのみ行えばよい。提案手法では、始めに論理シミュレーションを用いて信号値遷移確率を計算する。部分回路に対する回路変換によって部分回路内部の論理関数に変化したときは、部分回路のみを対象にBDD traversal methodを適用し、回路変換によって変化した信号値遷移確率のみを再計算する。

#### 4. トランスダクション法による平均消費電力の低減化手法

##### 4. 1 アルゴリズム

多段論理最適化手法の一つであるトランスダクション法で用いられる許容関数を利用した信号値遷移確率の低減化手法について述べる。ゲート  $g$  における論理関数  $F_g$  を他の論理関数  $H_g$  に置き換えても回路内のどの出力関数も変化しないとき、 $H_g$  はゲート  $g$  の許容関数、 $g$  に対する許容関数の集合は  $g$  の許容関数集合と呼ばれる。例えば、図2 (a) に示す信号線  $L$  の論理関数を  $a \wedge b$  に置き換えても外部出力関数は変化しないため、 $a \wedge b$  は信号線  $L$  の許容関数になっており、図2 (a) は図2 (b) に示す回路に変換することが可能である。トランスダクション法は、許容関数集合を用いて出力関数に変化しない回路変換を見つけ、

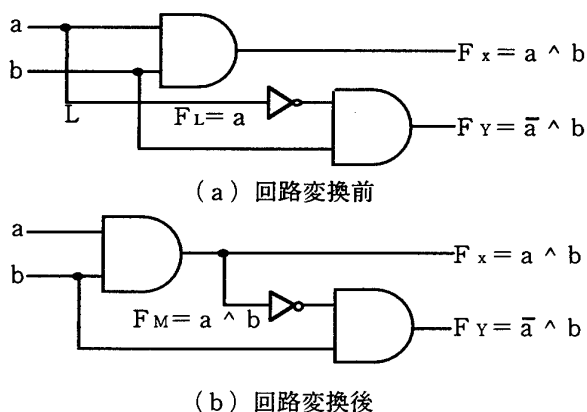


図2. 許容関数と回路変換

リテラル数が減少する回路変換を繰り返すことによって回路を単純化する手法である。図2 (a) から図2 (b) への回路変換は、リテラル数が減少しないため、通常のトランスダクション法ではこのような回路変換は行われない。一方提案手法では、リテラル数が減少しなくても  $\Phi$  が減少すれば回路変換が実行される。従って、図2 (b) に示す回路の  $\Phi$  が図2 (a) の  $\Phi$  より小さければ、この回路変換は実行される。

トランスダクション法と同様、本手法は  $\Phi$  を削減させる回路変換が存在しなくなるまで、回路変換を繰り返し実行する。  $\Phi$  を削減させる回路変換は複数個存在するが、最も  $\Phi$  を小さくさせる回路変換から順に実行する。回路変換では、回路の最大段数が増加しない範囲で冗長部分の削除、接続の追加及び削除のいずれかを実行する。提案手法のアルゴリズムを以下に示す。

[平均消費電力削減アルゴリズム]

- Step 1: 全ゲート出力に対する論理関数を求める。
- Step 2: 信号値遷移確率、 $\Phi$  を計算する。
- Step 3: ド・モルガンの法則を用いて  $\Phi$  を削減する。
- Step 4: 全信号線に対して許容関数集合を求める。
- Step 5: 許容関数を用いて、全ての回路変換候補をリストアップする。
- Step 6:  $\Phi$  を減少させる回路変換がなければ終了する。
- Step 7:  $\Phi$  の減少が最も大きな回路変換を実行し、信号値遷移確率、 $\Phi$ 、許容関数集合を再計算し、Step 5 へ戻る。

許容関数集合には、少ない計算時間で強力な単純化能力が期待できる pseudo-MSPF<sup>[12]</sup> を使用し、3値BDD<sup>[13]</sup> を用いて許容関数を表現する。

##### 4. 2 実験結果

本手法をワークステーション上に実装し、ISCAS'89ベンチマーク回路<sup>[15]</sup>の組合せ回路部分に対する実験を行った。表1は回路変換前、変換後の  $\Phi$ 、トランジスタ数、回路変換が実行された回数、CPU時間をまとめたものである。括弧内の数字は回路変換前と変換後のトランジスタ数、 $\Phi$  の比をそれぞれ表わしている。外部入力の信号値遷移確率、信号確率は共に0.5として実験を行っている。いずれの回路でも、 $\Phi$  の削減率がトランジスタの削減率を上回っており、提案

表 1. トランスダクション法を利用した $\Phi$ の削減

回路名	回路変換前		回路変換後			
	$\Phi$	トランジスタ数	$\Phi$	トランジスタ数	変換回数	CPU(s)
s208	54.97	374	47.63 (86.6)	364 (97.3)	20	1982
s298	133.20	582	85.70 (64.3)	384 (65.8)	45	391
s349	135.98	654	100.22 (73.7)	526 (80.4)	50	4411
s382	155.34	682	108.85 (70.1)	498 (73.0)	48	1945
s386	168.20	930	72.72 (43.2)	614 (66.0)	140	3616
s444	165.26	758	104.34 (63.1)	548 (72.3)	84	5412
s510	166.44	974	125.34 (75.3)	928 (95.2)	104	5520
s526	229.38	1058	112.09 (48.9)	676 (63.8)	124	5977
s832	372.85	1822	138.47 (37.1)	1146 (62.9)	265	27542

手法の平均消費電力削減能力が高いことが示されている。しかし、非常に多くの計算時間が必要となっており、大規模回路に対する適用は困難である。次章では、この問題に対する解決策について考察する。

## 5. 大規模回路に対する拡張

### 5. 1 アルゴリズム

4章で述べた手法は、非常に多くの計算時間、記憶容量が必要となるため、大規模回路に対して適用することができない。大規模回路に対しても適用可能にするため、本論文では、回路変換が可能な部分回路を抽出し、部分回路毎に平均消費電力削減手法を適用することによって回路全体の $\Phi$ を削減する手法について考察する。部分回路の抽出方法としては、距離指向抽出法、ファンアウト指向抽出法の2手法について考察する。

#### 1) 距離指向抽出法

部分回路として抽出されていない信号線 $L$ を1本選択し、 $L$ 及び、 $L$ のファンイン集合、ファンアウト集合を $S$ とする。 $S$ 内にある信号線の中で、ファンイン(ファンアウト)集合が $S$ に含まれていない信号線を選択し、そのファンイン(ファンアウト)集合を $S$ に付け加える。新たに加えられた信号線がファンアウトシステム(多入力ゲートの出力信号線)であればその全てのファンアウトブランチ(ゲート入力)を $S$ に加える。この操作を $S$ 内の信号線の中でファンイン集合が $S$ に含まれていない信号線数が制限値を超えるまで

繰り返し行う。最終的に $S$ に含まれる信号線が部分回路として抽出され、その入力ファンイン集合が $S$ に含まれていない信号線、出力ファンアウト集合が $S$ に含まれていない信号線となる。この部分回路に対して平均消費電力削減手法が実行される。

部分回路の抽出、平均消費電力の削減処理は、部分回路として抽出されたことのない信号線がなくなるまで繰り返される。また、抽出される部分回路の入力信号線が20本を超えると、平均消費電力の削減処理に要する計算時間が非常に大きくなるため、部分回路の入力信号線数は20本以下としている。

#### 2) ファンアウト指向抽出法

”共通な遷移的入力がない部分回路間では回路間をまたがった論理最適化は実行されない”という性質<sup>[9]</sup>を利用して、抽出される部分回路の入力信号線となるべき候補を選び、その遷移的ファンアウト集合を部分回路として抽出する手法である。部分回路の抽出手順を以下に示す。

##### [ファンアウト指向抽出]

- Step 1: 回路内の分岐・再取れん構造を持たない部分をグループ化する。
- Step 2: 抽出されたことのない分岐・再取れん構造を持たない回路部分を分岐先として持つファンアウトシステムの集合を $S$ とする。
- Step 3:  $S$ 内にある信号線の中で、ファンアウト集合が $S$ に含まれていない信号線を選択し、その

表2. 部分回路抽出による $\Phi$ の削減

回路名	距離指向抽出法				ファンアウト指向抽出法			
	$\Phi$	トランジスタ数	変換回数	CPU(s)	$\Phi$	トランジスタ数	変換回数	CPU(s)
c880	276.77 (82.8)	1414 (78.4)	31	358	275.86 (82.5)	1400 (77.7)	27	255
c1355	380.10 (88.6)	2102 (91.1)	108	84	380.37 (88.6)	2100 (91.0)	2	284
c1908	399.35 (56.0)	2078 (60.6)	84	333	397.54 (55.8)	2064 (60.2)	81	414
c2670	646.21 (57.8)	2854 (53.2)	173	1461	670.90 (60.0)	3032 (56.5)	185	2566
c3540	745.37 (56.2)	4426 (59.0)	320	2650	755.78 (57.0)	4450 (59.3)	279	5365
c5315	1479.87 (60.9)	6768 (60.1)	467	5453	1483.42 (61.0)	6758 (60.0)	467	2834
c6288	2049.98 (97.8)	9954 (98.4)	124	1410	2049.93 (97.8)	9972 (98.6)	159	29456
c7552	1843.15 (55.8)	8782 (57.0)	1003	14187	1880.63 (56.9)	9006 (58.5)	929	7621

ファンアウト集合をSに付け加える。新たに  
加えられた信号線が多入力ゲートの出力であ  
ればその全てのゲート入力をSに加える。S  
内の信号線の中でファンイン集合がSに含ま  
れていない信号線数が制限値を超えるまでこ  
の作業を繰り返す。

Step 2において、選択された分岐・再取れん構  
造を持たない回路部分のファンイン数が20本を  
超えるときは、選択された回路部分をファンイン  
数が等しくなるように分割し、その各々について  
部分回路抽出を実行する。ファンアウト指向抽出  
法においても、抽出する部分回路の入力信号線は  
20本以下としている。

## 5. 2 実験結果

ISCAS'85ベンチマーク回路<sup>[17]</sup>に対する実験結果  
を表2にまとめる。外部入力の信号値遷移確率、  
信号確率は共に0.5として実験を行っている。  
距離指向抽出法、ファンアウト指向抽出法いずれ  
の場合も、 $\Phi$ 、トランジスタ数の削減率がほぼ等  
しくなっている。これは、抽出された部分回路に  
対して平均消費電力削減手法を適用したとき、冗  
長信号線の削除や同一関数をもつ信号線の併合な  
ど、ゲートの削除を伴った回路変換による影響が  
大きいと考えられる。しかし、半数以上の回  
路において、 $\Phi$ の削減率がトランジスタ数の削減  
率を上回る結果となっている。

## 6. まとめ

トランスダクション法を応用し、平均消費電力  
のパラメータとなる信号値遷移確率の総和 $\Phi$ を削  
減する手法について考察した。提案手法をベンチ  
マーク回路に対して適用した結果、小規模回路で  
は $\Phi$ の削減率がトランジスタ数の削減率を上回る  
結果が得られ、提案手法の平均消費電力削減能力  
が高いことが示された。部分回路抽出による大規  
模回路への適用では、 $\Phi$ の削減率はトランジスタ  
数の削減率とほぼ同程度であり、提案手法の有用  
性を明示的に表わすことができなかった。このた  
め、ゲートの併合やBoolean divisionによる共通  
部分論理のくり出し等、本論文では扱わなかつ  
た回路変換操作を実装し、平均消費電力の削減能  
力を高める必要がある。また、順序回路への拡張  
も今後の課題として挙げられる。

## 参考文献

- [1] F. Najm, "Transition Density, A Stochastic Measure of Activity in Digital Circuits", Proceedings of 28th Design Automation Conference, pp. 644-649 (1991).
- [2] A. Ghosh, S. Devadas, K. Keutzer and J. White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits", Proceedings of 29th Design Automation Conference, pp. 253-259 (1992).
- [3] C. Y. Tsui, M. Pedram, A. M. Despain, "Efficient Estimation of Dynamic Power Consumption under a Real Delay Model", Proceedings of ICCAD, pp. 224-228 (1993)

- [4] A. Shen, A. Ghosh, S. Devadas, K. Keutzer, "On Average Power Dissipation and Random Pattern Testability of CMOS Combinational Networks," Proceedings of ICCAD, pp. 402-407 (1992)
- [5] R. Burch, F. N. Najm, P. Yang and T. N. Trick, "A Monte Carlo approach for power estimation," IEEE Trans. VLSI Systems, Vol. 1, No. 1, pp. 63-71 (1993)
- [6] F. Dresig, P. Lanches, O. Rettig, U. G. Baitinger: "Simulation and Reduction of CMOS Power Dissipation at Logic Level", Proceedings of EURO-DAC pp. 341-346 (1993)
- [7] C. Y. Tsui, M. Pedram, A. M. Despain: "Technology Decomposition and Mapping Targeting Low Power Dissipation", Proceedings of 30th Design Automation Conference, pp. 68-73 (1993)
- [8] S. C. Prasad and K. Roy: "Circuit Activity Driven Multilevel Logic Optimization for Low Power Reliable Operation", Proceedings of EDAC pp. 368-372 (1993)
- [9] M. Alidina, J. Monteiro, S. Devadas, A. Ghosh and M. Papaefthymiou, "Precomputation-Based Sequential Logic Optimization for Low power," IEEE Trans. VLSI Systems, Vol. 2, No. 4, pp. 426-436 (1994)
- [10] K. Roy and S. C. Prasad: "SYCLOP: Synthesis of CMOS Logic for Low Power Applications", Proceedings of ICCD, pp. 464-467 (1992)
- [11] S. Muroga, Y. Kambayashi, H. C. Lai and J. N. Culliney, "The transduction method - Design of logic networks based on permissible functions," IEEE Trans. Comput., Vol. C-38, No. 10, pp. 1404-1424 (1989)
- [12] M. Higashida, J. Ishikawa, M. Hiramane, K. Nomura, H. Kumagai, Y. Kazuma, S. Murai: "Multi-level Logic Optimization Based on Pseudo Maximum Sets of Permissible Function", Proceedings of EDAC pp. 386-391(1993)
- [13] 松永裕介, 藤田昌宏, "順序付き2分決定グラフと許容関数を用いた多段論理回路簡単化手法," 信学論, A, Vol. J74-A, No. 2, pp. 196-205 (1991)
- [14] R. E. Bryant: "Graph-based Algorithms for Boolean Function Manipulation", IEEE Trans. on Computer, Vol. C-35, No.8, pp. 677-691 (1986)
- [15] F. Brglez, D. Bryan, K. Kozminski: "Combinational Profiles of Sequential Benchmark Circuits", ISCAS'89, May (1989).
- [16] 中村祐一, "論理分割を使った大規模回路最適化の一手法", 信学技法, FTS94-64, pp. 49-54 (1994)
- [17] F. Brglez and H. Fujiwara: "A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in Fortran", ISCAS'85: Special Session on ATPG and Fault Simulation (1985)