

閉塞網を用いたバンクベース多ポートメモリの構成と回路規模評価

井上 智宏[†] 弘中 哲夫[†] 佐々木敬泰^{††} 小出 哲士^{†††}マタウッシュュハンス ユルゲン^{†††}[†] 広島市立大学 大学院 情報科学研究科 〒731-3194 広島県広島市安佐南区大塚東3-4-1^{††} 三重大学 工学部 情報工学科 〒514-8507 三重県津市上浜町1515^{†††} 広島大学 ナノデバイス・システム研究センター 〒739-8527 広島県東広島市鏡山1-4-2

E-mail: †inoue@csys.ce.hiroshima-cu.ac.jp

あらまし メモリのアクセスバンド幅の向上のために多バンク型多ポートメモリが用いられることがある。一般的にこの手法ではプロセッサとバンクメモリ間の結合にクロスバが用いられる。しかしながら、ポート数、バンク数が大きくなるとクロスバ部分のチップ面積が増大し、大きなポート数を持つメモリが実現できない問題がある。そこで、本稿ではプロセッサとバンクメモリ間の結合に閉塞網を用いた多バンク型多ポートメモリを提案する。トランジスタ数による評価の結果、提案手法は従来手法の10%～20%程度のトランジスタ数で実現できることがわかった。

キーワード 多ポートメモリ, 多バンクメモリ, 閉塞網

Construction and Evaluation of Bank-based Multi-port Memory
using Blocking NetworkTomohiro INOUE[†], Tetsuo HIRONAKA[†], Takahiro SASAKI^{††}, Tetsushi KOIDE^{†††}, andHans Jürgen MATTAUSCH^{†††}[†] Graduate School of Information Sciences, Hiroshima City University

3-4-1 Ozuka-Higashi, Asaminami-ku, Hiroshima City, 731-3194 Japan

^{††} Department of Information Engineering, Faculty of Engineering, Mie University

1515 Kamihama-cho, Tsu-shi, Mie, 514-8507 Japan

^{†††} Research Center for Nanodevices and Systems, Hiroshima University

1-4-2 Kagamiyama, Higashi-Hiroshima, 739-8527 Japan

E-mail: †inoue@csys.ce.hiroshima-cu.ac.jp

Abstract Using bank-based multi-ports memory is one of the methods to achieve high memory access band width. It is common to use crossbar network which is based on non-blocking network for combination between the processors and a memory in the conventional bank-based multi-ports memory system. However, there is a problem that the chip area of crossbar network becomes extremely large to increase the number of ports and banks. This report propose a compact bank-based multi-ports memory with blocking network. According to the evaluation results, the proposal method succeeded in reducing number of transistors to 10% ~ 20% from the conventional method.

Key words Multi-port memory, Multi-bank memory, Blocking network

1. はじめに

近年の半導体製造技術の進歩に伴い、一つのLSIチップ上に大規模なシステムを構築するシステムオンチップ技術を用いたシステムの実現が可能となってきた。システムオン

チップ技術を用いた1チップシステムでは様々な構成要素を効率的に無駄なく実装することが重要である。しかしながら、このようなシステムで考えられる問題点として、データ処理を行うCPUなどの性能向上に対してデータを供給・記憶するメモリの性能(アクセスバンド幅)の向上が伴っていない、すなわ

ち、メモリボトルネックの問題がある。メモリのアクセスバンド幅を確保する従来手法として、メモリの多ポート化や多バンク化を行い、同時に複数のメモリアクセスを可能にする手法がある。

その例として 1) 多重化アーキテクチャ、2) N ポートメモリセルアーキテクチャ、3) 多バンクメモリアーキテクチャなどが提案されている。しかし、これらの手法はポート数、バンク数の増加に伴い急速にチップ面積が増加するため、1チップという条件の下で今後要求されるであろうポート数の増加に対応することが困難になる問題がある。

システムオンチップ技術を用いシステムの性能を向上するためには、メモリの高いアクセスバンド幅と小面積というトレードオフをより高い次元で両立する必要がある。そこで本稿では、非閉塞網よりハードウェア量の少ない閉塞網を用いることを試みた。また、閉塞網は非閉塞網と比較して網内部で多くのアクセス衝突が発生し性能が低下する可能性があるが、EBSF [1] とよばれる手法を用いることでこの問題を低減することを試みた。本稿では、前述の閉塞網をポートとメモリ間を接続する相互結合網として用いたメモリを提案し、その詳細回路検討、従来手法のメモリとの回路規模比較について示す。本稿で行った評価によると、同一アクセス衝突確率でトランジスタ数を比較した場合、従来方式の Crossbar 方式、HMA 方式と比較して少ないトランジスタ数で回路を実現できることがわかった。例えば、64 ポートでアクセス衝突確率が 10% 以下となる 1024 バンクの場合、約 2.5% のアクセス衝突確率の違いでトランジスタ数を従来の Crossbar を用いた多バンク型多ポートメモリの 10%、Crossbar を用いた方式の改良である HMA と呼ばれる多バンク型多ポートメモリの 20% で実現できることがわかった。また、本方式はポート数に対するトランジスタ数の変化が従来方式と比較して少ないためポート数、バンク数が大きい場合に有効であることを示した。

2. 関連研究

2.1 多バンク型多ポートメモリ

この手法は複数のバンクと呼ばれる 1 ポートメモリと I/O ポート間をクロスバ等の相互結合網で接続してポート数を大きくし、メモリのバンド幅を高める手法である。図 1(a) にクロスバスイッチを用いた多バンクメモリアーキテクチャの構成図を示す。N ポートメモリセルアーキテクチャのように個々のメモリセルを N ポート化しないため比較的小面積で多ポートメモリを実現できる。

しかし、各 I/O ポートからそれぞれ異なったバンクへアクセスすることは可能だが、同一のバンクへアクセスするとバンクアクセス競合が発生する。バンクアクセス競合の発生を抑えるためには、バンク数を増加することでアクセスされるバンクを分散すれば良い。しかしながら、単純にバンク数を増加させると、大きな配線容量を持つクロスバとバンクメモリを接続する配線を駆動するために、クロスバのクロスポイントを駆動力の大きなトランジスタで構成する必要があり、多くのバンク数を小面積で実現することは困難である。

2.2 多バンク型多ポートメモリの効率的な実現手法

多バンク型多ポートメモリをより小面積で実現する手法とし

て、階層構造型マルチ・ポート・メモリ・アーキテクチャ (Hierarchical Multi-port memory Architecture; HMA) [2], [3] がある。図 1(b) に HMA の構成を示す。HMA の論理構造は従来のクロスバを用いた多バンク型多ポートメモリと同じである。両者の違いは、クロスバ部分のレイアウトを工夫して小面積化を図ったことである。HMA の回路構成は普通の多バンク型多ポートメモリとはほぼ同じであるが、第 1 階層のバンクに「1 ポートと N ポートの変換回路 (1-to-N Port Transition)」と第 2 階層の「アクセス競合回避回路 (Conflict Resolver)」が付加される。前者はポート数を 1 ポートから N ポートへ、また、逆の変換をする。後者は複数の I/O ポートから同一のバンクへのアクセスが要求された場合、その中のひとつにアクセス権を与える。

HMA はポート変換機能を持つ 1 ポートのバンクメモリを用いることで、従来のクロスバにおいてポート数に比例するクロスポイントから各バンクへの配線を隠蔽し小面積化を図っている。従来のクロスバを用いた多バンク型多ポートメモリと HMA の面積とアクセスタイムを比較した文献 [4] で示される結果からポート数 8、バンク数 64 の場合、チップ面積が約 26% 減少することがわかっている。

また、我々の研究グループではこの HMA をオンチップ・マルチプロセッサ用のキャッシュ・システムとして応用した場合の面積当たりの性能を評価した研究を行っている [5]。その評価によると、同一チップサイズで L2 キャッシュを実現した場合、タスク間のデータ共有が多く存在するプログラムであれば、得られるキャッシュ容量が半分程度になるにもかかわらず、従来の分散キャッシュや N ポートメモリセルアーキテクチャを用いた共有キャッシュと比較して高い性能が得られることがわかっていて、また、タスク間のデータ共有が少ないプログラムでは、従来手法と比較して同一チップサイズでの性能が得られないことも明らかになっている。そのため様々なプログラムに対して同一チップサイズでの性能を得るために、より小面積なメモリの開発が必要である。

3. 閉塞網を用いた多バンク型多ポートメモリアーキテクチャの提案

メモリの高いアクセスバンド幅と小面積というトレードオフをより高い次元で両立するため本稿ではハードウェア量の少ない多段結合網のひとつである閉塞網を多バンク型多ポートメモリの I/O ポートとバンクメモリ間の結合網として利用する手法を提案する。

本稿で提案する手法の基本的なアイデアとして以下が挙げられる。

(1) 同一バンクアクセスが複数ある場合はアクセス待ち状態になるので、従来手法で用いているクロスバで非閉塞性を維持する必要がないこと。

(2) 一般的に回路規模がクロスバよりも小さい閉塞網を用いることで小面積化を図ること。

従来の多バンク型多ポートメモリでは、各 I/O ポートからのアクセス要求が同一のバンクメモリでない限り、その他のアクセス要求を満足するため非閉塞性を有するクロスバを結合網として用いていた。しかしながら、クロスバの回路規模はポート

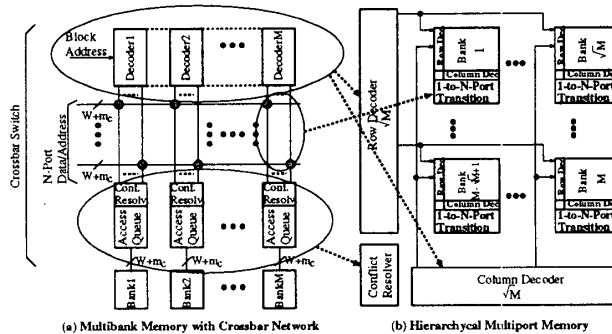


図1 クロスバを用いた多バンク型多ポートメモリとその改良であるHMAのブロック図および相違点

数とバンク数の積に比例して増加し、(1)に示したようにバンク競合がある場合は待ち状態になるので非閉塞性を維持する、すなわち、クロスバを用いる必要はないといえる。そこでチップ面積当たりの性能を得るため(2)に示したようにクロスバに替わり閉塞網を用いる。ただし、単純に閉塞網を用いると網内部でアクセス衝突が過度に発生する危険性があるので、本稿では閉塞網内部で発生するアクセス衝突の割合を任意に設定可能なEBSF(Expanded Banyan Switching Fabrics)[1]と呼ばれる閉塞網を用い、全体的な待ち状態をクロスバと同程度にする。

3.1 EBSF

EBSFはBanyan網のサイズを整数倍に拡張し普通のBanyan網で発生するアクセス衝突の割合を減少することができる閉塞網である。図2の点線部は入力ポート数8、出力ポート数8、網のサイズKが4のEBSFである。図2に示すように、EBSFの構成はクロスポイント(スイッチ・セル)が1ステージ当たり(縦方向)に $\frac{NK}{2}$ 個あり、それが $\log_2 N$ ステージ(横方向)接続され、最後のステージから出る出力線がK本ごとにとまめられて最終的な出力となる網である。ただし、Nは入出力ポート数である。なお、図中の薄く描かれたスイッチ・セルは使用されないため省略できる。

文献[1]ではEBSFの性能について確率モデルに基づいた評価が行われている。256入出力を持つ網のサイズ4のEBSFはアクセス衝突の割合が普通のBanyan網の約40%に低下することが示されている。

3.2 閉塞網を用いた多バンク型多ポートメモリの概要

図2に8ポート、8バンク、網のサイズ4の場合の閉塞網(EBSF)を用いたバンク型多ポートメモリの構成図を示す。図2に示すように、本稿で提案する多バンク型多ポートメモリは入出力ポート、衝突処理回路、閉塞網(EBSF)、および、1ポートのバンクメモリで構成される。

EBSFの入力の前段に付加した衝突処理回路は、複数ポートからの同一メモリバンクアクセスを調停する回路である。もともと本稿で閉塞網として用いているEBSFは同一出力に対する複数アクセスが可能な閉塞網である。衝突処理回路を用いない場合は、各メモリバンクの直前に網のサイズKと同じ数の入力を持つMUXを設け複数の出力からのデータを選択する必要はある。また、同一バンクへのアクセスを許しても許可されるのはひとつであり、不要なアクセスを許すことで閉塞網内部での

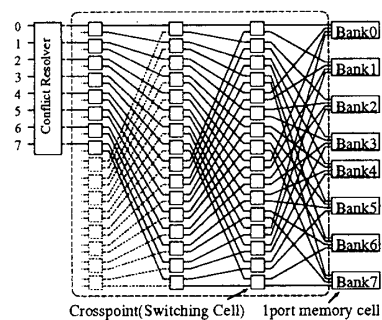


図2 閉塞網(EBSF)を用いたバンク型多ポートメモリの構成図(8ポート、8バンク、網のサイズ4)

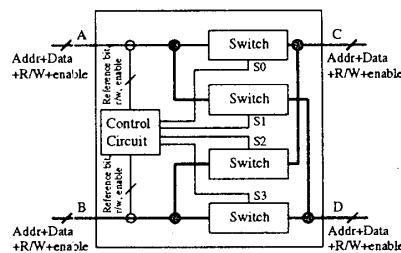


図3 閉塞網のクロスポイントの構成図

アクセス衝突を増加させる可能性がある。そのため、本稿では予め衝突処理回路で同一メモリバンクへのアクセス調停を行うことで、各メモリバンクに網のサイズKに比例するMUXの付加を省略し、閉塞網内部で生じるアクセス衝突を低減させる。

3.3 閉塞網を用いた多バンク型多ポートメモリの詳細回路

ここでは、閉塞網を用いた多バンク型多ポートメモリの詳細回路について述べる。ただし、図2に示した衝突処理回路と1ポートバンクメモリはHMAと同じものを用いるためここではその説明を省略する。

図3に閉塞網に用いるクロスポイントの構成図を示す。図3に示すように、本稿で用いる閉塞網のクロスポイントはアドレス、データ、R/W信号、および、enable信号を通信できる4つの入出力を持ち、内部の制御回路で4つのスイッチからひとつのスイッチをON/OFFすることでA-C間、A-D間、B-C間、B-D間の通信をするものである。スイッチのON/OFF、すなわち、ルーティングは入力されるバンクアドレスの中の1ビットを参照して行う。以下、クロスポイントを構成する制御回路とスイッチの回路構成について述べる。

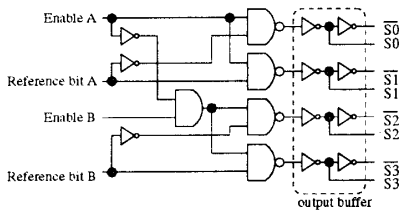


図4 制御回路

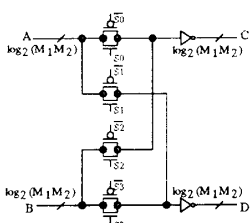


図5 アドレス・スイッチ

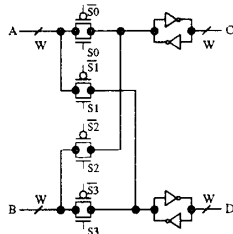


図6 データ・スイッチ

3.3.1 制御回路の回路構成

図4に制御回路の回路図を示す。図4に示すように制御回路は簡単な組み合わせ回路で実現される。本稿では簡単化のため、常にポートBよりポートAを優先し、クロスポイントでONするアドレス・スイッチとデータ・スイッチは1つだけにしてブロードキャストも行わない。トランジスタ数は出力バッファを含め44トランジスタである。

3.3.2 アドレス・スイッチの回路構成

図5にアドレス・スイッチの回路図を示す。図5に示すようにアドレス・スイッチは4つのCMOSスイッチと2つのNOTゲートで構成される。CMOSスイッチは制御回路からの信号でON/OFFされアドレス信号の入力されるポートAまたはBのアドレス信号をポートCまたはDに出力する。NOTゲートは出力バッファとして用いる。アドレス・スイッチを構成するトランジスタ数は $12 \log_2(M_1 M_2)$ である。ただし、 M_1 はバンクメモリ容量、 M_2 はバンクメモリ数である。

3.3.3 データスイッチの回路構成

図6にデータ・スイッチの回路図を示す。データ・スイッチではアドレス・スイッチと違いデータ信号を双方向に伝えるため図5の出力バッファを2つにしてスイッチを構成している。その他はアドレス・スイッチと同じである。データ・スイッチのトランジスタ数は W をデータビット数として $16 \log_2 W$ である。

4. トランジスタ数とアクセス衝突確率の評価

ここでは、閉塞網を用いた多バンク型多ポートメモリのトランジスタ数と性能の評価を行う。性能評価は確率的な手法を用いた机上検討で行う。

4.1 評価対象

本稿では1)第2.1項で述べたクロスバを用いた多バンク型多ポートメモリ(以降、「Crossbar方式」と呼ぶ)、2)第2.2項で述べた多バンク型多ポートメモリの効率的な実現手法である階層構造型メモリ(以降、「HMA方式」と呼ぶ)と第3.節で述べた閉塞網を用いた多バンク型多ポートメモリ(以降、「MIN方式」と呼ぶ)の3つで比較評価する。

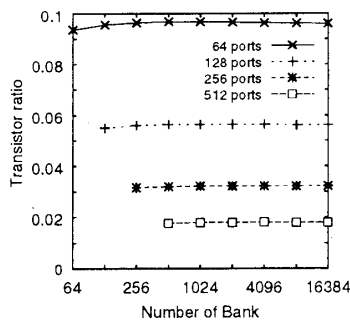


図7 同一バンク数に対するCrossbar方式とMIN方式のトランジスタ数比

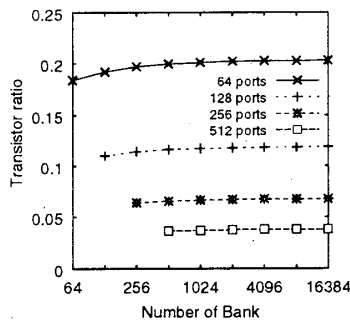


図8 同一バンク数に対するHMA方式とMIN方式のトランジスタ数比

4.2 評価方法

評価はトランジスタ数比較とアクセス衝突確率比較の2つを行う。

トランジスタ数評価は実際の回路構成に基づいて机上計算し比較する。MIN方式は第3.節で述べた回路構成に基づき計算する。また、Crossbar方式とHMA方式の詳細な回路構成は紙面の都合省略するが文献[4]、[6]を参考にして計算する。

アクセス衝突確率の評価は確率的な方法で机上計算し比較する。アクセス衝突確率とは、バンクメモリへのアクセス要求に対してどの程度その要求が拒否されるかを表す。Crossbar方式、HMA方式でアクセス衝突は同一バンクへのアクセス要求がある場合のみである。Crossbar方式、HMA方式のアクセス衝突確率は文献[7]を参考にして計算する。一方、MIN方式では同一バンクへのアクセスの有無に関わらず閉塞網でのアクセス衝突が起こる可能性がある。そのため、MIN方式のアクセス衝突確率は同一バンクアクセスに対するアクセス衝突に加え、閉塞網内部でのアクセス衝突を含めた値になる。MIN方式における閉塞網内部のアクセス衝突確率は文献[1]を参考にして計算する。

4.3 評価結果

4.3.1 同一バンク数でのトランジスタ数比較

図7に同一バンク数に対するCrossbar方式とMIN方式のトランジスタ数比、図8に同一バンク数に対するHMA方式とMIN方式のトランジスタ数比を示す。なお、MIN方式でのEBSFはサイズKを4としている。各図の横軸はバンク数、縦軸はトランジスタ数比で図7は $\frac{MIN}{Crossbar}$ 、図8は $\frac{MIN}{Crossbar}$ である。

図7、図8より、各ポート数ともバンク数に対するトランジスタ

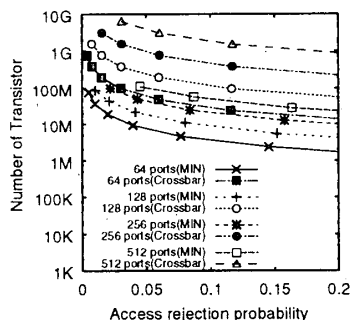


図9 同一バンク数における Crossbar 方式と MIN 方式のトランジスタ数比

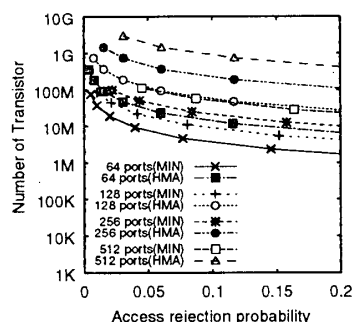


図10 同一バンク数に対する HMA 方式と MIN 方式のトランジスタ数比

トランジスタ数比は変化がない。しかし、ポート数に対してはその比が変化しポート数が大きくなるほど Crossbar 方式, HMA 方式と比較して MIN 方式はより少ないトランジスタで構成できる。例えば 64 ポートの場合には Crossbar 方式の約 10% 程度, HMA 方式の 20% であり, MIN 方式は Crossbar 方式と HMA 方式と比較して非常に少ないトランジスタ数で構成できる。

4.3.2 同一アクセス衝突確率でのトランジスタ数

図9に同一アクセス衝突確率における Crossbar 方式と MIN 方式トランジスタ数, 図10に同一アクセス衝突確率に対する HMA 方式と MIN 方式のトランジスタ数を示す。各図の横軸はアクセス衝突確率, 縦軸はトランジスタ数である。なお, 各図のプロット点は, 左よりバンク数が 16384, 8192, 4096, ... である。

図9, 図10より, 同一ポート数, 同一アクセス衝突確率で両者を比較すると MIN 方式は少ないトランジスタ数であることがわかり, MIN 方式を用いても Crossbar 方式, HMA 方式と同程度の性能を保ちつつトランジスタ数を削減できることがわかる。

4.3.3 網のサイズ K に対するトランジスタ数とアクセス衝突確率

ここまでの比較は MIN 方式の網のサイズ K を 4 とした比較であった。そこで, 図9, 図10のポート数が 64 ポートでアクセス衝突確率が 0.1(10%) 以下になる 1024 バンクを例として図11に MIN 方式の網のサイズ K に対するトランジスタ数を示す。図11の横軸は MIN 方式で用いる閉塞網 EBSF のサイズ K, 縦軸はトランジスタ数である。図11より, MIN 方式の網のサイズを 4 以上にした場合でも Crossbar 方式, HMA 方

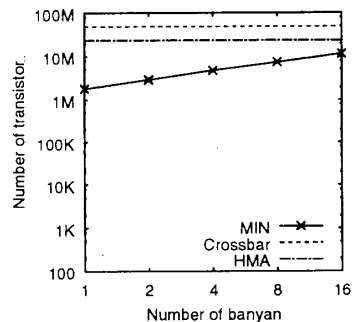


図11 MIN 方式の網のサイズ K に対するトランジスタ数

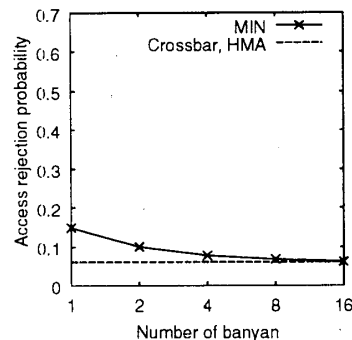


図12 MIN 方式の網のサイズ K に対するアクセス衝突確率

式と比較してトランジスタ数は少なく K が 16 の場合でも MIN 方式は Crossbar 方式の約 24%, HMA 方式の 50% であることがわかる。

また, 図12に網のサイズ K とアクセス衝突確率の関係を示す。図12の横軸は MIN 方式の網のサイズ K, 縦軸はアクセス衝突確率である。図12より, サイズ K を大きくするとアクセス衝突確率は低下して Crossbar 方式, HMA 方式のアクセス衝突確率に近づくことがわかる。しかし, アクセス衝突確率が 0.1 以下という条件で見ると K を 4 以上としてもアクセス衝突確率の変化量は少なく, トランジスタ数との関係を考慮すれば網のサイズ K は 4 で十分であるといえる。

4.4 評価結果の考察

本節では, これまで述べた MIN 方式のトランジスタ数が少なくなったことについて考察する。

そこで, 各方式を構成する回路要素を以下のように分類し, 回路毎のトランジスタ数を集計する。

Decoder: アクセスするバンクメモリを選択する回路。

Crossbar 方式ではクロスポイントに含まれるデコーダ, HMA 方式では第 2 階層の行・列バンクデコーダ, MIN 方式ではクロスポイントの制御回路を意味する。

Ctrl: Crossbar 方式, HMA 方式におけるデータ・スイッチの方向制御をする回路。

Addr SW: アドレス信号を伝えるためのスイッチ。

Data SW: データ信号を伝えるためのスイッチ。

Bank buffer(Addr): Crossbar 方式, MIN 方式のバンクメモリに含まれるアドレス信号用バッファ。

Bank buffer(data): Crossbar 方式, MIN 方式のバンクメモリに含まれるデータ信号用バッファ。

なお, ここでは例としてバンク数が 1024 バンク, MIN 方式

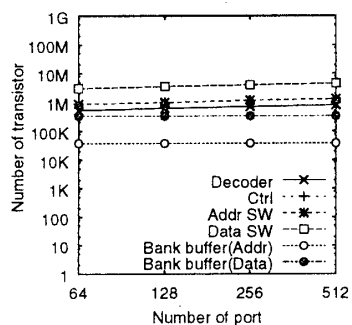


図13 MIN方式における各要素ごとのトランジスタ数

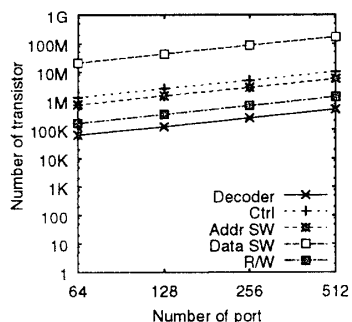


図14 HMA方式における各要素ごとのトランジスタ数

の網のサイズ K が4の場合を示す。また、紙面の都合上 MIN方式と HMA方式の場合のみについて述べる。図13は MIN方式、図14は HMA方式での各回路要素ごとのポート数に対するトランジスタ数の変化である。各グラフ横軸はポート数、縦軸はトランジスタ数である。

Bank buffer と R/W 回路は両方式で互いにない回路要素である。HMA方式に Bank buffer が無い理由は、バンクメモリに存在する N ポートのアドレスとデータを1ポートに変換するスイッチ回路が buffer として作用するためである。また、HMA方式ではデータの読み書きを各バンクメモリで共有するデータバスを介して行うので、データバスとポートを接続する R/W 回路と呼ばれる回路要素が必要になる。

両方式を比較すると、MIN方式はポート数の変化に対して各回路要素のトランジスタ数変化が少なくデータ・スイッチのオーダーが 10^6 に対し、HMA方式ではポート数に対して増加傾向がありデータ・スイッチのオーダーが $10^7, 10^8$ であるため全体として MIN方式はトランジスタ数が少ないと考えられる。なお、Crossbar方式についても同様の理由を述べることができる。

以上から MIN方式はポート数に対してトランジスタの増加が少なく、Crossbar方式、HMA方式と比較してトランジスタ数が約1桁違うことがわかった。このような結果になった理由として、1)MIN方式では閉塞網(EBSF)を与えられたバンク数で構成しポート数はバンク数を上限として用いているため閉塞網の前段部分以外で回路の増減がないこと、2)Crossbar方式、HMA方式ではほぼ全ての回路要素がポート数に比例する構成になっていることが考えられる。

5. まとめと今後の展望

本稿では、多バンク型多ポートメモリの構成方法としてポートとバンクメモリの結合に閉塞網を用いたメモリの構成を提案した。この方式は、クロスバを結合網に用いた従来手法と比較してポート数とトランジスタ数の関係が少なく大きなポート数の場合でも少ないトランジスタ数でメモリを実現でき、EBSFと呼ばれる閉塞網を用いることでアクセス衝突確率を自由に設定できる特徴がある。

本稿で行った評価によると、同一アクセス衝突確率でトランジスタ数を比較した場合、従来方式の Crossbar 方式、HMA方式と比較して少ないトランジスタ数で回路を実現できることがわかった。例えば、64ポートでアクセス衝突確率が10%以下となる1024バンクの場合、約2.5%のアクセス衝突確率の違いでトランジスタ数を従来の Crossbar 方式の10%、Crossbar方式の改良である HMA方式の20%で実現できることがわかった。また、本方式はポート数に対するトランジスタ数の変化が従来方式と比較して少ないためポート数が大きい場合に有効性があることを示した。

本稿での評価はレイアウト設計をする前の一時的な評価である。実際にメモリとして実現するためには、1)本方式と従来手法をシステムに適用した場合の性能を比較評価、2)その性能評価で有効性を確認した上でレイアウト手法について検討、3)本方式の面積見積もり式を導出し、チップ面積当たりの性能評価をすることが挙げられる。

謝辞 本研究の一部は半導体理工学研究センターとの共同研究“大きなランダムアクセスバンド幅を持つスーパーコンパクト・マルチポートメモリ、及びそれを用いたシステム・オン・チップ/パッケージ向け高性能アプリケーション”による。

文 献

- [1] 橋敏博, 天野英晴, “多重出力可能な MIN の性能評価”, 情報処理学会論文誌, vol. 36, no. 7, pp. 1630-1639, 1995.
- [2] Y. Tatsumi and H. J. Mattausch, “Fast quadratic increase of multiport-storage cell area with port number”, *Electronics Letters* 35, pp. 2185-2187, 1999.
- [3] H. J. Mattausch, “Hierarchical N-port memory architecture based on 1-port memory cells”, *Proceedings of the 23rd European Solid-State Circuits Conference (ESSCIRC'97)*, pp. 348-351, 1997.
- [4] 深江誠二, 大森伸彦, マタウシュ ハンス ユルゲン, 小出哲士, 井上智宏, 弘中哲夫, “バンク型マルチポートメモリにおける階層構造とクロスバ構造の比較”, 信学技報, CAS2002-48, pp. 37-42, 2000.
- [5] 井上智宏, 佐々木敬泰, 弘中哲夫, 小出哲士, マタウシュ ハンス ユルゲン, “LSI化向け小面積多バンクメモリに関する考察”, 信学技報, CAS2002-22, pp. 125-130, 2002.
- [6] S. Fukae, N. Omori, T. Koide, H. J. Mattausch, T. Inoue and T. Hironaka, “Optimized bank-based multi-port memories through a Hierarchical multi-bank structure”, *Proceedings of SASIMI2003*, pp.323-330.
- [7] H. J. Mattausch and K. Yamada, “Application of port-access-rejection probability theory for integrated N-port memory architecture optimisation”, *Electronics letters*, Vol. 34, No. 9, pp. 861-862, 1998.