

プログラム可能論理デバイスによる組合せ問題の  
高速解法に関する研究  
( 課題番号 15500040 )

平成 15 年度～平成 16 年度科学研究費補助金  
( 基盤研究 (C)(2) )  
研究成果報告書

平成 17 年 3 月

研究代表者 若 林 真 一  
( 広島市立大学情報科学部教授 )

## 目 次

はしがき	1
研究組織	2
研究経費	2
研究発表	3
研究成果の概要	4
発表論文	7

## は し が き

本報告書は、平成15年度より平成16年度にわたって実施した科学研究費補助金基盤研究(C)(2)「プログラム可能論理デバイスによる組合せ問題の高速解法に関する研究」(課題番号15500040)に関する研究成果をまとめたものである。

Field Programmable Gate Array(FPGA)に代表されるプログラム可能論理デバイス(programmable logic device, PLD)は、チップのマスクパターンを変更することなく任意のハードウェアを繰り返し実現可能な集積回路であり、近年は1000万ゲート規模で1GHzのクロック周波数で動作可能なFPGAも出現している。PLDの持つハードウェアでありながらプログラマブルであるという特性を生かすことで、PLDは従来の逐次コンピュータ上で動作するソフトウェアや専用ハードウェアによる問題解法とは異なる新しい問題解決の手段となることが期待されている。本研究はこのようなPLDを用いた新しい問題解法の確立を目的として、PLDを用いて複雑で大規模な最適化問題に対する解を高速に得るためのハードウェア解法について研究を行った。

一般に、工学の様々な分野において、設計・解析に関する問題の多くは最適化問題として定義されるため、最適化問題の高速解法は工学上、非常に重要である。一方、工学が対象とするシステムは近年、ますます大規模化、複雑化しているため、従来の解法では対応が困難になりつつあり、なんらかの革新的なブレイクスルーが必要とされている。PLDを用いたハードウェア解法はそのようなブレイクスルーのひとつとなりうるものである。

本研究では、工学の多くの分野で重要な応用を持つグラフに関する組合せ問題に注目し、最大クリーク問題、節点被覆問題、支配集合問題などのNP-困難な組合せ最適化問題を主な考察の対象とした。提案手法においては与えられた問題の具体的な入力(インスタンス)を解析し、インスタンス解析とハードウェア回路の生成に必要な計算時間と、生成されたハードウェア回路の実行時間のトレードオフを考慮しながら、インスタンスに最適化したハードウェア回路を自動生成する。生成された回路はハードウェア記述言語により記述され、それを論理合成することによりFPGA等のPLDのコンフィギュレーションデータを得る。

本研究では、提案手法をFPGAボードを用いて実装し、従来手法であるインスタンスに非依存のソフトウェア解法と比較することで提案手法の有効性について検証を行った。その結果、提案手法では論理合成とPLDデバイスのコンフィギュレーションの実行時間が必要となるが、一方で回路構成をインスタンスに特化することにより、回路規模の縮小と動作周波数の向上が可能となり、従来手法と比較して全体の計算時間を大幅に短縮することができることを示した。

本研究の成果により、従来のソフトウェア解法では解けなかった問題も解くことができるようになり、実用面からも研究の意義は大きい。得られた研究成果は国の内外において口頭発表を行った。さらに、今後、学術論文としてまとめた上で学術雑誌に発表する予定である。

## 研 究 組 織

研究代表者：若林 真一（広島市立大学 情報科学部 教授）

## 研 究 経 費

交付決定額(配分額) (金額単位：千円)

	直接経費	間接経費	合計
平成15年度	1,500	0	1,500
平成16年度	2,200	0	2,200
総計	3,700	0	3,700

# 研究発表

## (1) 学会誌・国際会議

- [1] Shin'ichi Wakabayashi, Kenji Kikuchi: "An instance-specific hardware algorithm for finding a maximum clique," Proc. 14th International Conference on Field Programmable Logic and Applications (FPL 2004), LNCS 3203, pp.516–525, Springer (September 2004, Antwerp).

## (2) 口頭発表

### (2)-1 研究会発表

- [2] 若林 真一, 菊池 健司: "最大クリークを求めるデータ依存ハードウェアアルゴリズムの実装と評価", 電子情報通信学会 VLSI 設計技術研究会技術研究報告, VLD2003-135 (2004年1月23日, 横浜).
- [3] 菊池 健司, 若林 真一: "グラフ最小節点被覆問題に対する FPGA を用いたインスタンス依存ハードウェア解法", 電子情報通信学会 VLSI 設計技術研究会技術研究報告, VLD2004-106 (2005年1月25日, 横浜).

### (2)-2 大会発表

- [4] 菊池 健司, 若林 真一: "FPGA を用いた最大クリーク問題の高速解法", 平成 16 年度電気・情報関連学会中国支部第 55 回連合大会講演論文集, 122005, pp.309–310 (2004年10月16日, 宇部).
- [5] 菊池 健司, 若林 真一: "最大クリーク問題を解くインスタンス依存ハードウェア解法", 第 6 回 IEEE 広島支部学生シンポジウム論文集, pp.235–238 (2004年12月4,5日, 松江).
- [6] 有路 忠臣, 菊池 健司, 若林 真一: "最小支配集合問題を解くインスタンス依存ハードウェア解法", 第 4 回情報科学技術フォーラム (FIT2005) (2005年9月, 発表予定)

# 研究成果の概要

Field Programmable Gate Array(FPGA)に代表されるプログラム可能論理デバイス(programmable logic device, PLD)は、チップのマスクパターンを変更することなく任意のハードウェアを繰り返し実現可能な集積回路であり、近年は1000万ゲート規模で1GHzのクロック周波数で動作可能なFPGAも出現している。PLDの持つハードウェアでありながらプログラマブルであるという特性を生かすことで、PLDは従来の逐次コンピュータ上で動作するソフトウェアや専用ハードウェアによる問題解法とは異なる新しい問題解決の手段となることが期待されている。

本研究はこのようなPLDを用いた新しい問題解法の確立を目的として、PLDを用いて複雑で大規模な最適化問題に対する解を高速に得るためのハードウェア解法について研究した。具体的には、NP-困難な組合せ最適化問題に対し、与えられた問題の具体的な入力(インスタンス)を解析し、インスタンス解析とハードウェア回路の生成に必要な計算時間と、生成されたハードウェア回路の実行時間のトレードオフを考慮しながら、インスタンスに最適化したハードウェア回路を自動生成する手法を考察した。

本研究ではグラフ上で定義されるNP-困難な組合せ問題を対象とし、最大クリーク問題、最小被覆問題、最小支配集合問題に対してそれぞれハードウェア解法を提案し、実際にFPGA上に実現して、従来手法であるソフトウェア解法と比較した。与えられたグラフのインスタンスからそのインスタンスに特化した専用ハードウェアの回路記述を自動生成するプログラムを開発した。評価実験の結果、提案手法はソフトウェア解法と比較して数100倍以上高速であり、提案解法は十分に実用的であることがわかった。得られた研究成果は国際会議、および国内の研究会、シンポジウム等で口頭発表した。さらに、今後、本研究で得られた研究成果を研究論文にまとめて学術雑誌に発表する予定である。

本研究の成果の概要を以下にまとめる。

## 1. 最大クリーク問題に対するインスタンス依存ハードウェア解法

(発表論文 [1], [2], [4], [5])

グラフの最大クリークを求めるハードウェアアルゴリズムを提案し、FPGA上に実装して評価した。提案アルゴリズムは与えられたグラフのインスタンスに基づいて構成され、分枝限定法に基づく解探索により最大クリークを効率よく求めることができる。提案アルゴリズムはハードウェアによる実現を前提としており、並列処理とパイプライン処理により効率のよい分枝限定を実現している。提案手法をFPGA上に実装して実行時間を実測し、ソフトウェアによる解法と比較して提案アルゴリズムが高速に最大クリークを求めることを確認した。

## 2. 最小被覆節点問題に対するインスタンス依存ハードウェア解法

(発表論文 [3])

グラフの最小節点被覆問題を解くインスタンス依存のハードウェア解法を提案し、FPGA上に実現して、その性能をソフトウェアによる解法と比較した。提案ハードウェア解法は分枝限定法に基づいており、入力グラフのインスタンスに依存したハードウェア構成の回

路記述を自動的に生成し，論理合成，配置配線を行った上で回路データを FPGA 上にダウンロードして実行する．ソフトウェアによる解法と比較した結果，回路生成時間を考慮しても提案手法はソフトウェアより短い計算時間で解を得ることが分かった．

### 3. 最小支配集合問題に対するインスタンス依存ハードウェア解法 (発表論文 [6])

グラフの最小支配集合問題に対し，インスタンスに特化したハードウェア解法を提案した．最小支配集合問題はグラフに関する基本的な組合せ問題の1つである．この問題は多くの応用が知られているが，NP 困難であり，グラフが複雑かつ大規模になると最適解を効率よく求めることが難しいことが知られている．本研究ではリコンフィギュラブルデバイスとしての FPGA の特徴を生かしたハードウェア解法を提案し，ソフトウェア解法より短い計算時間でグラフの最小支配集合を求めることを目的とした．提案手法の回路合成を行い，ソフトウェア解法との性能の比較評価を行った結果，回路生成時間を考慮しても提案手法はソフトウェアより短い計算時間で解を得ることが分かった．

以上に述べた本研究の成果により，FPGA を用いたインスタンス依存ハードウェア解法に関する有益な知見が得られ，今後の研究・開発に大きく寄与することが期待される．