

最適化問題の高速解法のためのリコンフィギャラブル  
専用エンジンに関する研究  
( 課題番号 18500042 )

平成18年度～平成19年度科学研究費補助金  
( 基盤研究(C) )  
研究成果報告書

平成20年5月

研究代表者 若林真一  
( 広島市立大学大学院情報科学研究科教授 )

## 目 次

はしがき	1
研究組織	2
研究経費	2
研究発表	3
研究成果の概要	4
発表論文	7

## は し が き

本報告書は、平成18年度より平成19年度にわたって実施した科学研究費補助金基盤研究(C)「最適化問題の高速解法のためのリコンフィギャラブル専用エンジンに関する研究」(課題番号18500042)に関する研究成果をまとめたものである。

Field Programmable Gate Array(FPGA)に代表されるプログラム可能論理デバイス(programmable logic device, PLD)は、チップのマスクパターンを変更することなく任意のハードウェアを繰り返し実現可能な集積回路であり、近年は1000万ゲート規模で1GHzのクロック周波数で動作可能なFPGAも出現している。PLDの持つハードウェアでありながらプログラマブルである、すなわちリコンフィギャラブルハードウェアであるという特性を生かすことで、PLDは従来の逐次コンピュータ上で動作するソフトウェアや専用ハードウェアによる問題解法とは異なる新しい問題解決の手段となることが期待されている。本研究ではPLDの持つこのような再構成可能性を生かした新しい組合せ最適化問題の高速解法の開発を目的として研究を行い、代表的な組合せ最適化問題の1つである2次割当問題の解を高速に得るためのハードウェア解法を開発した。

2次割当問題(Quadratic Assignment Problem, QAP)はNP困難な組合せ最適化問題の1つであり、数理計画法等の通常的手法では最適解を求めることが困難であることが知られている。本研究では、まず、2次割当問題(QAP)に対してタブー探索法を並列実行することで高速に近傍解探索を行うハードウェア解法を開発した。開発した解法をVerilog-HDLハードウェア記述言語を用いて専用ハードウェアとして設計し、FPGA上に実現してソフトウェア解法と比較することで、提案手法の有効性を示した。

さらに、このアルゴリズムの近傍解評価に対して新たにシストリックアルゴリズムを提案し、前述のアルゴリズムよりさらに短い実行時間でタブー探索法に基づく近似解を得ることを可能とするアルゴリズムを開発した。また、提案手法をFPGA上に実現して性能を実験的に評価し、提案手法の有効性を確かめた。

本研究の成果により、実行時間の制約から従来のソフトウェア解法では解くことが困難だった大きな問題サイズの2次割当問題も解くことができるようになり、実用面からも研究の意義は大きい。得られた研究成果は国の内外において口頭発表を行った。さらに、今後、学術論文としてまとめた上で学術雑誌に発表する予定である。

## 研 究 組 織

研究代表者：若林 真一（広島市立大学 大学院情報科学研究科 教授）  
研究分担者：永山 忍（広島市立大学 大学院情報科学研究科 助教）

## 研 究 経 費

交付決定額(配分額) (金額単位：千円)

	直接経費	間接経費	合計
平成18年度	2,700	0	2,700
平成19年度	900	270	1,170
総計	3,600	270	3,870

# 研 究 発 表

## (1) 雑誌論文

- [1] Shin'ichi Wakabayashi, Yoshihiro Kimura, Shinobu Nagayama: "FPGA Implementation of Tabu Search for the Quadratic Assignment Problem," Proc. 2006 IEEE International Conference on Field Programmable Technology (ICFPT 2006), pp.269–272 (2006).
- [2] Yoshihiro Kimura, Shin'ichi Wakabayashi, Shinobu Nagayama: "A Systolic Algorithm for the Quadratic Assignment Problem and its FPGA Implementation," Proc. 2007 IEEE International Conference on Field Programmable Technology (ICFPT 2007), pp.261–264 (2007).

## (2) 学会発表

### (2)-1 研究会発表

- [3] 木村 義洋, 若林 真一, 永山 忍: "2次割当問題に対するタブー探索法に基づくFPGAを用いたハードウェア解法", 電子情報通信学会 VLSI 設計技術研究会技術研究報告, VLD2006-91 (2007).
- [4] 若林 真一: "【招待講演】 FPGA を用いた組合せ最適化問題の高速解法", 電子情報通信学会回路とシステム研究会技術研究報告, CAS2006-69 (2007).
- [5] 木村 義洋, 若林 真一, 永山 忍: "2次割当問題に対するシストリックアルゴリズムに基づくハードウェア解法", 電子情報通信学会リコンフィギャラブルシステム研究会技術研究報告, RECONF2007-60 (2008).

### (2)-2 大会発表

- [6] 木村 義洋, 若林 真一: "2次割当問題に対するタブー探索法に基づくハードウェア解法", 第5回情報科学技術フォーラム (FIT2006) 講演論文集, C-006, pp.165–168 (2006).
- [7] 木村 義洋, 若林 真一, 永山 忍: "2次割当問題に対するタブー探索法のFPGA上での実現", 平成18年度電気・情報関連学会中国支部第57回連合大会講演論文集, 20-3, pp.189–190 (2006).
- [8] 木村 義洋, 若林 真一, 永山 忍: "FPGA を用いたタブー探索法に基づく2次割当問題の高速解法", 第8回IEEE広島支部学生シンポジウム論文集, pp.227–230 (2006).
- [9] 木村 義洋, 若林 真一, 永山 忍: "2次割当問題に対するタブー探索法に基づくシストリックアルゴリズム", 第9回IEEE広島支部学生シンポジウム論文集, B-55 (2007).

# 研究成果の概要

FPGA (Field Programmable Gate Array) とは、ユーザが手元で自由にプログラミングすることができる LSI である。FPGA におけるプログラミングとは、FPGA はハードウェアでありながら、その回路構成をあたかもソフトウェアのごとくユーザが自由に変更できるという意味である。すなわち FPGA を用いると自分が実現したい機能をもつ LSI を手軽に手元で作ることができる。FPGA は回路の試作や論理エミュレータ等に利用されているほか、最近では少量生産の最終製品にも ASIC に替わるデバイスとして利用されることも多くなってきている。

一方、2次割当問題 (Quadratic Assignment Problem, QAP) は NP 困難な組合せ最適化問題の1つであり、数理計画法等の通常的手法では最適解を求めることが困難であることが知られている。QAP は巡回セールスマン問題、VLSI レイアウト設計におけるセル配置問題など多くの問題に応用できるため、これまでに多くの研究が行われている。QAP に対する発見的手法の1つにタブー探索法に基づく解法がある。タブー探索法は NP 困難な組合せ問題に対する頑健な発見的手法として知られている。QAP のベンチマークとして知られている QAPLIB において、QAPLIB の多くのベンチマーク問題の最良解はタブー探索法に基づく手法で得られている。しかしながら、QAP の問題サイズが大きくなるとタブー探索法では探索解の総数が莫大になり、実用的な時間内に優良解を得ることは困難になるという問題点がある。

本研究では、QAP に対するタブー探索法の計算時間に関する問題点を解決することを目的として、タブー探索法に基づくヒューリスティック解法をハードウェアで実現し、FPGA 上に実装することを提案した。この手法では、FPGA の大規模内部メモリを効率よく利用して複数の近傍解を並列処理により同時に評価し、かつ、各近傍解に対する目的関数の評価をパイプライン処理で実行することで近傍解の計算時間を短縮する。このため、従来のソフトウェア解法と比較して非常に短い実行時間で解の探索が可能となった。また、FPGA のプログラム可能性を利用することで、問題サイズと FPGA チップの規模を考慮した最適なハードウェア構成が利用可能になった。

さらに、本研究においては、前述の手法をさらに改良し、より高速に QAP の近似解を求めるハードウェア解法を提案した。この手法も前述の手法と同様、タブー探索法に基づいており、タブー探索法においてもっとも計算時間を要する近傍解の生成をシストリックアルゴリズムを用いて高速に実行する。このため、前述の手法よりさらに高速にタブー探索を実行することが可能になった。また、提案手法はプロセッシングユニットを1次元配列状に接続したアーキテクチャ上で実現されているため、大規模な問題に対しても容易に提案手法を複数の FPGA 上で実現可能になる、という特徴を持つ。

本研究の成果の概要を以下にまとめる。

## 1. 2次割当問題に対する高速ハードウェア解法

(発表論文 [1], [3], [6], [7], [8])

本研究では、QAP に対するタブー探索法の計算時間に関する問題点を解決することを目的として、タブー探索法に基づく QAP の高速解法をハードウェアで実現し、FPGA 上

に実装することを提案した。提案手法では、FPGAの大規模内部メモリを効率よく利用して複数の近傍解を並列処理により同時に評価し、かつ、各近傍解に対する目的関数の評価をパイプライン処理で実行することで近傍解の評価時間の短縮を実現した。このため、従来のソフトウェア解法と比較して非常に短い実行時間で解の探索が可能となった。提案手法をFPGA上に実現し、ソフトウェア解法との比較実験を行い、本手法の有効性を示した。

## 2. 2次割当問題に対するシストリックアルゴリズムに基づくハードウェア解法

(発表論文 [2], [5], [9])

1.において提案した手法をさらに改良し、より高速にQAPの近似解を求めるハードウェア解法を提案した。この手法もタブー探索法に基づいており、タブー探索法の高速度を実現するため、タブー探索法においてもっとも計算時間を要する近傍解の生成をシストリックアルゴリズムを用いて高速に実行する。このアルゴリズムはプロセッシングユニットを1次元配列状に接続したシストリックアーキテクチャ上で動作し、各プロセッシングユニットは並列に動作することで、複数の近傍解を同時に評価する。また、各解に対する目的関数の評価をパイプライン処理で実行することで近傍解の評価時間を大幅に短縮している。近傍解計算に必要な入力配列データは、FPGA内のブロックメモリを用いて分散配置することでメモリアクセスを並列化している。また、FPGAのプログラム可能性を利用することで、問題サイズとFPGAチップの規模を考慮した最適なハードウェア構成が実現可能になった。問題サイズを $n$ とするとき、提案アルゴリズムは1.のアルゴリズムと比較して、 $O(n)$ 倍の速度向上を達成した。

## 3. 組合せ問題に対するハードウェア解法の調査研究

(発表論文 [4])

組合せ最適化問題（あるいは組合せ問題）は工学における多くの分野において様々な問題が知られており、組合せ問題を解くためのアルゴリズムについては過去半世紀に渡って精力的に研究がなされてきている。計算時間の短縮を目的として、組合せ問題に対する並列アルゴリズムの研究も1960年代から多くの研究があるが、並列アルゴリズムを実際にハードウェア化した例はあまり知られていない。これは、LSI等で並列アルゴリズムをハードウェア化する際のコストが高すぎることも大きな要因となっている。しかし、PLD/FPGAの登場によって、ハードウェア解法の実現コストが大幅に下り、これに伴って、組合せ問題に対するハードウェア解法をFPGA上に実現しようとする研究も1990年代の終わり頃から盛んに行われるようになった。今後の研究に資するため、FPGAを用いた組合せ問題のハードウェア解法とそれらの主な応用分野について調査研究を行った。

以上に述べた本研究の成果により、FPGAを用いた2次割当問題のハードウェア解法に関する有益な知見が得られ、今後の研究・開発に大きく寄与することが期待される。