

A-1-17

シングルビット $\Delta\Sigma$ 変調信号の演算回路

Arithmetic Circuits for Delta-Sigma Modulated Single-Bit Digital Signals

増田直行 藤坂尚登 坂本政祐 森末道忠

Masuda Naoyuki, Fujisaka Hisato, Sakamoto Masahiro and Morisue Mititada

広島市立大学 情報科学部

Faculty of Information Science, Hiroshima City University

1. はじめに

近年A/D, D/A変換に $\Delta\Sigma$ 変調回路が広く用いられ, $\Delta\Sigma$ 変調されたシングルビットの信号形態でデジタル信号処理を行う利点が多い. ここではその基本回路としてシングルビット加算, 乗算回路を提案する.

2. 加算回路

± 1 の値をとるシングルビット入力 A_n, B_n, n : time index, に対し同じ形態で X_n を出力する加算回路の動作を

$$X_n = (A_n + B_n) / 2 \quad \text{if } A_n + B_n \neq 0, \\ = Q_n \quad \text{if } A_n + B_n = 0 \quad (1)$$

$$Q_n = Q_{n-1} \quad \text{if } A_n + B_n \neq 0, \\ = -Q_{n-1} \quad \text{if } A_n + B_n = 0 \quad (2)$$

とする. Q_n もまた ± 1 の値をとる変数とする. A_n, B_n に含まれる $\Delta\Sigma$ 変調ノイズ, および Q_n が X_n に表われる成分をノイズと見なすと, そのフーリエ・スペクトルの理論解析およびシミュレーションによる計算値は図1のようになる.

3. 乗算回路

± 1 の値をとるシングルビット入力 A_n, B_n に対し,

出力を

$$X_n = \sum A_i \cdot B_j, \quad i, j = n, n-1, \dots, n-k+1 \quad (3)$$

とする. 実回路では A_i, B_j の積をXOR回路で, 総和 Σ を2. の加算回路の組み合わせで実行させることによりシングルビット出力 X_n を得る. 入力信号の $\Delta\Sigma$ 変調ノイズと加算回路から発生するノイズが根源となり出力にノイズが加わる. そのフーリエ・スペクトルを図2に示す.

4. おわりに

加算, 乗算回路に加えて積分を行うアップダウン・カウンタを用いれば, 線形, 非線形を問わず動的な信号処理がシングルビットの形態で行え, その回路構成は簡易である.

謝辞

本研究に関する回路設計にはメンター・グラフィックス社のHEPプログラムにより提供頂いたCADを使用しています.

参考文献

J.C.Candy and G.C.Temes (eds.): "Oversampling Delta-Sigma Data Converters," IEEE Press, 1992.

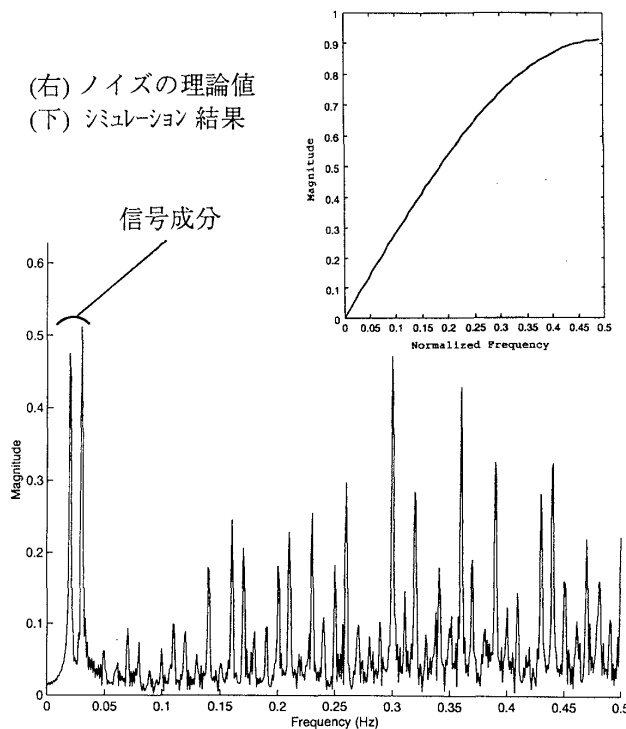


図1 加算回路の出力スペクトル

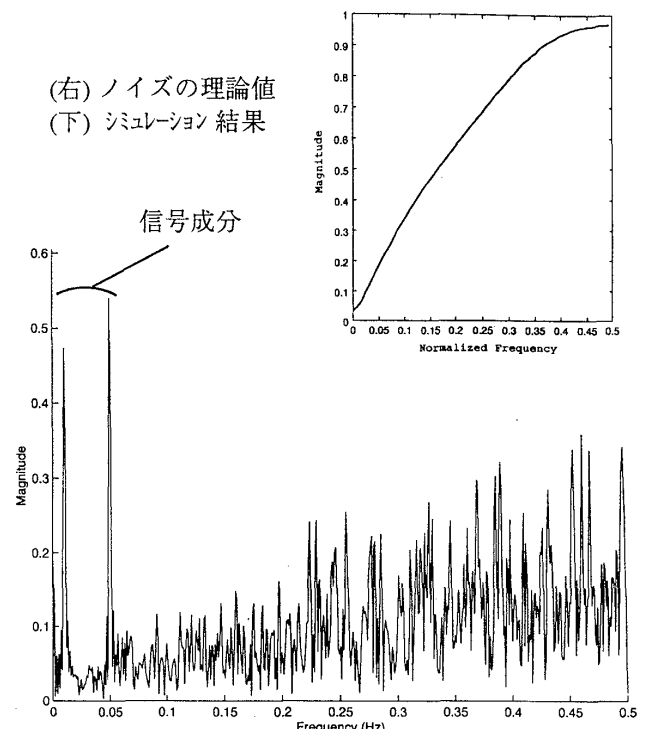


図2 乗算回路の出力スペクトル