

新しいDTMOS回路構造の動作評価

C-11-16

Analysis Of New DTMOS Circuit Operation

木島毅彦, 関根聡子, 寺内衛, 寺田和夫

Takehiko KIJIMA, Satoko SEKINE, Mamoru TERAUCHI, Kazuo TERADA

広島市立大学 情報科学部 情報工学科

Dept. of Computer Engineering, Faculty of Information Sciences, Hiroshima City University

1 はじめに

閾値電圧が動作時に低く、待機時に高いDTMOS (Dynamic Threshold Voltage MOSFET) 回路とその改良型回路が提案されている。これらの回路は、その特性から低電圧高速動作に適したものである。しかしこれらの回路には、構造上電源電圧に0.7V以上印加出来ない、MOSFETやダイオードを補助素子として用いるため構造が複雑になるという欠点があった。そこで、本研究において電源電圧を0.7V以上にしても動作し、構造的にもあまり複雑ではない、新しいDTMOS回路構造を提案し、動作の解析を行なう。

2 新しいCDTMOS回路の動作

今回提案するCDTMOS(Capacitance Coupling DTMOS)回路構造を図1に示す。入力電圧が低電圧(0V)である待機時、付加したpMOSFETがオンし、P-Wellが $V_{sub} (< 0V)$ になり、nMOSFETの閾値電圧が高くなる。入力電圧が高電圧(Vdd)である動作時、付加したpMOSFETがオフし、P-Well電位は電気的に浮いた状態になるが、ゲートソース間の容量 C_{gs} を通した容量結合によりP-Well電位は上げられるため、nMOSFETの閾値電圧が低くなる。この構造では、容量結合を利用するために付加したpMOSFETの極性が都合良くなり、構造の複雑化を避けられる。

3 回路の試作とシミュレーション

動作確認を行なうために、VDEC試作サービス(ローム株式会社、CMOS0.6 μm 、4.5mm角)を利用し、試作を行なった。試作したCDTMOS回路はチップの設計ルールに対して、以下のような対応をした。

- P基板、N-Well構造のためP、Nを反対に設計した。
- Wellをソースドレインとして使用出来ないため、Wellとソースドレインを配線につないだ。
- 各MOSFETの閾値電圧を自由に設定出来ないため、そのまま設計した。

試作したチップを用い、CDTMOS回路の動作確認と以下で行なうシミュレーションの検証をした。シミュレーションでは負荷容量の違いによる遅延時間を求め、CDTMOS回路の性能を調べた。

4 結果、考察

試作した回路を測定したところ、動作時のWellが非平衡状態であるにも関わらず、正常に動作することを確認された。また、リングオシレータも正常に動作することが確認できた。シミュレーションは、理想的な図1の回路構造における場合で行なった。CMOS、CDTMOS回路の1段あたりの負荷容量を変化させた場合の遅延時間を図2に示す。この図からわかるように、CDTMOSは負荷容量が大きい場合、遅延時間がCMOSよりも高速になることがわかる。

5 まとめ

本研究では、提案したCDTMOS回路が意図した通り動作し、動作時のWellが非平衡状態であるにも関わらず、正常に動作することを確認した。また、低電圧で動作させる場合、CDTMOSは面積の増加を代償にしても高速性が重視され、負荷容量の大きな回路に対してCMOSよりも有効であると言える。

6 謝辞

本研究を行なうにあたり、VDECのチップ試作サービスを利用させて頂きました。

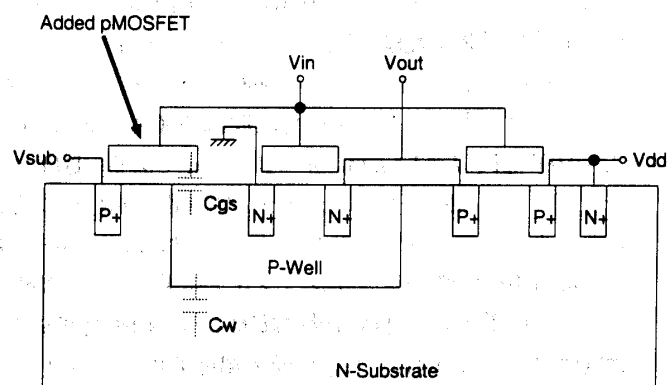


図1: 提案するCDTMOS回路

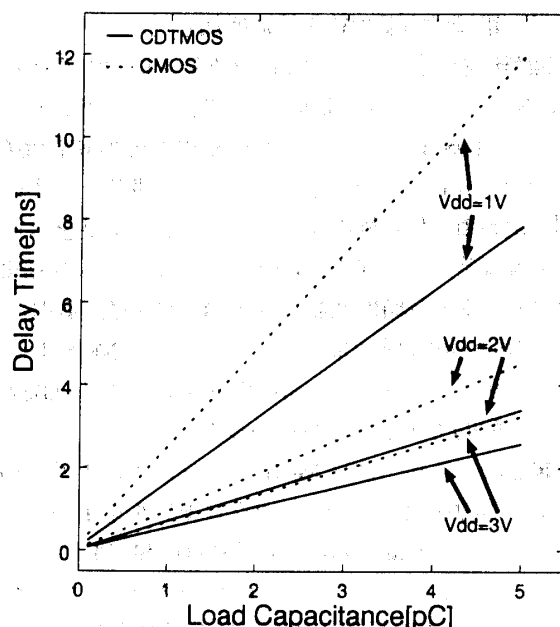


図2: シミュレーションによる負荷容量に対する遅延時間

参考文献

- [1] Fari Assaderaghi: "DTMOS: Its Derivatives and Variations, and Their Potential Applications", Ext. abs. Inter. Confer. on SSDM, pp310-311, 1998