

## 内部平衡構造に基づく部分スキャン設計法に関する考察

高崎 智也<sup>†</sup>      井上 智生<sup>†</sup>      藤原 秀雄<sup>†</sup>

### Partial Scan Design Methods Based on Internally Balanced Structure

Tomoya TAKASAKI<sup>†</sup>, Tomoo INOUE<sup>†</sup>, and Hideo FUJIWARA<sup>†</sup>

あらまし 筆者らは先に組合せ回路のテスト生成アルゴリズムでテスト生成可能な順序回路として、平衡構造を拡張した内部平衡構造順序回路を提案した。本論文ではその内部平衡構造に基づく部分スキャン設計法およびそのテスト生成法を提案する。更に、順序回路内のフリップフロップに限らず信号線をバイパスフリップフロップ（スキャンとバイパスの機能を有するフリップフロップ）に置き換え、テスト生成容易な順序回路に変換する拡張部分スキャン設計の手法を取り入れ、核回路を内部平衡構造とする拡張部分スキャン設計法を提案する。この拡張部分スキャン設計において、スキャン化による面積オーバーヘッドを小さくするフリップフロップや信号線を選択する方法を述べる。また、核回路を内部平衡構造とする部分スキャン設計および拡張部分スキャン設計された回路について、核回路に対するテスト生成法とスキャン化により新たに付加した回路のテスト生成法について述べ、これらのテスト生成法を用いて生成されるテスト系列が正しいテスト系列であることの正当性を示す。更に、ベンチマーク回路に対する実験結果より、提案した部分スキャン設計および拡張部分スキャン設計が少ない面積オーバーヘッドで実現できることを示す。

キーワード 順序回路, テスト生成, 内部平衡構造, バイパスフリップフロップ, 拡張部分スキャン設計

### 1. ま え が き

一般に組合せ回路に対しては、冗長故障を除いてほぼ100%の故障検出率を達成するテスト生成アルゴリズムが存在する。一方、順序回路のテスト生成は困難な問題で、回路規模が大きくなれば解けなくなる場合が多い。この問題を解決するために、回路中のすべてのフリップフロップをスキャン可能なフリップフロップ（スキャンフリップフロップ）に置き換える完全スキャン設計法が提案されている[1],[2]。完全スキャン設計では、スキャンフリップフロップを取り除いた残りの回路（核回路）が組合せ回路となるので組合せ回路のテスト生成アルゴリズムでテスト生成可能（組合せテスト生成可能）となり、冗長故障を除いてほぼ100%の故障検出率が得られるが、回路の面積オーバーヘッドが大きくなるという問題が生じる。順序回路中の一部のフリップフロップをスキャンフリップフロップに置き換える部分スキャン設計は小さい面積オーバーヘッドでテスト生成容易な回路を実現するための技術

の一つである。しかし、順序回路となる核回路に対し、順序回路のテスト生成法を必要とする部分スキャン設計法[3],[4]では、高いテスト効率を達成するのが依然として困難である。これに対し、文献[6]は組合せテスト生成可能な順序回路として平衡構造を提案し、核回路を平衡構造とする部分スキャン設計法を示した。また、筆者らは先に組合せテスト生成可能な順序回路として、平衡構造を拡張した内部平衡構造順序回路を提案し、その性質を利用して部分スキャン設計への応用について示した[7]。

本論文ではスキャン化による面積オーバーヘッドを更に小さくするために、順序回路内のフリップフロップに限らず、信号線をスキャンフリップフロップと同様の働きをするフリップフロップ[2],[8],[10]（バイパスフリップフロップ）に置き換える拡張部分スキャン設計の手法を取り入れ、核回路を内部平衡構造とする拡張部分スキャン設計法を提案する。この拡張部分スキャン設計において、スキャン化による面積オーバーヘッドを小さくするフリップフロップや信号線を選択する方法を述べる。また、核回路を内部平衡構造とする部分スキャン設計および拡張部分スキャン設計された回路について、核回路に対するテスト生成法とス

<sup>†</sup> 奈良先端科学技術大学院大学情報科学研究科, 生駒市  
Graduate School of Information Science, Nara Institute of Science and Technology, Ikoma-shi, 630-0101 Japan

キャン化により新たに付加した回路のテスト生成法について述べ、これらのテスト生成法を用いて生成されるテスト系列が正しいテスト系列であることの正当性を示す。更に、ISCAS'89 ベンチマーク回路に対する実験結果より、提案した部分スキャン設計および拡張部分スキャン設計が少ない面積オーバーヘッドで実現できることを示す。

## 2. 組合せテスト生成可能な順序回路

順序回路にフィードバックループがあれば、組合せ回路のテスト生成アルゴリズムでテスト生成することはできない[3]。従って、ここではまず対象回路を無閉路構造の（フィードバックループのない）順序回路に限定する。また、話を簡単にするためフリップフロップ（以下、FF と略す）は DFF に限定する。以下、本論文では対象とする故障モデルは信号線の縮退故障とする。

回路中の分岐点において、分岐点の入力側の信号線を分岐幹、分岐点の出力側の複数の信号線を分岐枝と呼ぶ。経路上に含まれる FF の個数をその経路の順序深度という。順序回路の外部入力から外部出力に至る経路の中で最大の順序深度を順序回路の順序深度とする。 $x$  を外部入力、 $x_i$  と  $x_j$  を  $x$  の分岐枝とすると、 $x_i$  と  $x_j$  から等しい順序深度で同じ外部出力  $z_k$  に至る経路が存在しないならば  $x_i$  と  $x_j$  は分離可能という。

集合  $X$  を互いに素な部分集合  $X_1, X_2, \dots, X_n$  に分け、 $X = \bigcup_{i=1}^n X_i$  となる時、これらの部分集合の集合  $\{X_1, X_2, \dots, X_n\}$  を集合  $X$  の分割と言い、各部分集合  $X_i$  ( $i = 1, 2, \dots, n$ ) をブロックと言う。二つの分割  $\pi_1, \pi_2$  に対して、もし  $\pi_1$  の各ブロックが  $\pi_2$  のブロックに含まれる時、 $\pi_1 \leq \pi_2$  と書く。ある条件  $C$  に対して、 $C$  を満たす  $X$  の極小分割  $\pi$  とは、条件  $C$  を満たし  $\pi' \leq \pi$  となる  $\pi'$  が存在しない分割を言う。

### 組合せ変換 (C 変換) [7]

無閉路構造の順序回路  $S$  に対する次の二つの操作による変換を組合せ変換 (C 変換) と呼び、変換されてできる組合せ回路を  $C(S)$  と書く。

(1) 分岐枝を有する外部入力について、その外部入力の分岐枝の集合を  $X$  とする。「分岐枝  $x_i$  と  $x_j$  が分割  $\pi$  の異なるブロック  $X(i), X(j)$  に属する ( $x_i \in X(i), x_j \in X(j); X(i) \neq X(j)$ ) ならば  $x_i$  と  $x_j$  は分離可能である」を満たす  $X$  の極小分割  $\pi$  を

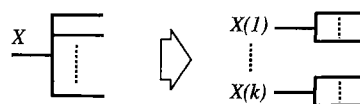


図1 外部入力分離  
Fig.1 Separation of primary inputs.

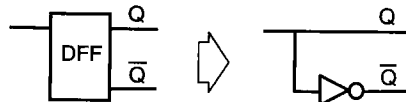


図2 FF の消去  
Fig.2 Deletion of flip-flops.

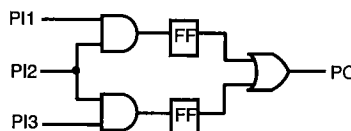


図3 平衡構造の例  
Fig.3 Example of balanced structure.

求める。分割した各ブロックごとに新たに外部入力を設けて、もとの外部入力を分離する (図1参照)。(注: 外部入力を分離する場合、分岐幹の故障はその分岐枝すべてに同時に存在する多重故障として扱う)

(2) FF を信号線に置き換える (FF の否定出力の場合は、NOT ゲートを付加する。図2参照)。□ 組合せテスト生成複雑度でのテスト生成可能性 [7]

「 $S$  を無閉路順序回路、 $C(S)$  をその  $C$  変換された組合せ回路とする。 $S$  における故障  $f$  が  $S$  でテスト可能であるための必要十分条件が  $C(S)$  における  $f$  に対応する故障  $f_c$  が  $C(S)$  においてテスト可能であることである」が言えるならば、順序回路  $S$  は、組合せテスト生成複雑度でテスト生成可能である (以下、組合せテスト生成可能であると略す) と言う。

組合せテスト生成可能な順序回路としては以下のものがある。

平衡構造 [6]: 回路  $S$  の任意の外部入力と外部出力の対について、その2点間のどの経路の順序深度も等しければ、 $S$  は平衡構造であると言う (図3参照)。

内部平衡構造 [7]: 回路  $S$  に  $C$  変換の操作 (1) を施してできる回路  $S'$  が平衡構造となるならば、 $S$  は内部平衡構造であると言う (図4参照)。

平衡構造の順序回路ではすべての外部入力が分離不可能であるので、 $C$  変換は操作 (2) だけで行われることになる。従って定義より、内部平衡構造は平衡構

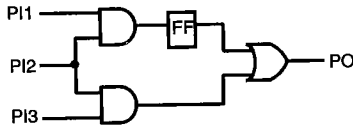


図4 内部平衡構造の例  
Fig.4 Example of internally balanced structure.

造より広い組合せテスト生成可能な順序回路のクラスと言える。

### 3. 内部平衡部分スキャン設計

次にフィードバックループ（閉路）のある一般の順序回路について考える。このとき、スキャンFFを除いた残りの回路（核回路）が内部平衡構造となるように部分スキャン設計を行うことを内部平衡部分スキャン設計と呼ぶ。内部平衡部分スキャン設計を行えば、組合せ回路のテスト生成アルゴリズムだけでテスト生成を行うことができる。これについては7.で示す。更に、8.でベンチマーク回路に対する実験結果より内部平衡部分スキャン設計が少ない面積オーバーヘッドで実現できることを示す。

### 4. 拡張部分スキャン設計

順序回路  $S$  に対して、 $S$  の中に含まれる要素  $e$  (FF, 信号線) を取り除くというのは、 $e$  への入力を  $S$  の外部出力、 $e$  からの出力を  $S$  の外部入力に置き換え、要素  $e$  を  $S$  から切り離す操作のことを言う。このとき、新たに置き換えられたこれらの外部入力、外部出力のことをそれぞれ擬似入力、擬似出力と呼ぶ。更にこの操作を演算子  $-$  で表し、 $S$  に含まれる要素の集合  $E$  に対し、 $S - E$  は  $E$  に属するすべての要素を  $S$  から取り除いた回路を表すものとする。

順序回路  $S$  があるとき、その中のFF, 信号線の集合をそれぞれ  $F, L$  とする。 $S$  に含まれる要素の集合  $E = \{FF_1, \dots, FF_n, l_1, \dots, l_m\}$  (但し、 $FF_i \in F (i = 1, \dots, n), l_j \in L (j = 1, \dots, m)$ ) に対して、 $S - E$  を核回路 (kernel circuit),  $E$  に属するFF, 信号線をそれぞれ外部FF (external flip-flops), 外部信号線 (external wires) と呼ぶ (図5参照)。

これまでほとんどの部分スキャン設計では、外部FFをスキャンFFに置き換えて、スキャンFFを等価的に外部入出力とみなすことにより、スキャンFFを取り除いた回路 (核回路) に対し、テスト生成が行われてきた。一方、FFばかりでなく信号線をスキャンFF

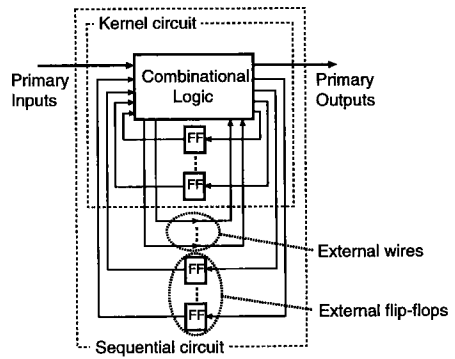


図5 核回路  
Fig.5 Kernel circuit.

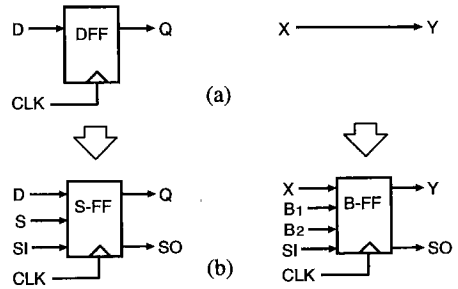


図6 拡張部分スキャン設計  
Fig.6 Extended partial scan design.

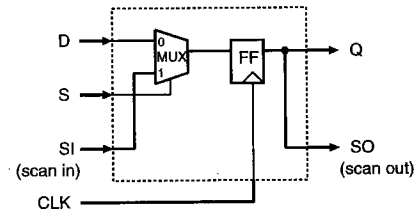


図7 スキャンFFの構成  
Fig.7 Structure of scan flip-flop.

と同等の働きをするパイパスFFに置き換える方法も提案されている [2],[8],[10]。図6のように、外部FFをスキャンFFに、外部信号線をパイパスFFに置き換える部分スキャン設計を拡張部分スキャン設計と言う。また、拡張部分スキャン設計された回路において、スキャンFF, パイパスFFをまとめて核外FFと言う。

スキャンFF, パイパスFF (以下、それぞれS-FF, B-FFと記す) としては、図7, 図8に示すような構成を考える。各S-FF, B-FFは表1に示すようにマルチプレクサの制御線の値により、通常動作モード、ロードモード、シフトモードの三つの動作モードを設

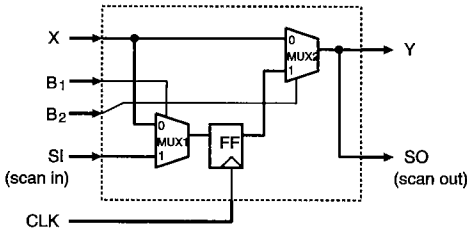


図8 バイパス FF の構成  
Fig.8 Structure of bypass flip-flop.

表1 各動作モードと制御線  
Table 1 Mode of operation and control line.

	S-FF		B-FF	
	S	B <sub>1</sub>	B <sub>2</sub>	
通常動作モード	0	X	0	
ロードモード	0	0	1	
シフトモード	1	1	1	

定する。また、FF に与えるクロックにより、ホールドモードを設定する。

通常動作モードでは、図 6(a) のように S-FF は DFF として、B-FF は信号線として機能する。ロードモードでは、核回路からの出力が S-FF、B-FF 内の FF に取り込まれ、その FF の値が S-FF、B-FF の値として出力される。シフトモードでは、スキャンパスを通してテストパターンが S-FF、B-FF 内の FF にスキャンインされ、同時にそれら FF の値がスキャンアウトされる。FF のホールドとは、データの値を連続したクロックサイクルの間、保持する機能のことを言う。また、このときの FF の動作モードのことをホールドモードと呼ぶ。拡張部分スキャン設計における各核外 FF は、ホールド機能を備えているものとする。

以上のように、拡張部分スキャン設計では完全スキャン設計と比較して B-FF に含まれるマルチプレクサの制御 (表 1 の B<sub>1</sub>, B<sub>2</sub> 入力) および FF のホールド機能の制御に余分な外部入力が必要になる。すなわち、B-FF を用いないときの付加入力数は (完全スキャン設計回路の付加入力数) + 1 で、B-FF を用いるときは表 1 の通常動作モード時の X の割当てに依存して +2 または +3 となる。

FF を一つの S-FF に置き換えることによって増加するハードウェア量を  $k_1$ 、信号線を一つの B-FF に置き換えることによって増加するハードウェア量を  $k_2$  とすると、拡張部分スキャン設計における回路全体の面積オーバーヘッド (ハードウェア増加量) は以下の式で

表現できる。

回路全体の面積オーバーヘッド

$$= k_1 \times (\text{外部 FF 数}) + k_2 \times (\text{外部信号線数})$$

$k_1, k_2$  の具体的な値としては、例えば、文献 [9] のようにマルチプレクサと FF のハードウェア量をそれぞれ 3 と 6 とすれば、 $k_1$  と  $k_2$  の比は 3 : 12 となる。

拡張部分スキャン設計における面積オーバーヘッドとして、このほかにも核外 FF にホールド機能をもたせるための面積オーバーヘッドが考えられる。但し、この機能は核外 FF のクロックとそれ以外の FF のクロックを別系統にすることによって実現することができ、その場合は FF のホールド機能の面積オーバーヘッドを無視することができる。従って、ここでは核外 FF のホールド機能付加による面積オーバーヘッドを評価の対象外としている。

拡張部分スキャン設計は、FF だけをスキャン化する部分スキャン設計よりも信号線を選べる分だけ選択の自由度が大きくなり、回路全体の面積オーバーヘッドを小さくすることが期待できる。

### 5. 内部平衡拡張部分スキャン設計

一般の順序回路について、核回路が内部平衡構造となるように拡張部分スキャン設計を行えば、内部平衡部分スキャン設計の場合と同じように、組合せ回路のテスト生成アルゴリズムだけでテスト生成を行うことができる。これについては 7. で示す。

核回路を内部平衡構造とする拡張部分スキャン設計をここでは内部平衡拡張部分スキャン設計と呼ぶ。内部平衡拡張部分スキャン設計において、スキャン化による面積オーバーヘッドを小さくする外部 FF と外部信号線を選択する方法について次の 6. で示す。

### 6. 拡張スキャン FF 選択問題

図 9 のように任意に与えられた順序回路から核回路が内部平衡構造となるときの面積オーバーヘッドを小さくする外部 FF および外部信号線の集合を求める問題を拡張スキャン FF 選択問題と言う。

この拡張スキャン FF 選択問題を、次の 2 段階に分けて解く方法を考える。2 段階に分けることにより、個々の段階で最適解が得られてもそれらは必ずしも全体の最適解となるわけではないが、問題を細分化することにより、より解きやすい形にすることができる上、

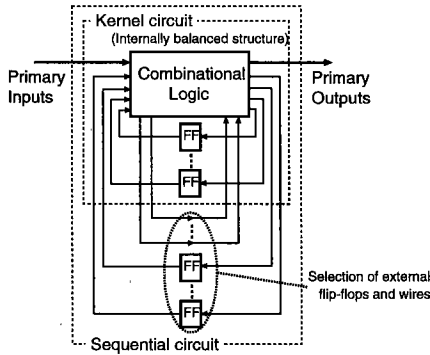


図9 拡張スキャンFF選択問題  
Fig.9 Extended scan flip-flop selection problem.

既存のアルゴリズムに変更を加えるだけで利用できるという利点がある。

1. 無閉路構造

核回路が無閉路構造となるように面積オーバーヘッド最小の外部FFおよび外部信号線を選択する。

2. 内部平衡構造

1. で得られた無閉路構造の核回路に対して、

(2-1) 分離可能な外部入力枝を分離する (核回路の擬似入力は対象外)。

(2-2) (2-1) で得られた回路について、平衡構造にするための面積オーバーヘッド最小の外部FFおよび外部信号線を選択する。

これらの問題を解くために、順序回路を次のようなグラフに置き換えて考える。

[定義1] 順序回路  $S$  の回路トポロジーグラフ (CTG) は、次のような重み付き有向グラフ  $G = (V, A, w)$  である。

$V$  は  $S$  のゲート, 分岐点, 外部入力, 外部出力を頂点とする集合。

$A \subset V \times V$  は  $S$  のFF, 信号線を辺とする集合 (各辺は順序回路  $S$  における接続関係を表す)。

$w : A \rightarrow Z^+$  (正の整数) は辺の重み (FF に対して  $k_1$ , 信号線に対して  $k_2$ 。ここで  $k_1$  はFFを一つのS-FFに置き換えるときのハードウェア増加量で、 $k_2$  は信号線を一つのB-FFに置き換えるときのハードウェア増加量である) □

CTG  $G$  は以下の変換規則を適用して、より頂点数の少ないグラフ  $\hat{G}$  に変換することができる。この変換規則から明らかなように、最初のグラフ  $G$  と変換後のグラフ  $\hat{G}$  では、オーバーヘッドの等しい拡張スキャ

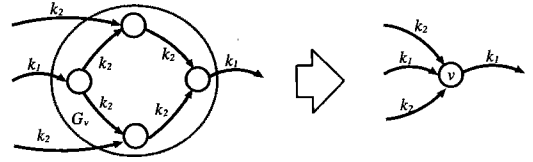


図10 グラフの変換規則  
Fig.10 Transformation rule of CTG.

ンFF選択問題の解が得られる。

変換規則: CTG  $G$  において、外部入出力以外の頂点とその中のすべての辺の重みが  $k_2$  (信号線) だけからなる  $G$  の無閉路部分グラフを  $G_v$  とする。  $G_v$  に入ってくる辺の重み和を  $w_i$ ,  $G_v$  から出ていく辺の重み和を  $w_o$  とする。更に、  $G_v$  に入って  $G_v$  から出ていくすべての有向道をカットするのに必要な辺の最小重み和を  $m_v$  とする。このとき、  $G_v$  の各入力から  $G_v$  のすべての出力へパスがあり、かつ、

$$m_v \geq \min\{w_i, w_o\}$$

ならば、  $G_v$  を図10のように一つの頂点  $v$  にマージする。 □

以上のグラフによる表現を用いれば、核回路が内部平衡構造となる外部FFおよび外部信号線を選択する手続きは、以下のように記述できる。

Step 1. 順序回路  $S$  のCTG  $G$  に変換規則を適用して、  $\hat{G}$  を求める。この  $\hat{G}$  を  $\hat{G} = (V, A, w)$  とする。

Step 2.  $\hat{G}$  から  $\sum_{a \in R_A} w(a)$  が最小となる辺集合  $R_A$  を除去することにより、無閉路グラフ  $G_A$  を求める。

Step 3. 無閉路グラフ  $G_A$  から分離可能な外部入力を分離することにより、  $\tilde{G}_A$  を求める。

Step 4.  $\tilde{G}_A$  から  $\sum_{a \in R_B} w(a)$  が最小となる辺集合  $R_B$  を除去することにより、平衡グラフ  $G_B$  を求める。 □

以上の結果、  $R = R_A \cup R_B$  が求める外部FFと外部信号線の集合となる。

上記のStep1の変換規則で重み和  $m_v$  は最小でなければならぬので、無閉路部分グラフ  $G_v$  はサイズの小さいものだけに限定する。更に、Step2およびStep4における最小化問題はNP完全であることが知られている [6] ので、発見的手法を考える必要がある。

Step2において  $\sum_{a \in R_A} w(a)$  が最小となる辺集合  $R_A$  を求めるには、  $\hat{G}$  に対して、重み付きMFAS (最小フィードバック辺集合) アルゴリズムを適用させ

ばよい。ここで、各辺の重みは FF が  $k_1$ 、信号線が  $k_2$  とする。

Step 3 における外部入力分離の操作は C 変換の操作 (1) に該当し、次のような手順で行われる。すなわち、各外部入力  $x$  について、そのすべての分岐枝の組  $(x_i, x_j)$  に対して等しい順序深度で同じ外部出力  $z_k$  に至る経路が存在するかどうかを調べ、存在すれば  $(x_i$  と  $x_j$  は分離不可能)  $x_i$  と  $x_j$  を同じ集合の中に入れ、存在しなければ、それぞれ別々の集合を設けてその中に入れる。その結果、生成された集合ごとに新たに外部入力を設ける。

Step 4 において  $\sum_{a \in R_B} w(a)$  が最小となる辺集合  $R_B$  は、文献 [6] の balancing procedure を変更した手続きで求めることができる。文献 [6] の balancing procedure では各辺の重みがレジスタのビット幅となっていたが、ここでは辺の重みを FF は  $k_1$ 、信号線は  $k_2$  に置き換えて考えればよい。

## 7. スキャン設計回路のテスト法

内部平衡部分スキャン設計および内部平衡拡張部分スキャン設計された回路のテストの手続きとして、スキャンパスを用いた核回路に対するテストとスキャン化により新たに付加した回路のテストの二つが考えられる。本章ではこれらのテスト生成法について考察し、これらのテスト生成法を用いて生成されるテスト系列が正しいテスト系列であることの正当性を示す。以下の議論は内部平衡拡張部分スキャン設計された回路について述べているが、B-FF が存在しない場合を考えれば、内部平衡部分スキャン設計された回路にもそのまま適用することができる。

順序回路を  $S$ 、 $S$  に対して内部平衡拡張部分スキャン設計を行った回路を  $S_{DFT}$  とする。また、 $S_{DFT}$  において、核外 FF を取り除いた回路 (内部平衡構造となる核回路) を  $S_K$  とする。また、 $S_K$  を C 変換した回路を  $C(S_K)$  とする。

順序回路  $S$  に対し、 $S_{DFT}$  のように拡張部分スキャン設計を行ってテストをするためには、 $S_{DFT}$  のすべての故障に対してテストが行われなければならない。このうち、 $S_{DFT}$  において  $S_K$  に対応する故障のことを  $S_{DFT}$  の核内の故障と呼ぶ。一方、 $S_{DFT}$  にあって、 $S_K$  にない故障 ( $S_{DFT}$  の核外 FF の故障) のことを  $S_{DFT}$  の核外の故障と呼ぶ。それぞれの故障に対するテストについて、以下に述べる。

### 7.1 核内の故障に対するテスト

$S_{DFT}$  の核内の故障を  $f_{DFT}$  とする。 $f_{DFT}$  に対応する  $S_K$  の故障を  $f_K$  とする。更に  $f_K$  に対応する  $C(S_K)$  の故障を  $f_C$  とする。 $f_{DFT}$ 、 $f_K$ 、 $f_C$  はそれぞれ 1 対 1 に対応している。

核回路  $S_K$  が内部平衡構造となるように拡張部分スキャン設計を行った回路  $S_{DFT}$  に対して、 $S_{DFT}$  の核内の故障  $f_{DFT}$  のテスト系列は以下の手順で求められる。

1.  $f_{DFT}$  に対応する  $C(S_K)$  の  $f_C$  について、組合せ回路のテスト生成アルゴリズムを使ってテスト生成を行う。
2. 生成されたテストパターンを  $S_K$  のテスト系列に変換する。
3.  $S_K$  のテスト系列を  $S_{DFT}$  のテスト系列に変換する。

1~3 の手順については、後で詳述する。この手順では、 $S_{DFT}$  での  $f_{DFT}$  のテスト生成問題は、 $C(S_K)$  での  $f_C$  のテスト生成問題に帰着している。これでテスト生成できることを保証するには、「 $S_{DFT}$  における故障  $f_{DFT}$  が  $S_{DFT}$  でテスト可能であるための必要十分条件は、 $C(S_K)$  における  $f_{DFT}$  に対応する故障  $f_C$  が  $C(S_K)$  においてテスト可能であることである」ことを示す必要がある。これを以下の定理で示す。

文献 [7] より、順序回路  $S_K$  が内部平衡構造ならば、 $S_K$  は組合せテスト生成可能であるので、次の定理が成立する。

[定理 1] 順序回路  $S_K$  は内部平衡構造であるとする。 $S_K$  における故障  $f_K$  が  $S_K$  でテスト可能であるための必要十分条件は、 $C(S_K)$  における  $f_K$  に対応する故障  $f_C$  が  $C(S_K)$  においてテスト可能であることである。□

定理 1 をもとに、 $S_K$  が内部平衡構造の場合、組合せ回路  $C(S_K)$  でテスト生成が行われ、それが  $S_K$ 、 $S_{DFT}$  のテスト系列に変換される手順を以下に示す。

[手順 1:  $C(S_K)$  におけるテスト生成] まず、 $S_K$  を C 変換して  $C(S_K)$  を求める。 $C(S_K)$  は組合せ回路なので、 $f_K$  に対応する故障  $f_C$  が  $C(S_K)$  でテスト可能であれば、組合せ回路のテスト生成アルゴリズムを用いて、 $f_C$  に対するテストパターンが求められる ( $f_K$  が  $S_K$  で冗長であれば、 $f_C$  は  $C(S_K)$  で冗長であるので (定理 1)、 $f_C$  に対するテストパターンは存在しない)。  $f_C$  に対するテストパターンが求められたとき、このテストパターンを  $T_C$  とする。

表2 テストパターン  $T_C$  とテスト系列  $T_K$   
Table 2 Test pattern  $T_C$  and test sequence  $T_K$ .

(a) $T_C$		(b) $T_K$										
入力	値	入力	時刻 $t$									
			1	...	$d+1-d_{ik}$	...	$d+1-d_{h1k}$	...	$d+1-d_{h2k}$	...	$d$	$d+1$
$x_1$	$a_1$	$x_1$	...		...							
⋮	⋮	⋮										
$x_i$	$a_i$	$x_i$	×	...	$a_i$	...	×	...	×	...	×	×
⋮	⋮	⋮										
$x_{h1}$	$a_{h1}$	$x_h$	×	...	×	...	$a_{h1}$	...	$a_{h2}$	...	×	×
$x_{h2}$	$a_{h2}$	⋮										
⋮	⋮	⋮										
$x_m$	$a_m$	$x_m$	...		...		...		...		...	
$y_1$	$b_1$	$y_1$	$b_1$	...	$b_1$	...	$b_1$	...	$b_1$	...	$b_1$	$b_1$
⋮	⋮	⋮	⋮		⋮		⋮		⋮		⋮	⋮
$y_p$	$b_p$	$y_p$	$b_p$	...	$b_p$	...	$b_p$	...	$b_p$	...	$b_p$	$b_p$
⋮	⋮	⋮	⋮		⋮		⋮		⋮		⋮	⋮
$y_l$	$b_l$	$y_l$	$b_l$	...	$b_l$	...	$b_l$	...	$b_l$	...	$b_l$	$b_l$

[手順2:  $S_K$  におけるテスト系列]  $S_K$  の順序深度を  $d$  とすると,  $S_K$  のテスト系列  $T_K$  の長さは  $d+1$  となる. ここで  $f_C$  はテストパターン  $T_C$  によって  $C(S_K)$  の出力  $z_k$  (外部出力若しくは擬似出力) で検出されるものとする.  $f_C$  に対応する故障  $f_K$  が時刻  $d+1$  に  $S_K$  の出力  $z_k$  で検出されるように, テスト系列  $T_K$  の外部入力  $x_i$  ( $i = 1, 2, \dots, m$ ) および擬似入力  $y_p$  ( $p = 1, 2, \dots, l$ ) の値を以下のように決める (表2参照).

(1) 外部入力  $x_i$  ( $i = 1, 2, \dots, m$ ) の値の決め方

(1-a)  $x_i$  が分離不可能な外部入力の場合

$x_i$  から出力  $z_k$  への順序深度  $d_{ik}$  は一意的に決まる. テストパターン  $T_C$  の外部入力  $x_i$  の値をテスト系列  $T_K$  の時刻  $d+1-d_{ik}$  のときの外部入力  $x_i$  の値と決める.

(1-b)  $x_i$  が分離可能な外部入力の場合

$S_K$  における外部入力  $x_i$  が  $C(S_K)$  において外部入力  $x_{i1}, x_{i2}, \dots, x_{in}$  に分離されているとする. 内部平衡構造であるので, 各  $x_{ij}$  から  $z_k$  への順序深度は一意的に決まり, それを  $d_{ijk}$  とする. それらは分離可能であるので,  $d_{ijk}$  ( $j = 1, 2, \dots, n$ ) はすべて異なる順序深度となる. 従って, 時刻  $d+1-d_{ijk}$  ( $j = 1, 2, \dots, n$ ) はすべて異なり, テスト系列  $T_K$  の  $n$  箇所の時刻に値を設定する. すなわち, テストパターン  $T_C$  の各外部入力  $x_{ij}$  ( $j = 1, 2, \dots, n$ ) の値を, テスト系列  $T_K$  の時刻  $d+1-d_{ijk}$  ( $j = 1, 2, \dots, n$ ) の外部入力  $x_i$  の値と決める.

(2) 擬似入力  $y_p$  ( $p = 1, 2, \dots, l$ ) の値の決め方

擬似入力  $y_p$  ( $p = 1, 2, \dots, l$ ) はすべて分離不可能な入力となっている. よって,  $y_p$  から出力  $z_k$  への順序深度  $d_{ypk}$  は一意的に決まる. テストパターン  $T_C$  の擬似入力  $y_p$  の値をテスト系列  $T_K$  の時刻  $d+1-d_{ypk}$  のときの擬似入力  $y_p$  の値と決める. 後で  $S_{DFT}$  対応のテスト系列を作ることを考慮して,  $y_p$  の  $d+1-d_{ypk}$  以外の時刻にも時刻  $d+1-d_{ypk}$  と同じ値を割り当てる. 従って, 結果的には  $S_K$  の擬似入力  $y_p$  ( $p = 1, 2, \dots, l$ ) の値はどの時刻もテストパターン  $T_C$  の擬似入力  $y_p$  の値と同じ値になっている.

以上のようにして, 時刻  $1, 2, \dots, d, d+1$  での外部入力, 擬似入力の値が決まる. 時刻  $t$  における外部入力ベクトルを  $X_t$ , 擬似入力ベクトルを  $Y_t$  とすると,  $S_K$  の故障  $f_K$  に対するテスト系列  $T_K$  は外部入力系列  $[X_1, X_2, \dots, X_d, X_{d+1}]$ , 擬似入力系列  $[Y_1, Y_2, \dots, Y_d, Y_{d+1}]$  ( $Y_1 = Y_2 = \dots = Y_d = Y_{d+1}$ ) となる.

[手順3:  $S_{DFT}$  におけるテスト系列]  $S_K$  では対応する時刻ごとに各入力ベクトルを割り当てることにより,  $d+1$  時刻目の応答を観測して, テストを行っている.  $S_{DFT}$  では  $S_K$  における擬似入出力が S-FF, B-FF に置き換わっているため, 擬似入力がスキャンパスを通しての入力に変わっていることを考慮して, テストを行うようにする.

$S_K$  の故障  $f_K$  に対応する  $S_{DFT}$  の故障  $f_{DFT}$  のテスト系列  $T_{DFT}$  は以下の手順となる.

1. すべての核外 FF をシフトモードにして、擬似入力ベクトル  $Y_1$  をスキャンインする。

2. (a) すべての核外 FF をホールドモード、すべての内部 FF をロードモードにして、外部入力系列  $X_1, X_2, \dots, X_d$  を印加する。

(b) すべての核外 FF をロードモードにして、 $X_{d+1}$  を入力。

(c) すべての核外 FF をシフトモードにして、スキャンアウト。

上に示した手順は  $S_{DFT}$  のある故障  $f_{DFT}$  に対するものであったが、 $S_{DFT}$  の検出可能なすべての故障に対してテストを行う際には、上記の 2. の操作はそのテスト数分だけ繰り返される（この場合、2. (c) のところでスキャンアウトすると同時に次のテストパターンをスキャンインする）。

以上のようにして、 $S_K$  が内部平衡構造の場合、組合せ回路  $C(S_K)$  でテスト生成が行われ、 $S_{DFT}$  のテスト系列に変換される。

以上のテスト系列の変換手順 1~3 と定理 1 から次の定理が成立する。

[定理 2] 順序回路  $S_K$  は内部平衡構造であるとする。 $S_K$  における故障  $f_K$  が冗長故障ならば、 $f_K$  に対応する  $C(S_K)$  の故障  $f_C$  が手順 1 において冗長故障と判定される。 $S_K$  における故障  $f_K$  がテスト可能ならば、手順 2, 3 で得られる系列  $T_K, T_{DFT}$  は、各々  $S_K, S_{DFT}$  において対応する故障  $f_K, f_{DFT}$  のテスト系列になっている。 □

定理 2 が  $S_{DFT}$  の核内の故障についても成立する

ことを言うには、次の定理を示す必要がある。

[定理 3] 順序回路  $S_K$  は内部平衡構造で、 $S_{DFT}$  の核外 FF はホールド機能をもつとする。このとき、 $S_K$  における故障  $f_K$  が  $S_K$  でテスト可能であるための必要十分条件は、 $S_{DFT}$  における  $f_K$  に対応する故障  $f_{DFT}$  ( $S_{DFT}$  の核内の故障) が  $S_{DFT}$  においてテスト可能であることである。

(証明) 必要条件の証明は上に述べたテスト系列の変換手順から明らかである。十分条件については  $S_{DFT}$  を核回路とそれ以外の回路に分けて考えれば、 $S_{DFT}$  の核回路の故障  $f_{DFT}$  に対するテストが  $S_K$  の故障  $f_K$  に対するテストになることを簡単に示すことができる。詳細は文献 [13] を参照されたい。 □

### 7.2 核外の故障に対するテスト

$S_{DFT}$  の核外の故障（核外 FF の故障）に関しては次の定理が成立する。

[定理 4] 核回路が内部平衡構造となるように拡張部分スキャン設計を行った回路を  $S_{DFT}$  とする。このとき、S-FF, B-FF の非冗長故障はテスト可能である。 □

この定理の証明および具体的なテスト系列については紙面の都合上、省略する。詳細は文献 [13] を参照されたい。

## 8. 実験結果

6. で示した手法に基づき、核回路を内部平衡構造とするための外部 FF および外部信号線を求める実験を ISCAS '89 ベンチマーク回路に対して行った。ここで、

表 3 実験結果  
Table 3 Experimental results.

回路名	回路特性				面積オーバーヘッド				
					GGB [6]	手法 1	手法 2		
	ゲート数	入力数	出力数	FF 数			FF	Wire	合計
s1196	388	14	14	18	16	16	16	0	16
s1238	428	14	14	18	16	16	16	0	16
s1423	490	17	5	74	72	72	72	0	72
s5378	1004	35	49	179	124	124	124	0	124
s9234	2027	19	22	228	210	210	210	0	210
s9234.1	2027	36	39	211	193	193	193	0	193
s13207	2573	31	121	669	471	471	409	10	449
s13207.1	2573	62	152	638	441	441	379	10	419
s15850	3448	14	87	597	555	552	552	0	552
s15850.1	3448	77	150	534	483	480	480	0	480
s38417	8709	28	106	1636	1255	1255	1240	3	1252
s38584	11448	12	278	1452	1445	1445	1445	0	1445
s38584.1	11448	38	304	1426	1419	1419	1419	0	1419
s35932	12204	35	320	1728	1728	1704	1704	0	1704



FF を一つの S-FF に置き換えるハードウェア増加量を  $k_1$ , 信号線を一つの B-FF に置き換えるハードウェア増加量を  $k_2$  とすると,  $k_1 = 1$ ,  $k_2 = 4$  として面積オーバーヘッドの計算を行った。

実験結果は表 3<sup>(注1)</sup> に掲げたとおりである。ここで、「GGB」は核回路を平衡構造とする部分スキャン設計 [6] のときの面積オーバーヘッド (スキャン FF 数), 「手法 1」は内部平衡部分スキャン設計のときの面積オーバーヘッド (同), 「手法 2」は内部平衡拡張部分スキャン設計のときの面積オーバーヘッド (FF, Wire はそれぞれそのときの外部 FF, 外部信号線数) を示している。表 3 の結果より, s15850, s15850.1, s35932 では外部入力分離の効果により手法 1 が GGB [6] より少ない面積オーバーヘッドで実現できることが示された。また, s13207, s13207.1, s38417 では外部信号線を選択する効果が現れて, 手法 2 が最も少ない面積オーバーヘッドで実現できることが示された。それ以外の回路については GGB と同じ結果となったが, 全体として見ると, 手法 1 は GGB に対して, 更に手法 2 は手法 1 に対して, 同じかそれよりも良い結果が得られている。

## 9. む す び

組合せテスト生成可能な順序回路として内部平衡構造を考え, 核回路を内部平衡構造にする部分スキャン設計および拡張部分スキャン設計の手法を示し, その性質を明らかにした。拡張部分スキャン設計では, 従来の部分スキャン設計と比較して, FF だけでなく信号線も選択することによって選択の自由度が大きくなり, 回路全体の面積オーバーヘッドを小さくすることが期待できる。また, 任意に与えられた順序回路から核回路が内部平衡構造となるとき面積オーバーヘッドを小さくする外部 FF および外部信号線を選択する問題について考察した。更に, 核回路を内部平衡構造とする部分スキャン設計および拡張部分スキャン設計された回路では, 組合せ回路のテスト生成アルゴリズムで生成されたパターンを変換した系列によりテストすることができることを導いた。最後に, ISCAS'89 ベンチマーク回路に対する実験結果より, 提案した部分スキャン設計および拡張部分スキャン設計が少ない面積オーバーヘッドで実現できることを示した。

**謝辞** 本研究に関し, 多くの貴重な意見を頂いた増

澤利光助教授, 井上美智子助手はじめ本学情報論理学講座の皆様方に感謝致します。

## 文 献

- [1] H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, 1985.
- [2] M. Abramovici, M.A. Breuer, and A.D. Friedman, "Digital Systems Testing and Testable Design," Computer Science Press, 1990.
- [3] K. Cheng and V.D. Agrawal, "A partial scan method for sequential circuits with feedback," IEEE Trans. Comput., vol.39, no.4, pp.544-548, April 1990.
- [4] D.H. Lee and S.M. Reddy, "On determining scan flip-flops in partial-scan designs," Proc. Int. Conf. CAD, pp.322-325, 1990.
- [5] R. Gupta and M.A. Breuer, "Testability properties of acyclic structures and applications to partial scan design," Proc. IEEE VLSI Test Symp., pp.49-54, 1992.
- [6] R. Gupta, R. Gupta, and M.A. Breuer, "The BALLAST methodology for structured partial scan design," IEEE Trans. Comput., vol.39, no.4, pp.538-544, April 1990.
- [7] 藤原秀雄, 大竹哲史, 高崎智也, "組合せテスト生成複雑度でテスト生成可能な順序回路構造とその応用," 信学論 (D-I), vol.J80-D-I, no.2, pp.155-163, Feb. 1997.
- [8] H.J. Wundelich and S. Hellebrand, "The pseudoexhaustive test of sequential circuits," IEEE Trans. CAD, vol.11, no.1, pp.26-33, 1992.
- [9] D. Kagaris, S. Tragoudas, and D. Bhatia, "Pseudoexhaustive BIST for sequential circuits," Proc., IEEE Int. Conf. on Computer Design, pp.523-527, 1993.
- [10] J. Steensma, F. Catthoor, and H. DeMan, "Partial scan and symbolic test at the register-transfer level," Journal of Electronic Testing: Theory and Applications, vol.7, pp.7-23, 1995.
- [11] S.T. Chakradhar, A. Balakrishman, and V.D. Agrawal, "An exact algorithm for selecting partial scan flip-flops," Proc., IEEE Design Automation Conference, pp.81-86, 1994.
- [12] A. Balakrishman and S.T. Chakradhar, "Sequential circuits with combinational test generation complexity," Proc., IEEE Int. Conf. VLSI Design, pp.111-117, Jan. 1996.
- [13] 高崎智也, 井上智生, 藤原秀雄, "組合せテスト生成可能な拡張部分スキャン設計," NAIST Information Science Technical Report, NAIST-IS-TR96016, Sept. 1996.
- [14] 高崎智也, 井上智生, 藤原秀雄, "組合せテスト生成可能な拡張部分スキャン設計," 信学技報, FTS95-41, 1996.

(平成 9 年 6 月 4 日受付, 9 月 11 日再受付)

(注 1) : 回路名に '1' が付加されている回路は, もとのベンチマーク回路で外部入力から到達不能なフリップフロップを外部入出力に置き換えた回路である。



高崎 智也 (学生員)

平7創価大・工・情報システム卒。平9奈良先端大博士前期課程了。現在奈良先端大博士後期課程に在学中。テスト容易化設計、テスト容易化高位合成に関する研究に従事。



井上 智生 (正員)

昭63明大・工・電子通信卒。平2同大大学院博士前期課程了。同年松下電器産業(株)入社。明大大学院博士後期課程を経て、現在奈良先端大情報科学研究科助手。松下電器産業(株)においてマイクロプロセッサの研究開発に従事。明治大、奈良先端大において、テスト生成、並列処理、テスト容易化設計に関する研究に従事。博士(工学)。IEEE、情報処理学会各会員。



藤原 秀雄 (正員)

昭44阪大・工・電子卒。昭49同大大学院博士後期課程了。阪大工学部助手、明治大理工学部教授を経て、現在奈良先端大情報科学研究科教授。昭56ウォータールー大客員助教授。昭59マッギル大客員準教授。論理設計、高信頼設計、設計自動化、テスト容易化設計、テスト生成、並列処理、計算複雑度に関する研究に従事。著書に“Logic Testing and Design for Testability”(The MIT Press)など。工博。情報処理学会会員、IEEE Fellow。