

低消費電力設計とそのテストビリティに関する考察

上田 祐彰[†] 樹下 行三^{††}

Testability of Low Power Designed Circuits

Hiroaki UEDA[†] and Kozo KINOSHITA^{††}

あらまし 本論文は消費電力低減化手法によって生成された論理回路のテスト容易性について考察したものである。まず、消費電力低減化手法PORTを冗長信号線の除去が可能になるように拡張した手法PORT-2を提案し、ベンチマーク回路に対する実験により冗長除去を行わない手法PORTと提案手法PORT-2との比較検討を行う。続いて、PORT-2によって変換された回路のテスト容易性について考察する。テストビリティに関するパラメータとしては、単一縮退故障に対するテストベクトル数、回路内のパスの総数について考え、平均消費電力低減化手法によって変換された回路と、変換前の回路における各パラメータを比較した。また、回路の動作速度に影響を与えるパラメータとして最長パスの長さを考え、消費電力低減化との関係についても考察した。実験結果では、PORT-2を適用することにより、単一縮退故障に対するテストベクトル数は減少するが、最長パスの長さ、パスの総数は増加することが示された。また、各パラメータに制限を加えてPORT-2を実行した結果、パスの総数を制限すると、平均消費電力の削減率が著しく低下することが示された。

キーワード CMOS論理回路, ローパワー設計, テスタビリティ, トランスダクション法

1. ま え が き

回路を設計する上では、動作速度、面積、消費電力、検査容易性など、さまざまな要因を考慮する必要がある。これらの要因の中で、消費電力の最小化、低減化は携帯用アプリケーションの普及に伴って、その重要性が増してきている[1]~[7]。本論文は、CMOS論理回路の平均消費電力の低減化手法によって得られた論理回路のテストビリティについて考察したものである。

これまでに提案されているCMOS論理回路に対する平均消費電力の低減化手法には、テクノロジマッピング手法[2], [3], 多段論理最適化手法[4]~[6], 順序回路における状態割当手法[7]等がある。これらの手法は、CMOS論理回路の平均消費電力の低減化、最小化を行うものであるが、そのほとんどが平均消費電力と回路の動作速度、あるいは平均消費電力と回路面積との関係については論じたものであり、平均消費電力の低減化に伴って生じるテストビリティパラメータの変化に

関して詳しく考察したものは存在しない。本論文では、トランスダクション法を用いて平均消費電力を低減化する手法PORT[6]により生成された回路の、さまざまなテストビリティパラメータについて考察する。

PORTは平均消費電力の低減化のみを目的とした手法であり、冗長な信号線が存在してもそれを取り除くことによって消費電力が増加すれば、冗長除去は行わない。本論文では、PORTに冗長除去機能を組み込み、冗長な信号線が見つけられるたびに冗長除去を行う場合と、冗長除去を行うか否かを平均消費電力の増減によって決定する場合について、平均消費電力の削減率、計算時間の比較を行う。

続いて、PORTによって得られた回路のテストビリティについて考察する。本論文では、極小テスト集合生成プログラム[8]によって生成される単一縮退故障に対するテストベクトルの個数、および回路内のパスの総数をテストビリティパラメータとして使用する。また、回路の動作速度への影響を考え、回路内の最長パスの長さもパラメータとして使用する。PORTによるテストビリティへの影響は、PORTの適用前と適用後の回路の各テストビリティパラメータの値を比較することによって評価する。更に、平均消費電力の低減化によって悪化したパラメータについては、そのパラメータを悪化させないようにパラメータの値に制限を加

[†] 広島市立大学情報科学部知能情報システム工学科, 広島市
Faculty of Information Sciences, Hiroshima-City University, Hiroshima-shi, 731-31 Japan

^{††} 大阪大学大学院工学研究科応用物理学専攻, 吹田市
Faculty of Engineering, Osaka University, Suita-shi, 565 Japan

え、制限を加えたことによるPORTの平均消費電力の低減化能力への影響についても考察する。

本論文は次のように構成されている。2. では、平均消費電力低減化手法PORTについて概説する。3. では、冗長除去処理が行えるようにPORTを拡張し、ベンチマーク回路に対する実験結果を提示する。4. では、電力低減化手法によって得られた回路のテストビリティについて考察し、テストビリティパラメータの値が悪化しないような制限を設けて電力低減化手法を実行させたときの結果を提示する。

2. 消費電力低減化手法

2.1 平均消費電力の評価

CMOSゲートでは、貫通電流、ゲートの負荷容量に対する充放電電流、リーク電流によって電力が消費される。これらのうち、ゲートの出力値が変化する際に生じるゲートの負荷容量に対する充放電電流は、他の二つの電力消費の要因に比べ、大きいことが知られている。このため、CMOSゲートGで消費される平均的な電力量 P_G は式(1)により、CMOS論理回路全体での平均消費電力 P_c は式(2)により近似的に与えられている[2]~[7], [9]~[12]。

$$P_G = \frac{1}{2} \cdot V_{dd}^2 \cdot f \cdot C_G \cdot T_G \quad (1)$$

$$P_c = \frac{1}{2} \cdot V_{dd}^2 \cdot f \cdot \sum_{G \in S} (C_G \cdot T_G) \quad (2)$$

ここで、 V_{dd} 、 f はそれぞれ電源電圧と動作周波数、 C_G はゲートGの負荷容量である。 T_G は遷移確率と呼ばれ、ゲートGの出力値が1クロックサイクル間に変化する平均回数を表す。本論文では、外部入力値が遷移することによる電力消費も P_c を評価する上で考慮するため、 S は回路内の全ゲートおよび全外部入力値の集合とする。

本論文では、 V_{dd} および f は与えられていると仮定する。更に、各ゲートの負荷容量 C_G がゲートのファンアウト数 N_G に比例し[3], [6]、その比例定数を α とおくと、 $C_G = \alpha \cdot N_G$ を得る。従って本論文では、平均消費電力低減化のための目的関数として、 $\sum(C_G \cdot T_G)$ の代わりに式(3)で定義される電力パラメータ Φ を使用する。

$$\Phi = \sum_{G \in S} (N_G \cdot T_G) \quad (3)$$

T_G の値は、外部入力値の遷移確率、およびCMOSゲートのデザインスタイルに依存して決まる。本論文では、以下の四つの仮定の下で T_G の評価を行う。

- 1) 回路内のすべてのゲートは完全相補形CMOSゲートにより構成されている。
- 2) 外部入力値の遷移確率は与えられている。
- 3) 外部入力値は互いに独立である。
- 4) ゼロ遅延モデル

遷移確率の評価法としては、BDD (Binary Decision Diagram) traversal method [10], [13] を用いる。

2.2 平均消費電力低減化手法

文献[6]で提案されている平均消費電力低減化手法PORTは、トランスダクション法[14]~[16]で用いられる許容関数集合を用いて可能な回路変換を見つけ出し、電力パラメータを小さくする回路変換を繰り返し実行することによって、電力パラメータを低減化する手法である。PORTが実行する回路変換は、以下の3種類のうちのいずれかである。

[変換1] 信号線Mにおける論理関数が信号線Lの許容関数であるとき、信号線Mのファンアウトブランチ M' を作り、 M' をLをファンインとしてもつゲート(ファンアウトブランチ)に接続し、Lを削除する。Lを削除することによって、ゲートの出力線が存在しなくなるゲートがあれば、そのゲートを削除する。

[変換2] 信号線Mにおける論理関数の否定が信号線Lの許容関数であるとき、信号線Mのファンアウトブランチ M' と M' をファンインとするNOTゲートを作り、新たに作られたNOTゲートの出力をLをファンインとしてもつゲート(ファンアウトブランチ)に接続し、Lを削除する。Lを削除することによって、ゲートの出力線が存在しなくなるゲートがあれば、そのゲートを削除する。

[変換3] 冗長な信号線を削除する。この操作によりゲートの出力線が存在しなくなるゲートがあれば、そのゲートを削除する。

例えば図1 (a) に示す回路は外部出力関数を変化させることなく、図1 (b) に示す回路に変換可能である。この回路変換は前述の変換1に相当する。ここで、外部入力 a 、 b の遷移確率、および a 、 b の値が1になる確率がそれぞれ0.5であると仮定すると、図1 (a) の回路の電力パラメータ Φ の値は3.25、図1 (b) の回路の Φ の値は3.00となる。図1 (a) から図1 (b) への回路変換は Φ を減少させるため、この回路変換は実行される可能性がある。

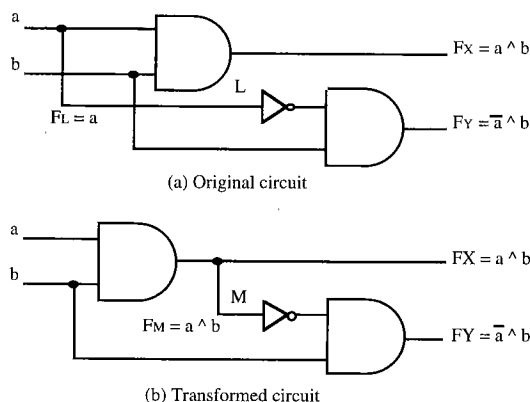


図1 回路変換
Fig. 1 Transformation.

PORTは、電力パラメータを削減する回路変換の中で、 Φ の値を最も小さくする回路変換から順に実行する。PORTは電力パラメータのみを目的関数としているため、冗長な信号線があったとしても、それを除去することによって Φ が増加すれば、その冗長な信号線を除去することはない。従って、冗長な信号線が回路内に存在しても、 Φ を削減する回路変換が存在しなければ、PORTは終了する。

PORTのアルゴリズムを以下に示す。

[平均消費電力低減化手法PORT]

- Step 1: 全ゲート出力に対する論理関数、遷移確率を計算する。
- Step 2: 電力パラメータ Φ を計算する。
- Step 3: 全信号線に対して許容関数集合を求める。
- Step 4: 可能な回路変換をリストアップする。
- Step 5: Φ を減少させる回路変換が存在しなければ終了する。
- Step 6: Φ を最も削減させる回路変換を実行し、Step 3に戻る。

3. 冗長除去を伴った平均消費電力低減化

3.1 冗長信号線と電力パラメータ

PORTでは、冗長な信号線が存在してもそれを除去することによって Φ が増加すれば、その冗長な信号線を除去することはない。このため、平均消費電力低減化手法によって変換された回路には、冗長な信号線が存在する場合がある。冗長な信号線は、

[Type 1] 論理値が0または1の一方の値のみをとり他方の値はとり得ない信号線。

[Type 2] 0, 1双方の値をとり得るが信号値の変化が

外部出力に伝搬しない信号線。

の二つに大別できる。冗長な信号線Lの除去に伴って生じる電力パラメータの増減は、

[要因1] Lをファンアウトとしてもつゲートのファンアウト数がLの除去により減少し、 Φ が減少する。あるいはLを出力信号線とするゲートがLの除去に伴って取り除かれることによって Φ が減少する。

[要因2] Lの除去に伴って、Lから外部出力に向かって到達可能なゲートの出力における論理関数が変化することによって Φ の値が増減する。

の二つに分けることができる。Type 1に属する冗長信号線を除去する場合は、要因2によって Φ が増加することはない。一方、Type 2に属する冗長信号線を除去する場合は、要因2によって Φ が増加することがある。冗長な信号線が除去されない場合は、要因2による Φ の増加が要因1による Φ の減少より大きいときであり、除去されない冗長な信号線はType 2に属する信号線である。

テストベクトルの生成においては、冗長な信号線の存在はテストベクトルの生成時間、故障検出率に対して悪影響を及ぼす可能性がある。次の節では、電力パラメータの増加を伴う冗長除去をも実行するようなPORTの拡張について述べる。

3.2 冗長除去を伴った平均消費電力低減化

PORTに冗長除去機能をもたせる方法として、冗長な信号線が発見されるたびに冗長除去を実行しながら電力パラメータを低減化する、という方策を用いる。冗長な信号線の判定には、許容関数集合が用られ、冗長な信号線は1本ずつ除去される。但し、冗長な信号線の除去方法は一意ではないため、除去後の電力パラメータが最も小さくなるような冗長信号線から順に除去操作を行う。

以下に冗長除去機能をもつようにPORTを拡張したアルゴリズムPORT-2を示す。

[PORT-2]

- Step 1: 全ゲート出力に対する論理関数、遷移確率を計算する。
- Step 2: 電力パラメータ Φ を計算する。
- Step 3: 全信号線に対して許容関数集合を求める。
- Step 4: 冗長な信号線が存在するならばStep 5に、存在しなければStep 6に進む。
- Step 5: 除去後の Φ の値が最も小さくなるような冗長な信号線を除去し、Step 3に戻る。
- Step 6: 変換1あるいは変換2に相当する、可能な回

路変換をすべてリストアップする。

Step 7: Φ を減少させる回路変換が存在しなければ終了する。

Step 8: Φ を最も削減させる回路変換を実行し、Step 3に戻る。

上記アルゴリズムのStep 5では、冗長除去によって Φ が増加する場合でも、冗長除去は実行される。この点が2.2で述べたPORTとの相違点である。

3.3 平均消費電力低減化手法に対する実験結果

平均消費電力低減化手法のISCAS'89ベンチマーク回路[17]に対する実験結果を提示する。使用した計算機は、Sun SS10である。ISCAS'89ベンチマーク回路は組合せ回路として扱われている。表1は平均消費電力低減化手法を適用する前の回路、およびPORT-2、PORTの適用後の回路の電力パラメータ $\Phi_i (i \in \{0, 1, 2\})$ 、トランジスタ数 $\#T_i (i \in \{0, 1, 2\})$ をまとめたものである。NAND、NORのトランジスタ数は、ゲートのファンイン数 $\times 2$ 、NOTのトランジスタ数は2として計算している。AND、ORはNAND、NORとNOTにより構成されているとし、ゲートのファンイン数 $\times 2 + 2$ として計算している。各外部入力が論理値1をとる確率、および遷移確率はそれぞれ0.5として実験を行っている。表中のRatio_Φ、Ratio_Tは、電力パラメータ、トランジスタ数に関する、PORTの適用前と後との比である。表中の冗長数とは、単一縮退故障として冗長な代表故障の数である。PORT-2による回路変換では、このような冗長な信号線はすべて除去される。PORT-2による電力パラ

メータの削減率(100 - Ratio_Φ₂)はPORTによる電力パラメータの削減率とほぼ等しく、冗長除去操作をPORTに組み込むことによる平均消費電力の低減化能力への影響は大きくない。その一方で、計算に要する時間はPORT-2の方がPORTに比べ、平均で3割程度少なくなっている。計算時間の多くは、PORTではStep 4、PORT-2ではStep 6で費やされるが、そこでの計算時間は信号線数(トランジスタ数)に大きく依存する。PORT-2では、冗長な信号線が除去された後にStep 6の処理を行うため、PORT-2におけるStep 6に要する計算時間は、PORTにおけるStep 4での計算時間に比べて少なくなる。このことが、PORT-2の計算時間がPORTに比べて少なくなる原因である。

以上のことから、冗長除去は平均消費電力の削減にとって有益であることが示されている。以降ではPORT-2により生成された回路についてのみ考察する。

4. 消費電力低減化によるテストビリティパラメータへの影響

本章では、平均消費電力低減化手法によって得られた回路のテストビリティについて考察する。ここでは、テスト容易性を表すパラメータとして、1) 単一縮退故障に対するテストベクトル数、2) 回路内のパスの総数の二つについて考察する。本論文では、パスの総数はパス遅延故障を考慮する上でのテストビリティパラメータとして考えている。また、回路の動作速度への影響を考え、3) 回路内の最長パスの長さ

表1 冗長除去を伴った平均消費電力低減化手法による実験結果
Table 1 Results by power reduction with redundancy removal.

回路名	変換前		PORT-2					PORT					
	Φ ₀	#T ₀	Φ ₂	Ratio_Φ ₂	#T ₂	Ratio_T ₂	CPU(s)	Φ ₁	Ratio_Φ ₁	#T ₁	Ratio_T ₁	冗長数	CPU(s)
s208	54.97	374	51.13	74.8	356	95.2	6514	41.13	74.8	356	95.2	0	6080
s298	133.20	582	78.14	58.7	378	64.9	572	79.66	59.8	384	66.0	0	668
s349	135.98	654	111.75	82.2	556	85.0	2777	111.75	82.2	556	85.0	0	3843
s382	155.34	682	102.47	66.0	498	73.0	3554	102.83	66.2	504	73.9	1	4902
s386	168.20	930	61.94	36.8	612	65.8	1838	60.82	36.2	606	65.2	0	2582
s444	165.26	758	105.64	63.9	520	68.6	5397	106.98	64.7	544	71.8	4	7738
s510	166.44	974	126.56	76.0	912	93.6	5031	126.51	76.0	914	93.8	0	5621
s526	229.38	1058	114.33	49.8	638	60.3	5198	115.64	50.4	654	61.8	1	7513
s832	372.85	1822	109.21	29.3	880	48.3	13651	111.79	30.0	918	50.4	3	59545

$$\text{Ratio}_\Phi = \frac{\Phi_i}{\Phi_0} \cdot 100, i \in \{1, 2\}$$

$$\text{Ratio}_T = \frac{\#T_i}{\#T_0} \cdot 100, i \in \{1, 2\}$$

についても考察を加えた。

4.1 テストベクトル数

本論文では、単一縮退故障に対するテストベクトル数を考察するために、極小テスト集合生成手法[8]を使用する。極小テスト集合生成プログラムは、独立故障集合を利用してテストベクトル数の下界を求め、2重検出法等のヒューリスティクスを用いて、極小サイズのテストベクトル集合を生成するものである。極小テスト集合生成プログラムによって生成されるテストベクトルの個数とテストベクトル数の下界との差は非常に小さいため、極小テスト集合生成手法により生成されるテストベクトルの個数はテストバリエーションを評価する上で信頼性の高いパラメータの一つであると言える。

表2は、PORT-2の適用前、適用後の回路に対して、極小テスト集合生成手法を用いてテスト生成を実行したときの結果をまとめたものである。いずれの回路についても、故障検出率は100%である。表中の#F, L.B., #Vはそれぞれ代表故障数、テストベクトル数の下界、生成されたテストベクトル数を表している。

一部の回路では、対象故障数が増加しているが、これはPORT-2により分岐再収れん構造が増加したこと等が原因と思われる。その一方で、ほとんどの回路では、PORT-2適用後の回路に対するテストベクトル数、およびテストベクトル数の下界が、適用前の回路に対する値より小さくなっている。PORT-2は、電力パラメータのみでなくトランジスタ数も削減することが、その原因であると思われる。しかし、この結果を見る限りでは、平均消費電力低減化手法によってこのパラメータの値は悪化（増加）しないことが示されている。

表2 極小テスト集合生成手法による結果
Table 2 Results by minimal test set generator.

回路名	変換前				変換後			
	#F	L.B.	#V	CPU(s)	#F	L.B.	#V	CPU(s)
s208	215	26	27	1.8	231	25	26	1.9
s298	308	19	23	2.8	298	12	15	1.6
s349	350	13	13	2.7	338	12	14	2.4
s382	399	25	25	3.7	359	18	18	2.5
s386	384	62	64	7.1	342	31	35	3.8
s444	474	24	24	4.9	380	19	20	3.0
s510	564	53	54	12.6	587	53	54	12.4
s526	555	38	49	8.9	441	16	20	3.6
s832	870	91	94	33.1	590	52	60	11.3

る。

4.2 パスの総数

回路内のパスの総数の計算手順を図2に示す。図2では、num_paths[x]は外部入力から信号線xまでのパスの総数、total_pathsは回路内のパスの総数を表している。

表3に平均消費電力低減化手法の適用前および適用後の回路内のパスの総数を示す。パスの総数は、平均消費電力低減化手法により著しく増加している。平均消費電力低減化手法は、トランジスタ数が減少しない場合であっても、内部信号線の論理関数を変化させることによって電力パラメータが減少すれば、回路変換が実行される。しかし、このような回路変換の多くは内部信号線の論理関数を複雑化し、回路の出力に近い信号線を入力に近い信号線と置き換える回路変換が頻

```

int count_paths()
{
  for each primary input x
    num_paths[x] = 1;
  for each line i from primary inputs toward primary outputs
  {
    num_paths[i]=0;
    for each line j which is a fanin line of i
      num_paths[i]= num_paths[i]+num_paths[j];
    }
  total_paths=0;
  for each primary output y
    total_paths=total_paths+ num_paths[y];
  return (total_paths);
}

```

図2 パスの総数計算の疑似コード
Fig. 2 Pseudo code for calculation of the total number of paths.

表3 最長パスの長さとのパスの総数
Table 3 Length of the longest path and the number of paths.

回路名	変換前		変換後	
	最長パス長	パスの総数	最長パス長	パスの総数
s208	14	145	17	386
s298	9	231	19	610
s349	20	365	34	886
s382	9	400	20	984
s386	11	207	47	17111
s444	11	535	25	3207
s510	12	369	34	5138
s526	9	410	25	5987
s832	10	506	61	24338

表4 バスの総数を制限したときの平均消費電力低減化結果

Table 4 Results by power reduction with a restriction of the number of paths.

回路名	Φ_3	Ratio_Φ ₃₀	Ratio_Φ ₃₂	#T ₃	Ratio_T ₃	#paths	CPU(s)
s208	50.85	92.5	123.6	356	95.2	145	1258
s298	107.20	80.5	137.2	472	81.1	211	163
s349	116.76	85.9	104.5	566	86.5	313	718
s382	126.43	81.4	123.4	574	81.2	393	712
s386	158.68	94.3	256.2	842	90.5	207	147
s444	130.08	78.7	123.1	598	78.9	449	932
s510	166.35	99.9	131.4	974	100	369	94
s526	182.14	79.4	159.3	846	80.0	385	885
s832	300.48	80.6	275.1	1494	82.0	492	1249

$$\text{Ratio_}\Phi_3 = \frac{\Phi_3}{\Phi_0} \cdot 100 \quad \text{Ratio_}\Phi_3 = \frac{\Phi_3}{\Phi_2} \cdot 100$$

$$\text{Ratio_}T_3 = \frac{\#T_3}{\#T_0} \cdot 100$$

繁に行われ、分岐再収れん構造を増加させる。このことが、バスの総数が増加した原因と考えられる。

バスの総数に制限を加えて平均消費電力低減化手法を実行させたときの結果を表4に示す。本論文では平均消費電力低減化手法の行う回路変換の中で、変換1および変換2を行う際に、新たに加えられる信号線M'のnum_path[M]と取り除かれる信号線Lのnum_path[L]を比較し、num_path[M] ≤ num_path[L]であるときのみ、変換を実行させることにより、回路変換後のバスの総数が平均消費電力低減化手法を適用する前の値以下になるようにしている。表4では、平均消費電力低減化手法によって得られる電力パラメータの削減率とトランジスタ数の削減率はほぼ等しく、それらは制限を加えない場合に比べて著しく低下している。

4.3 最長バスの長さ

本論文では、外部入力から外部出力までのすべてのバスの中で、パス上にあるゲートの総数が最大であるバスを最長バス、最長バス上のゲートの総数を最長バスの長さ、あるいは最長バス長と定義する。このとき、AND, OR, NAND, NOR, NOTいずれのゲートも1として数えている。表3は、PORT-2を適用する前、適用後の回路の最長バスの長さを示している。PORT-2により、すべての回路において、最長バスの長さが増加している。バスの総数が増加した理由と同様に、回路の出力に近い信号線を入力に近い信号線と置

表5 変換前の値に最長バスの長さを制限したときの平均消費電力低減化結果

Table 5 Results by power reduction with a restriction of length of the longest path.

回路名	Φ_4	Ratio_Φ ₄₀	Ratio_Φ ₄₂	#T ₄	Ratio_T ₄	CPU(s)
s208	42.61	77.5	103.6	360	96.3	4556
s298	82.45	61.9	105.5	386	66.3	471
s349	112.52	82.7	100.7	554	84.7	1959
s382	111.72	71.9	109.0	530	77.7	1731
s386	76.47	45.5	123.5	664	71.4	1502
s444	110.61	66.9	104.7	528	69.7	3392
s510	133.21	80.0	105.3	928	95.3	3423
s526	129.99	56.7	113.7	718	67.9	3171
s832	173.64	46.6	159.0	1112	61.0	7752

$$\text{Ratio_}\Phi_4 = \frac{\Phi_4}{\Phi_0} \cdot 100 \quad \text{Ratio_}\Phi_4 = \frac{\Phi_4}{\Phi_2} \cdot 100$$

$$\text{Ratio_}T_4 = \frac{\#T_4}{\#T_0} \cdot 100$$

き換える回路変換が頻繁に行われることが、最長バス長が増加した原因と思われる。

表5は回路内の最長バスの長さに制限を加えて平均消費電力低減化手法を実行させたときの結果をまとめたものである。ここでは、最長バスの長さは平均消費電力低減化手法を適用する前の値に制限されている。表中のRatio_Φ₄₂は最長バス長さに制限が加えられていないときの結果と、制限が加えられたときの電力パラメータに関する比を表している。最長バスの長さを制限することにより、平均消費電力の低減化能力が低下するが、最長バスの長さに制限を加えた場合であっても、多くの回路で、電力パラメータの削減率はトランジスタ数の削減率を上回っている。

5. む す び

本論文では、平均消費電力低減化手法PORTに冗長除去機能をもたせたPORT-2を提案した。ベンチマーク回路に対する実験結果では、PORT-2の低減化能力はPORTと同程度であるが、PORT-2はPORTに比べて短い計算時間で電力パラメータの削減が行えることが示された。

また、PORT-2によって変換された回路のテストビリティについても考察を行った。実験結果では、回路のテストビリティパラメータはPORT-2を適用することにより一般に悪化することが示された。しかし、バスの総数を除けば、テストビリティパラメータに制限を加

えたとしても、トランジスタ数の削減率より多くの電力パラメータを削減できることが示された。

謝辞 本研究を遂行するにあたり、極小テスト集合生成プログラムを提供して頂いた九州工業大学情報工学部梶原誠司助教授に感謝致します。

文 献

- [1] J. M. Rabey and M. Pedram, "Low Power Design Methodology," Kluwer Academic Publishers, 1996.
- [2] C. Y. Tsui, M. Pedram, and A. M. Despain, "Technology decomposition and mapping targeting low power dissipation," Proceedings of 30th Design Automation Conference, pp. 68-73, 1993.
- [3] F. Dresig, Ph. Lanches, O. Rettig, and U. G. Baitinger, "Simulation and reduction on CMOS power dissipation at logic level," Proceedings of EDAC, pp. 341-346, 1993.
- [4] S. C. Prasad and K. Roy, "Circuit activity driven multilevel logic optimization for low power reliable operation," Proceedings of EDAC, pp. 368-372, 1993.
- [5] A. Shen, A. Ghosh, S. Devadas, and K. Keutzer, "On average power dissipation and random pattern testability of CMOS combinational logic networks," Proceedings of International Conference on Computer Aided Design, pp. 402-407, Nov. 1992.
- [6] H. Ueda and K. Kinoshita, "Low power design and its testability," Proceedings of 4th Asian Test Symposium, pp. 361-366, Nov. 1995.
- [7] K. Roy and S. C. Prasad, "SYCLOP: Synthesis of CMOS logic for low power applications," Proceedings of ICCD, pp. 464-467, 1992.
- [8] S. Kajihara, I. Pomeranz, K. Kinoshita, and S. M. Reddy, "On compacting test sets by addition and removal of test vectors," 12th IEEE VLSI Test Symposium, pp. 202-207, April 1994.
- [9] R. Burch, F. N. Najm, P. Yang, and T. N. Trick, "A Monte Carlo approach for power estimation," IEEE Trans. VLSI Systems, vol. 1, no. 1, March 1993.
- [10] F. N. Najm, "Transition Density, A stochastic measure of activity in digital circuits," Proceedings of 28th Design Automation Conference, pp. 644-649, 1991.
- [11] A. Ghosh, S. Devadas, K. Keutzer, and J. White, "Estimation of average switching activity in combinational and sequential circuits," Proceedings of 29th Design Automation Conference, pp. 253-259, 1992.
- [12] F. N. Najm, "A survey of power estimation techniques in VLSI circuits," IEEE Trans. VLSI Systems, vol. 2, no. 4, Dec. 1994.
- [13] R. E. Bryant, "Graph-based algorithms for Boolean function manipulation," IEEE Trans. Comput., vol. C-35, no. 8, pp. 677-691, Aug. 1986.
- [14] S. Muroga, Y. Kambayashi, H. C. Lai, and J. N. Culliney, "The transduction method - Design of logic networks based on permissible functions," IEEE Trans. Comput., vol. C-38, no. 10, pp. 1404-1424, Oct. 1989.
- [15] M. Higashida, J. Ishikawa, M. Hiramine, K. Nomura, H. Kumagai, Y. Kazuma, and S. Murai, "Multi-level logic opti-

mization based on pseudo maximum sets of permissible functions," Proceedings of EDAC, pp. 386-391, 1993.

- [16] 松永裕介, 藤田昌宏, "順序付き2分決定グラフと許容関数を用いた多段論理回路単純化手法," 信学論(A), vol. J74-A, no. 2, pp. 196-205, Feb. 1991.
- [17] F. Brglez, D. Bryan, and K. Kozminski, "Combinational profiles of sequential benchmark circuits," ISCAS'89, May 1989. (平成8年3月11日受付, 7月15日再受付)



上田 祐彰 (正員)

平2広島大・総合科学・総合科学卒。平4同大大学院工学研究科博士課程前期了。平7大阪大学大学院工学研究科博士後期課程単位取得退学。現在広島市立大学情報科学部助手。

論理回路の設計, テスト等に関心をもつ。情報処理学会, IEEE各会員



樹下 行三 (正員)

昭34阪大・工・通信卒。昭39同大大学院工学研究科通信工学専攻博士課程了。工博。同年同大工学部電子工学科助手, 昭41同学科助教授, 昭53広島大学教授, 平1より大阪大学工学部教授。論理回路およびメモリのテスト容易化設計, 故障診断, テスト生

成などの研究に従事。昭62~平1本会FTS研究会専門委員長, 平4IEEE第1回ATS実行委員長など。情報処理学会会員, IEEEフェロー。