

K 出力可能な閉そく網と非閉そく網を階層的に用いたバンク型マルチポートメモリの構成と評価

井上 智宏[†] 浅生 宗隆[†] 弘中 哲夫[†] 谷川 一哉[†]
 小出 哲士^{††} マタウシュ ハンス ユルゲン^{††}

Evaluation of a Hierarchical Bank Based Multi-Port Memory Architecture Using a Multiple Outlets Blocking Network as an Upper Hierarchy and a Non Blocking Network as a Lower Hierarchy

Tomohiro INOUE[†], Munetaka ASAO[†], Tetsuo HIRONAKA[†], Kazuya TANIGAWA[†], Tetsushi KOIDE^{††}, and Hans J. MATTAUSCH^{††}

あらまし マルチポートメモリを現実的なチップ面積で実現する方法として相互結合網と複数のバンクメモリを用いるバンク型マルチポートメモリがある。バンク型マルチポートメモリでは同一バンクに対するアクセス衝突によるランダムアクセスバンド幅の低下を防ぐため、ポート数に比べてバンクメモリの数を多く設定する必要がある。ところがメモリ容量が少ないオンチップシステムへの応用を考えた場合、相互結合網部分のチップ面積がメモリセル部分のチップ面積と比較して相対的に大きくなる危険性がある。そこで、このような問題を解決する一つの方法として、バンク型マルチポートメモリの相互結合網を階層構造化してチップ面積の削減を図る方法が考えられる。しかしながら使用する相互結合網の組合せによるバンク型マルチポートメモリのハードウェア量とアクセスバンド幅との関係が明確になっていない。また単純に階層構造化をすると上位階層と下位階層間のアクセスバンド幅が低下する問題がある。そこで本論文ではこの問題を改善したバンク型マルチポートメモリの構成の提案、及び、階層構造化する相互結合網としてクロスバと閉そく網を用いた場合のバンク型マルチポートメモリのモデル化を行い、ランダムアクセスに対するメモリアクセスバンド幅とトランジスタ数、及び、チップ面積の評価をした。その結果、閉そく網である EBSF とクロスバを用いて階層構造化する方法がバンド幅に対する面積効率が高いことが分かり、同一のランダムアクセスバンド幅の場合、従来のバンク型マルチポートメモリと比較してチップ面積を約 15~20%小さくできることが分かった。

キーワード マルチポートメモリ、バンクメモリ、相互結合網、チップ面積、アクセスバンド幅

1. ま え が き

半導体製造技術の向上により、一つのチップ上に複数のプロセッサや DSP を搭載したオンチップシステムの開発が盛んになっている。このようなオンチップシステムにおいて高いスループットを引き出すために

は、プロセッサや DSP のデータ消費量に対して供給量を十分確保しておく必要がある。十分なデータ供給量を確保するためにはアクセスバンド幅の高いメモリが必要である。また、オンチップシステムではハードウェア量を削減して単位チップ面積当りのスループットを向上することも重要である。そこで、この要求を満たすメモリの実現方法として、バンクと呼ばれる複数の 1 ポートメモリと相互結合網を用いたバンク型マルチポートメモリが用いられている。

前述のバンク型マルチポートメモリは同一バンクアクセスに対するアクセス衝突によって発生するランダムアクセスバンド幅の低下を抑制するため、ポート数に比べバンクメモリの数を多くする必要がある。しか

[†] 広島市立大学大学院情報科学研究科, 広島市
 Graduate School of Information Sciences, Hiroshima City University, 3-4-1 Ozuka-Higashi, Asaminami-ku, Hiroshima-shi, 731-3194 Japan

^{††} 広島大学ナノデバイス・システム研究センター, 東広島市
 Research Center for Nanodevices and Systems, Hiroshima University, 1-4-2 Kagamiyama, Higashihiroshima-shi, 739-8527 Japan

し、バンク数の増加は相互結合網のハードウェア量が增加する問題を引き起こす。特に、メモリセル部分の面積がチップ全体の面積と比較して小さいオンチップシステムでは相対的に相互結合網の面積が大きくなる。

そのため、バンク型マルチポートメモリをアクセスバンド幅に対してより高い面積効率で用いるために解決すべき課題として、高いアクセスバンド幅と少ないハードウェア量を両立することができる相互結合網の構成方法が必要である。この問題を解決する従来方法として、バンク型マルチポートメモリの相互結合網に閉そく網を用いる方法 [1] や相互結合網のチップレイアウト構成を工夫する方法 [2] がある。しかし、これらの方法だけではオンチップメモリとして応用した場合に十分小さなバンク型マルチポートメモリといえなかった [3]。そこでこの問題を解決する他の方法として、バンク型マルチポートメモリの相互結合網を階層構造化する方法がある。しかしながら、相互結合網の組合せによるバンク型マルチポートメモリのアクセスバンド幅とハードウェア量については一般的に明確ではない。

そこで本論文では高いアクセスバンド幅と少ないハードウェア量の両立、及び、オンチップ化を念頭に置いたバンク型マルチポートメモリを実現するため、様々な組合せで相互結合網の階層構造化をしたバンク型マルチポートメモリについて評価を行った。

以下、本論文の構成を示す。次の 2. で関連研究について述べ、3. で本論文で取り上げるバンク型マルチポートメモリの階層構造化について述べる。その後、4. ~7. で評価モデルについて述べ、8. でハードウェア量とアクセスバンド幅の比較について示す。最後に 9. でまとめる。

2. 関連研究

バンク型マルチポートメモリの概要と我々が求めるバンク型マルチポートメモリの要件について述べ、バンク型マルチポートメモリを構成する中心的な要素である相互結合網について触れる。

図 1 に一般的なバンク型マルチポートメモリの構成図を示す。図 1 に示すように、バンク型マルチポートメモリは任意の相互結合網と複数の 1 ポートバンクメモリで構成され、ポートと各バンクメモリ間のメモリアクセスを相互結合網を介して行う。この方法は個々のメモリセルをマルチポート化するマルチポート SRAM セル方式と比べ、小面積でマルチポートメモ

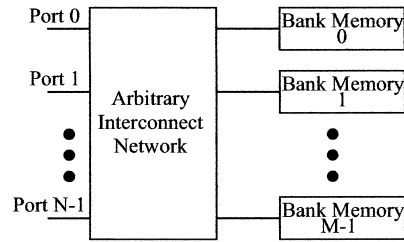


図 1 バンク型マルチポートメモリの構成図
Fig. 1 Block diagram of bank based multi-port memory.

リを実現できる。

2.1 バンク型マルチポートメモリに求められる要件

我々が目標とするバンク型マルチポートメモリに求められる要件として、

- 従来のバンク型マルチポートメモリと比べ、少ないハードウェア量であること、
 - UMA (Uniform Memory Access) 型のメモリであること、
 - LSI 化を念頭に置き、自動設計化しやすい簡単な構造であること、
 - メモリのポート数やバンクメモリ数の変化に対して柔軟に構成を変えられること、
 - アクセス成功確率を自由に設定できること
- がある。このような要件を満たす従来のバンク型マルチポートメモリとして、相互結合網に非閉そく網のクロスバを用いる方法と閉そく網を用いる方法がある。

2.2 クロスバ

クロスバは非閉そく網と呼ばれる多段結合網の一つで、任意の未使用な入出力ポート間に新しい接続要求をする場合、既に確立している通信経路を変更することなく要求が満たされる多段結合網である。また、アクセス要求に対するアクセスの成功確率が多段結合網の中で最も高い相互結合網である。このようなクロスバをバンク型マルチポートメモリの相互結合網として使用した例として図 2 (a) のクロスバメモリがある。また、クロスバメモリのレイアウト構成を工夫して小面積化を図ったバンク型マルチポートメモリとして、図 2 (b) の階層構造型マルチポートメモリアーキテクチャ (Hierarchical Multi-port Memory Architecture; HMA) [2] が提案されている。HMA におけるレイアウト構造の工夫とは、バンクメモリの行・列デコーダでメモリセルを選択する回路構造を、バン

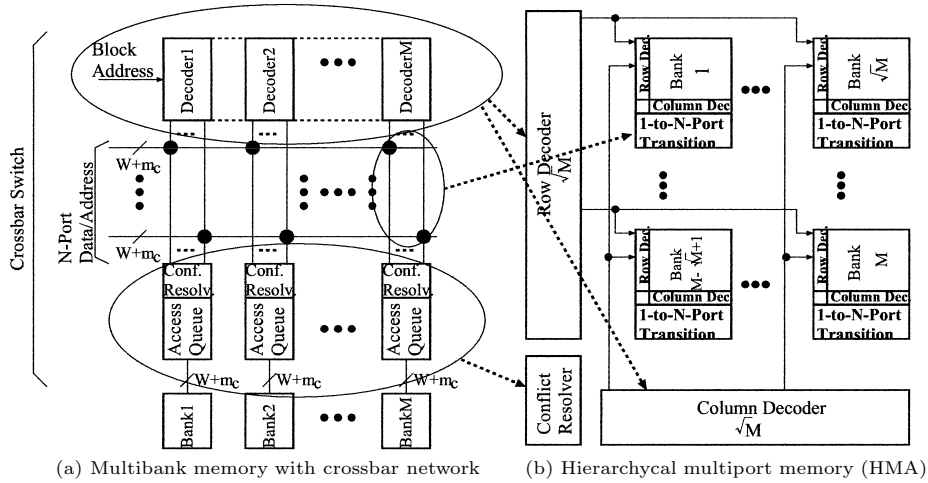


図 2 クロスバを用いたバンク型多ポートメモリとその効率的な実現方法である HMA の構成
 Fig. 2 Multi-port memory with crossbar and one of its efficient realization 'HMA'.

クメモリ選択の構造にも応用し、バンク選択回路を小面積にした点である。

2.3 閉そく網

一般に閉そく網のアクセス要求に対するアクセス成功確率は入出力ポート数の増加に比例してクロスバの成功確率よりも低下していく。そのためアクセス成功確率を高めることのできる閉そく網の研究が古くから行われている。

閉そく網のアクセス要求に対するアクセス成功確率を高くしてクロスバの成功確率に近づける方法として、

- D-dilation: 閉そく網のクロスポイント間を接続する配線を多重化する方法 [4] ,
- MBSF: 複数の独立した閉そく網を並列に用意してアクセス要求を分散させる方法 [4] ~ [7] ,
- EBSF: 閉そく網の一つであるバンヤン網を整数倍することで閉そく網内部の通信経路を増加させる方法 [8] ,
- TBSF: 複数のバンヤン網を縦列に接続して、個々のバンヤン網で正しく出力されたデータのみが外部に出力され、正しく出力されなかったデータは次のバンヤン網に入力する方法 [9]

などがある。MBSF, EBSF, TBSF は通常の閉そく網を K 倍に拡張し、出力当り K 個のデータを出力することでアクセス成功確率を高くした閉そく網 (以降、「 K 出力可能な閉そく網」と呼ぶ) である。しかしながら、上記方法のすべてがバンク型マルチポートメモ

リの構成に適した閉そく網ではない。前述したバンク型マルチポートメモリに求められる条件を考慮して文献 [10] を参照すると、D-dilation は閉そく網のクロスポイント構造が複雑になること、TBSF は入力された複数の要求が出力されるまでの時間が均一でないことからバンク型マルチポートメモリの相互結合網として利用することは最適といえない。また、MBSF は単純な構成をしているが、並列に接続する閉そく網の数に対してアクセス成功確率の向上率が EBSF と比べて低い。このようなことから、先に示したアクセス成功確率を高める閉そく網の中で、バンク型マルチポートメモリの相互結合網として用いる閉そく網として適しているのは EBSF であると考えられる。我々はこの EBSF をバンク型マルチポートメモリの相互結合網として用いた例として、図 3 の EBMA (EBSF based Multi-port memory Architecture) を提案している [1]。

従来のクロスバを用いたバンク型マルチポートメモリと比べ、EBMA は相互結合網に閉そく網を用いているのでハードウェア量が少なくできること、閉そく網を任意の数で整数倍に拡張できるので閉そく網内部で起きるアクセス衝突の割合を低減し同程度のアクセス成功確率を得ることが可能である。

我々は前述したようなバンク型マルチポートメモリをオンチップマルチプロセッサの共有キャッシュとして応用した研究を行っている [3]。この研究結果より、

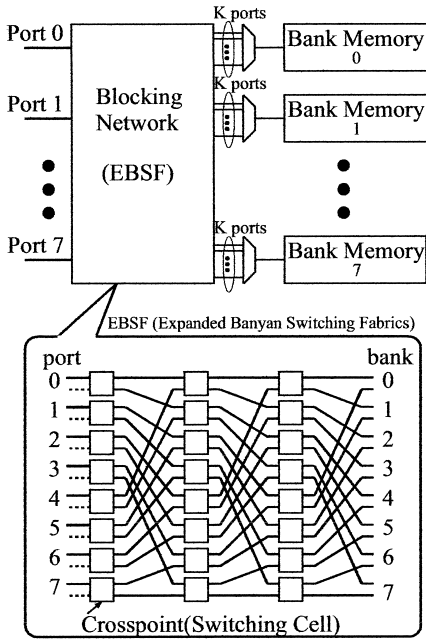


図 3 EBMA のブロック図
Fig. 3 Block diagram of EBMA.

マルチポートメモリを用いることの恩恵を受けにくいアプリケーションの場合、チップ面積当りの処理性能が低くなることが明らかになった。この結果から、バンク型マルチポートメモリをオンチップシステム向けのメモリとして利用するためには、更にハードウェア量を少なくする必要があることが分かった。そこで、我々はバンク型マルチポートメモリの相互結合網を階層構造化することでハードウェア量を削減する方法に着目する。

2.4 閉そく網がもつ調停機能

一般的に閉そく網は通信路として利用されている。しかしながら、閉そく網が閉そく網内部のルーチングによって入力されたアクセス要求から特定のアクセス要求を出力する機能に注目すると、閉そく網はアクセス要求の出力を内部で選択する機能、すなわち、調停機能をもっているといえる。例えば、普通の閉そく網では入力される複数のアクセス要求から一つの出力当り一つのアクセス要求を出力するので、閉そく網の出力側から見ると多対1の調停機能とみなすことができる。また、K 出力可能な閉そく網では一つの出力当り K 個のアクセス要求を出力するため、閉そく網の出力側から見ると多対多の調停機能とみなすことができる。閉そく網が調停機能として働くためには、閉そく

網を構成するクロスポイントと呼ばれる 2 入力 2 出力スイッチに調停機能をもたせる必要がある。閉そく網のクロスポイントを構成する方法として以下の二つが考えられる。

- クロスポイントでアクセス衝突が起きた場合、入力された二つのアクセス要求を両方とも破棄する構成方法（調停機能なし）。
- クロスポイントでアクセス衝突が起きた場合、一方のアクセス要求を優先して出力し、残りは破棄する構成方法（調停機能あり）。

二つの構成方法のうち、調停機能をもったクロスポイントに着目すると、このクロスポイントは 2 対 1 の調停機能をもつといえる。よって、このクロスポイントを用いて構成した閉そく網は全体で見ると多対 1、または、多対多の調停機能をもつことになる。なお、二つのクロスポイントの構成方法を比較すると、アクセス衝突の発生検知は同じで、二つのアクセス要求を破棄するか、または、一つを出力するかという点だけが異なる。回路構成では一つの AND ゲートが直列に挿入されるだけである。よって、調停機能をもつことによる遅延時間の発生はわずかである。

3. 相互結合網を階層構造化したバンク型マルチポートメモリ

ここでは、バンク型マルチポートメモリを構成する相互結合網の階層構造化手法と期待できる効果、及び、階層構造化に伴う問題について述べる。

3.1 相互結合網の階層構造化手法

まず、バンク型マルチポートメモリの相互結合網を階層構造化する数について述べる。相互結合網を階層構造化する数に制限はない。しかし、一概に階層数を増やすことは制御構造の複雑さが増す可能性や本論文での議論が難しいこともある。そこで本論文では、バンク型マルチポートメモリの相互結合網を 2 階層に階層構造化するとして議論を行うことにする。そしてこの階層構造化は、複数個のバンク型マルチポートメモリ（以降「下位階層、または、メモリブロック」と呼ぶ）とポート間を結合する相互結合網（以降「上位階層」と呼ぶ）で構成する。図 4 は階層構造化を導入したバンク型マルチポートメモリの構成図である。ここで、図 4 のバンク型マルチポートメモリに用いる上位階層の相互結合網と下位階層の相互結合網について、いくつかの組合せが考えられる。本論文ではこの組合せとして、従来のバンク型マルチポートメモリで使用

されている非閉そく網と閉そく網の二つ，すなわち，クロスバとEBSFを用いるとして考える．このとき，上位階層の相互結合網における下位階層側のポートと下位階層の相互結合網における上位階層側のポートを単純に接続した場合，図4の上位階層と下位階層の間の接続が1ポート($K = 1$)となる．このような階層構造化をした場合，上位階層から下位階層へのメモリアクセスが一つに制限されるため，メモリ全体のバンクアクセス成功確率が減少することが考えられる．そこで，我々は図4に示すように上位階層の相互結合網と下位階層の相互結合網間の接続を $K > 1$ として多重化する，すなわち，メモリブロックのマルチポート化を提案する．

表1は以上の前提を踏まえた上で，バンク型マルチ

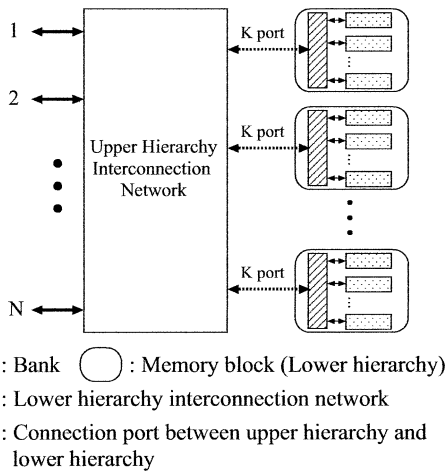


図4 バンク型マルチポートメモリの相互結合網に階層構造化を導入したブロック図(従来は $K = 1$)
 Fig. 4 Block diagram of hierarchical bank based multi-port memory that introduces hierarchical structure into the interconnection network ($K = 1$ in the conventional method).

ポートメモリにおける相互結合網の階層構造化の組合せパターンをまとめた表である．まず，上位階層に用いる相互結合網の組合せを考えると，非閉そく網と閉そく網を用いる二つの場合が考えられる．更に，各上位階層に対して相互結合網の組合せを考えると上位階層と下位階層の相互結合網の組合せは4通りがある．また，各下位階層には1ポートとマルチポートの相互結合網を用いる場合があるため，最終的な組合せは8通りとなる．このように下位階層をマルチポート化することで，上位階層から下位階層へのバンクアクセス成功確率の向上と階層構造化によるハードウェア量減少の二つの効果が期待できる．

なお，表1のCES方式とEES方式は，下位階層が1ポートの閉そく網であるため論理的に1ポートのクロスバと同じ構造になる．そのため，CES方式とEES方式は本論文の評価対象から外し，それぞれCCS方式とECS方式と論理的に同じものとして扱うことにする．また，CEM方式とEEM方式は，下位階層がマルチポートの閉そく網である．ほぼ同じアクセスバンド幅の条件下で，閉そく網を用いたバンク型マルチポートメモリのハードウェア量を非閉そく網を用いたメモリと比較して少なくするにはポート数とバンク数がある程度大きい必要がある[1]．ところが，階層構造化したバンク型マルチポートメモリでは，個々の下位階層におけるポート数やバンク数が小さな規模になると考えられる．そのため，CEM方式とEEM方式についてはハードウェア量の面で利点がないので本論文の評価対象から外すことにする．また，評価対象となる方式の詳細は4.~7.で述べる．

3.2 バンク型マルチポートメモリの階層構造化に伴う問題

CCM方式やECM方式のように下位階層がマルチポートの場合，複数のポートに入力されるアクセス要

表1 バンク型マルチポートメモリの階層構造化パターン
 Table 1 Hierarchical patterns of interconnection network in bank based multi-port memory.

Upper Hierarchy Interconnection Network	Lower Hierarchy		Name
	Interconnection Network	# of Ports	
Non Blocking Network	Non Blocking Network	1 Port	CCS
		Multi-port	CCM
	Blocking Network	1 Port	CES
		Multi-port	CEM
Blocking Network	Non Blocking Network	1 Port	ECS
		Multi-port	ECM
	Blocking Network	1 Port	EES
		Multi-port	EEM

求の中からマルチポート化された一つの下位階層当りに数ポート分のアクセス要求を衝突なく選び、更に、下位階層内部でのアクセス調停を行う複雑な 2 段階の調停処理機能、すなわち、多対多の調停機能が必要となる。しかし、このような多対多の調停機能をコンパクト、かつ、高速に実現することは難しく、階層構造化したバンク型マルチポートメモリの実現上問題である。そこで、本論文では多対多の調停問題を解決する方法として、

- K 出力可能な閉そく網を相互結合網に用い、データを伝送する結合網の機能とマルチポート化したメモリブロックへのアクセス調停機能として用いる方法、
- K 出力可能な閉そく網をアクセス要求の調停機能とメモリブロックの選択機能として用いる方法の二つを本論文では提案する。前者は図 5 に示す方法で ECM 方式に適した方法である。また、後者は図 6 に示す方法で CCM 方式に適した方法である。

図 5 に示したバンク型マルチポートメモリは上位階層の相互結合網として K 出力可能な閉そく網を、下位階層に K ポートのマルチポートメモリを用い、これらを組み合わせた階層構造型のバンク型マルチポートメモリである。図 5 で注目する点は K 出力可能な閉そく網をポートとメモリブロック間の結合網として用いると同時に、メモリブロックアクセスのための調停機能として用いている点である。

次に、図 6 に示す後者の方法の概要を述べる。図 6 に示したバンク型マルチポートメモリは K 出力可能な閉そく網をポートとメモリブロック間のアクセス調停機能とメモリブロック選択機能のみに用いた階層構造型のバンク型マルチポートメモリである。図 5 との相異点は、複数のポートと複数のメモリブロックの結合に任意の相互結合網を設け、相互結合網におけるポートとメモリブロック間アクセス要求を調停する回路として、K 出力可能な閉そく網を用いている点である。図 6 の場合、K 出力可能な閉そく網はポートに入力されるアドレスの一部であるブロックアドレスを入力信号として、一つのメモリブロック当り最大 N 個のアクセス要求の調停処理とブロック選択を行い、その結果として 1 メモリブロック当り最大 K 個のメモリアクセスを許可する信号を出力する。

このように K 出力可能な閉そく網を多対多の調停機能として用いることで ECM 方式や CCM 方式における問題点を解決できる。

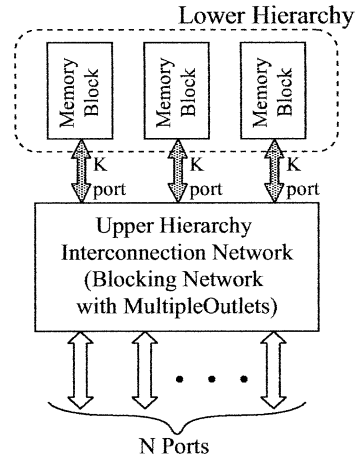


図 5 K 出力可能な閉そく網をポートとメモリブロック間のアクセス調停機能と相互結合網として用いた多ポートをもつ階層構造型マルチバンクメモリ

Fig. 5 Hierarchical bank based multi-port memory which uses blocking network with multiple outlets as function of arbitration and interconnection network.

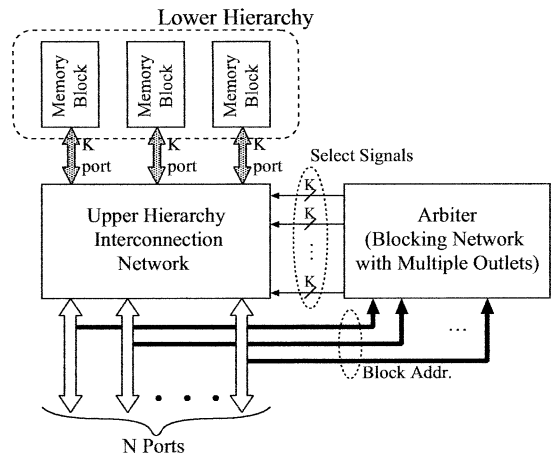


図 6 K 出力可能な閉そく網をポートとメモリブロック間のアクセス調停機能とバンク選択機能として用いた多ポートをもつ階層構造型マルチバンクメモリ

Fig. 6 Hierarchical bank based multi-port memory which uses blocking network with multiple outlets as function of arbitration and bank selection.

4. 評価モデルの概要

ここでは、階層構造化したバンク型マルチポートメモリの評価における前提と評価対象のモデルについて示す。

4.1 評価の前提

本論文では各方式のハードウェア量当りのアクセスバンド幅を評価する目的で以下の評価をする。

- アクセス衝突確率
- トランジスタ数評価
- チップ面積評価

これらの評価における各方式の構成は上位階層に N ポートの相互結合網, M をメモリ全体におけるバンクメモリ数として, $\frac{M}{B}$ バンクをもつ B 個のメモリブロック(下位階層)とする。また, 各方式を構成する基本要素のハードウェア量のみを評価するため, トランジスタ数とチップ面積の評価において, 下位階層で必要な多対1のアクセス調停機能は考慮しない。これは我々のグループが示したバンク型マルチポートメモリの構造比較に関して研究した文献[11]に示されている面積見積り式の結果を用いると, この調停機能のハードウェア量はメモリセル領域の5%程度となりメモリ全体での影響はわずかであるためである。一方, CCM方式とECM方式で必要となる多対多の調停機能を実現する回路のハードウェア量は各方式で共通の機能でないため評価の対象とした。

なお, その他の評価項目としてメモリ全体の動作速度や消費電力もある。しかし, これらはフロアプラン, 配線容量, 要求される動作速度などの影響を受けるため, 本論文で行う評価だけでは一概にその結果を議論することができない。そのため本論文では動作速度や消費電力についてこれ以上評価や議論を行わないことにする。

4.2 CCS方式の構成

図7にCCS方式の構成を示す。図7に示すようにCCS方式は, 上位階層にクロスバを, 下位階層に従来のCBA方式を用いて階層化したバンク型マルチポートメモリである。この方式は従来のCBA方式を単純に階層構造化した構成といえる。そのため, 総バンク数を増加させる, または, 下位階層の数を増加させるとアクセス衝突確率が低下すると考えられる。しかし, CCS方式は上位階層から下位階層へのアクセスが個々の下位階層当り一つに制限されるので, 総バンクメモリ数が同一の条件ではCBA方式と比較してアクセス衝突確率が高くなると考えられる。そこで, 下位階層をマルチポート化した方式, すなわち, CCM方式が考えられる。

4.3 CCM方式の構成

図8にCCM方式の構成を示す。図8に示すよう

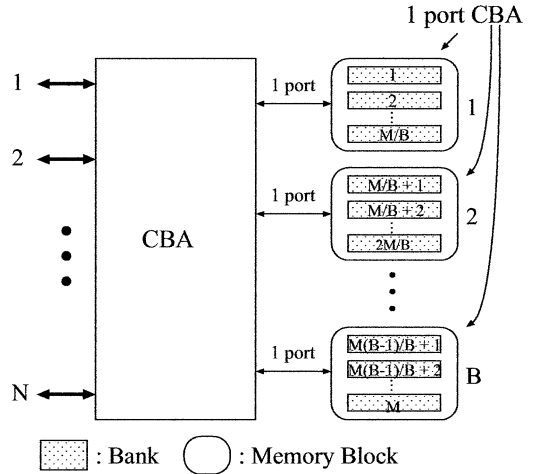


図7 CCS方式のブロック図
Fig.7 Block diagram of CCS.

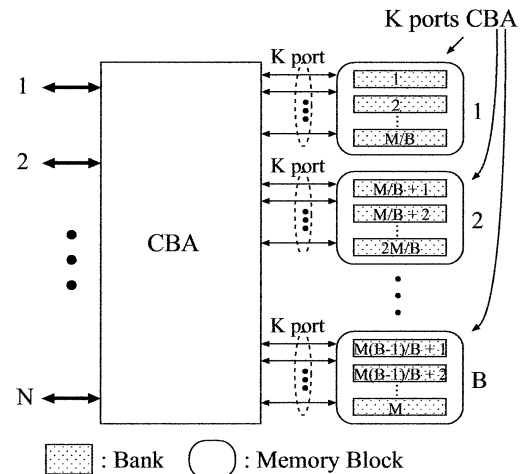


図8 CCM方式のブロック図
Fig.8 Block diagram of CCM.

にCCM方式は, 上位階層にクロスバを, 下位階層に K ポートのCBA方式を用いて階層化したバンク型マルチポートメモリである。CCS方式との違いは, 下位階層のCBA方式のポートが K ポートになり, 各メモリブロック内のバンクメモリに複数のアクセスが可能になっている点である。それに伴い, 上位階層に用いるクロスバの下位階層側の入出力ポート数がCCS方式に比べ大きくなる。このように下位階層が K ポートになり上位階層から下位階層へ複数のアクセスが可能になる一方で, 個々の下位階層のポート数が下位階層内のバンクメモリ数よりも大きくなると下位階層でのアクセス衝突確率が増加する。そのため, 下位階層

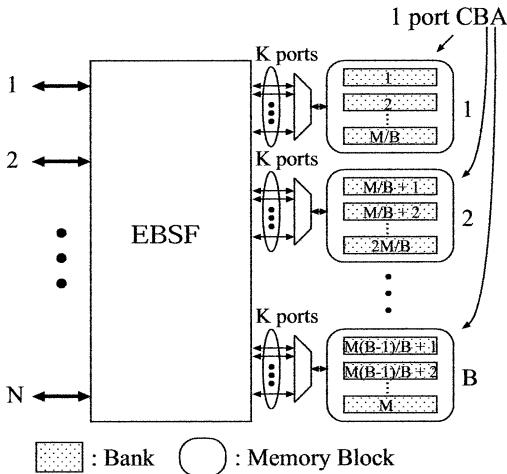


図 9 ECS 方式のブロック図
Fig.9 Block diagram of ECS.

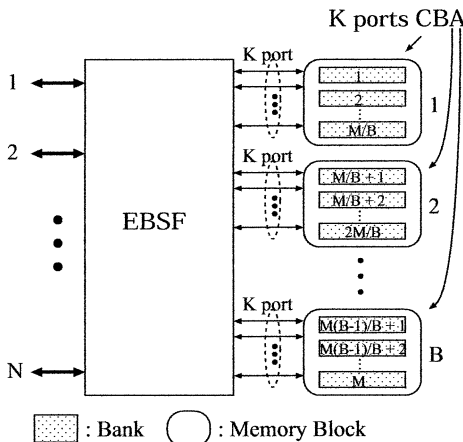


図 10 ECM 方式のブロック図
Fig.10 Block diagram of ECM.

のポート数が下位階層に含まれるバンクメモリ数を超えないように構成する必要がある。

4.4 ECS 方式の構成

次に、上位階層をクロスバから閉そく網に変更したバンク型マルチポートメモリを示す。図 9 は CCS 方式の上位階層を閉そく網の EBSF に変更した ECS 方式の構成である。ECS 方式に用いる閉そく網 EBSF は図 3 に示すようにその最後の出力部分が MUX で K 個から一つに絞られている。そのため、アクセス衝突確率について CCS 方式と同様の問題がある。そこで、上位階層の出力を一つに絞らずに用いる方法、ECM 方式が考えられる。

4.5 ECM 方式の構成

図 10 に ECM 方式の構成を示す。図 10 に示すように、ECM 方式は CCM 方式の上位階層を下位階層に対して K 出力可能な EBSF に変更して階層化したバンク型マルチポートメモリである。そのため、アクセス衝突確率の変化は、ほぼ同様になると考えられる。ハードウェア量の面では、CCM 方式と ECM 方式で下位階層を K ポート化したことにより上位階層のクロスバの構成が CCS 方式と ECS 方式に比べ大きくなる。ところが、ECM 方式では上位階層にクロスバよりもハードウェア量が少ない閉そく網 EBSF を用いているため、CCM 方式に比べてハードウェア量増加の割合を低減できると考えられる。

次の章では、これらの各構成モデルに対する評価モデルを示す。

5. アクセス衝突確率の評価モデル

ここでは、アクセス衝突確率の評価をするための 4. で述べた各構成モデルに対する評価モデルについて示す。なお、最初にアクセス衝突確率の評価条件について述べ、各構成モデルの評価の基礎となる CBA 方式と EBMA 方式のアクセス衝突確率の評価モデルについて示す。その後、各構成モデルのアクセス衝突確率の評価モデルを示す。

5.1 アクセス衝突確率の評価条件

アクセス衝突確率の評価は確率的な方法で評価する。ここで、バンク型マルチポートメモリにおけるアクセス衝突確率を定義する。バンク型マルチポートメモリにおけるアクセス衝突確率は、複数のポートから入力される同一バンクへのアクセス要求に対してその要求が拒否される確率と結合網内部で発生するアクセス衝突の確率を合わせたものである。このアクセス衝突確率を評価するにあたり、本論文では以下の仮定に基づき評価した。

- メモリの各ポートに入力されるアクセス要求は均等である。
- メモリの各ポートにアクセス要求がある確率は 1、つまり、毎サイクルアクセス要求があるものとする。
- アクセス要求のあるバンクは均等である。
- すべてのアクセス要求は同期してメモリのポートに入力される。
- 複数のポートから同一バンクへのアクセス要求がある場合、各方式が備える調停機能により調停に敗

れたアクセス要求は破棄される。

- 閉そく網内部の一つのクロスポイントにおいて二つの入力ポートから同じポートへ出力が要求された場合、二つのポートの中の一つのポートが常に優先され残りのポートからの要求は破棄される。

次節では、このような評価条件のもとにおける各構成モデルのアクセス衝突確率の評価モデルについて示す。

5.2 CBA 方式のアクセス衝突確率評価モデル

CBA 方式におけるアクセス衝突は同一バンクアクセスが発生した場合に起きる。N ポート、M バンクの場合、CBA 方式のアクセス衝突確率 $P_{CBA}(N, M)$ は任意の n ポートのアクセス要求が許可される期待値 $p(n, N, M)$ を用いて以下の式 (1) で求められる。

$$P_{CBA}(N, M) = 1 - \sum_{n=1}^N p(n, N, M) \quad (1)$$

また、式 (1) の $p(n, N, M)$ は以下の式 (2) で求められる。

$$p(n, N, M) = \sum_{i=1}^n \left\{ \frac{(-1)^{n-i} \cdot i^{N-1} \cdot {}_{n-1}C_{i-1}}{(n-1)!} \right\} \cdot {}_M P_n \cdot \frac{1}{M^N} \cdot \frac{n}{N} \quad (2)$$

ここで、式 (2) の右辺第 1 項と第 2 項は N ポート中の任意の n ポートのアクセス要求が許可される場合の数を表している。第 3 項はすべての場合の数であり、第 4 項で N ポート中の n ポートが成功する場合の確率を表している。

5.3 EBMA 方式のアクセス衝突確率評価モデル

EBMA 方式におけるアクセス衝突は以下の場合に起きる。

- 同一バンクアクセスが発生した場合。
- 閉そく網として用いる EBSF 内部でアクセス衝突が発生した場合。

EBSF のアクセス衝突確率は文献 [10] [6] の方法を参考にして求める。EBMA 方式のアクセス衝突確率 $P_{EBMA}(N, M, K)$ は EBSF において任意のポートのアクセス要求が許可され出力される確率 $X^n(x_i)$ と CBA 方式のアクセス衝突確率 $P_{CBA}(N, M)$ を用いて、

$$P_{EBMA}(N, M, K) = 1 - X^n(x_i) \cdot K \cdot \{1 - P_{CBA}(N, M)\} \quad (3)$$

と表される。 $X^n(x_i)$ はステージ (閉そく網の横方向に

おけるクロスポイント段数) i のクロスポイントに x_i の確率でアクセスがある場合、次のステージ $i+1$ のクロスポイントへアクセスがある確率 $x_{i+1} \equiv X^n(x_i)$ を表し、 $P_{EBMA}(N, M, K) \leq 1$ 、 $K \geq 1$ である。ただし、式 (3) において、本来ならば EBMA に含まれる MUX 部分で行う同一バンクアクセスのアービトレーションを考慮する必要がある。しかし、複数の同一バンクアクセス要求が EBSF を通過できる場合とできない場合があるので MUX におけるアービトレーションの効果を厳密に評価することは難しい。そこで、式 (3) では、同一バンクアクセスに対する MUX のアービトレーションの効果を式 (2) の結果を用い計算する。式 (3) で得られる結果は、複数の同一バンクアクセス要求が EBSF 内部で全く衝突なく MUX まで到着した場合の結果であるため、実際より厳しい評価結果であるといえる。

次に、式 (3) の $X^n(x_i)$ を求めるため、はじめに閉そく網を構成する各クロスポイントの出力確率を考え、次に EBSF の一つのステージにおける出力確率を考える。図 3 の 2×2 のクロスポイントで二つの入力に x_i の確率でアクセスがある場合、アクセス衝突が起きる確率は $0.25x_i^2$ であり、 1×2 のクロスポイントでは 0 である。ステージ i のクロスポイントに x_i の確率でアクセスがある場合、次のステージ $i+1$ のクロスポイントへアクセスがある確率 $x_{i+1} \equiv X^n(x_i)$ はこれを用いて、

$$X^n(x_i) = \begin{cases} 0.5x_i & (1 \times 2 \text{ Crosspoint}) \\ x_i - 0.25x_i^2 & (2 \times 2 \text{ Crosspoint}) \end{cases} \quad (4)$$

となる。以上の式を用いることで、EBMA 方式のアクセス衝突確率を求めることができる。

5.4 CCS 方式のアクセス衝突確率評価モデル

CCS 方式におけるアクセス衝突は複数のポートから同一メモリブロック内の同一バンクへアクセス要求がある場合に起きる。つまり、下位階層の 1 ポートメモリブロックにおけるアクセス衝突確率は 0 であり、上位階層の $N \times B$ のクロスバのみを考えればよい。N ポート、M バンク、B メモリブロック、メモリブロックのポート数が 1 の場合、CCS 方式のアクセス衝突確率 $P_{CCS}(N, M, B, 1)$ は式 (2) を用い以下の式 (5) で求められる。

$$P_{CCS}(N, M, B, 1) = 1 - \sum_{n=1}^N p(n, N, B) \quad (5)$$

5.5 CCM 方式のアクセス衝突確率評価モデル

CCM 方式におけるアクセス衝突は、以下の場合に起きる。

- 上位階層のクロスバにおいて、複数のポートから同一のメモリブロックに K 個以上のアクセス要求がある場合。

- 下位階層のクロスバにおいて、上位階層から入力される最大 K 個のアクセス要求が同一のバンクに対するアクセス要求である場合。

よって CCM 方式では、上位階層と下位階層それぞれのアクセス衝突確率を考える必要がある。 N ポート、 M バンク、 B メモリブロック、メモリブロックのポート数が K の場合、CCM 方式のアクセス衝突確率 $P_{CCM}(N, M, B, K)$ は式 (2) を用いて式 (6) で求められる。

$$P_{CCM}(N, M, B, K) = 1 - \left\{ \left(1 - \sum_{n=1}^N p(n, N, B) \right) \cdot \left(1 - \sum_{n=1}^N p(n, K, M) \right) \right\} \quad (6)$$

5.6 ECS 方式のアクセス衝突確率評価モデル

ECS 方式におけるアクセス衝突は以下の場合に起きる。

- 上位階層の EBSF 内部でアクセス衝突が発生する場合。

- 同一のメモリブロックに対して複数のアクセス要求があった場合。

ECS 方式の下位階層は 1 ポートの CBA で構成されるので、CCS 方式と同様に下位階層でアクセス衝突は発生しない。よって、ECS 方式では、上位階層でのアクセス衝突のみを考えればよい。 N ポート、 M バンク、 B メモリブロック、メモリブロックのポート数が 1 の場合、ECS 方式のアクセス衝突確率 $P_{ECS}(N, M, B, 1)$ は式 (4) の EBSF において、任意のポートのアクセス要求が許可され出力される確率 $X^n(x_i)$ と式 (1) の CBA 方式のアクセス衝突確率を用いて式 (7) で求められる。

$$P_{ECS}(N, M, B, 1) = 1 - X^n(x_i) \cdot K \cdot \{1 - P_{CBA}(K, 1)\} \quad (7)$$

5.7 ECM 方式のアクセス衝突確率評価モデル

ECM 方式におけるアクセス衝突は以下の場合に起

きる。

- 上位階層の EBSF 内部でアクセス衝突が発生する場合。

- 同一のメモリブロックに対して複数のアクセス要求があった場合。

- 下位階層の CBA において同一のバンクに対して複数のアクセス要求があった場合。

よって、ECM 方式では上位階層の EBSF と下位階層の CBA のアクセス衝突を考える必要がある。 N ポート、 M バンク、 B メモリブロック、メモリブロックのポート数が K の場合、ECM 方式のアクセス衝突確率 $P_{ECM}(N, M, B, K)$ は式 (4) の EBSF において任意のポートのアクセス要求が許可され出力される確率 $X^n(x_i)$ と式 (1) の CBA 方式のアクセス衝突確率を用いて式 (8) で求められる。

$$P_{ECM}(N, M, B, K) = 1 - X^n(x_i) \cdot K \cdot \{1 - P_{CBA}(K, M)\} \quad (8)$$

6. トランジスタ数の評価モデル

トランジスタ数評価は論理レベルの回路構成に基づいて机上計算し、比較する。本論文で比較対象とする方式は CBA 方式と EBSF のどちらか一つ、または、それらの組合せで実現される。そのため、各方式のトランジスタ数は CBA 方式と EBMA 方式 (EBSF) の回路構成から計算する。紙面の都合上、詳細な回路構成は省略するが CBA 方式は文献 [11], [12] に基づき、EBMA 方式は文献 [1] に基づき計算する。

ここでトランジスタ数を公正に比較するため、メモリのアクセス時間すなわち、メモリに対して同時に読み/書きアクセスを行うことができるデータ量を各方式で同一とする必要がある。本評価では、すべてのポートから同時に各バンクメモリに対してアクセスを行い、アクセスに必要な時間は同一という前提で評価した。ただし、実際のメモリアクセスに必要な遅延時間はトランジスタや配線の配置配線に大きく依存するためここでは考慮しない。

7. 面積の評価モデル

ここでは、4. の評価モデルに対する面積評価モデルについて示す。面積は各構成モデルで SRAM 領域の面積と単体または、組み合わせて用いられるクロスバと EBSF の面積に分けて求め、比較する。ただし、各方式について完成されたレイアウトを行うことは時

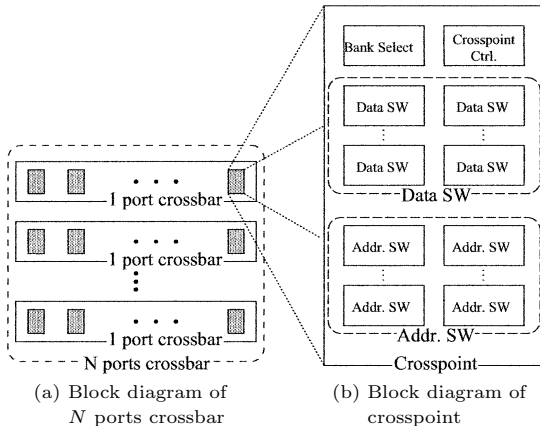


図 11 クロスバの構成図
Fig. 11 Block diagram of crossbar.

間的、労力的に難しい．そのため本論文では、面積をモデル化して各方式を構成するために必要な回路部分とグローバルな配線部分の合計によって面積評価をする．なお、面積の評価は 180 nm CMOS プロセスを用いている．

7.1 SRAM 領域の面積

SRAM 領域は SRAM セルを縦に 4096 個、横に 8192 個並べた容量が 4096 kByte の SRAM として面積を求める．ただし、本来ならばこの SRAM 領域は複数のバンクメモリとして分割し、バンクメモリへの配線面積も考慮する必要があるが、SRAM 領域全体の面積はほぼ SRAM セルの面積で占められるためこのようにする．評価では SRAM 領域の面積を $558.3 \times 10^6 \mu\text{m}^2$ とした．

7.2 クロスバの面積

クロスバの面積は文献 [13] を参考にして求める．図 11 にクロスバの構成モデルを示す．図 11 (a) に示すように、 N ポートのクロスバは 1 ポート分のクロスバを N ポート分用意することで構成する．また、1 ポート分のクロスバを構成するクロスポイントは図 11 (b) に示すクロスポイントと呼ばれるスイッチで構成される．このクロスポイントの大部分はアドレススイッチとデータスイッチで構成される．アドレススイッチは 1 ポート分のクロスバから入力されたアドレスを必要に応じて出力するための単方向のスイッチである．データスイッチについてもほぼ同様であるが、データは双方向に通信できる必要があるので双方向のスイッチで構成されている．また、これらのスイッチを制御するのはクロスポイント制御回路とバンク選

択回路（メモリブロック選択回路）である．各クロスポイントのバンク選択回路（メモリブロック選択回路）は 1 ポート分クロスバに入力されるアドレスをデコードし、クロスポイントをアクティブにするか判断する回路である．クロスポイント制御回路はバンク選択回路（メモリブロック選択回路）によりクロスポイントがアクティブだと判断された場合にアドレススイッチとデータスイッチの開閉、及び、データスイッチの方向制御を行う回路である．

実際には上記の構成でクロスバを構成した場合の面積は文献 [13] の設計例を参考として、以下に示すクロスバ領域の縦と横の長さの積で求めた．

$$\begin{aligned} \text{Width}_{\text{crossbar}}^{W=1} &= \begin{cases} 15.4 M + \alpha & (M \leq 256) \\ 43.1 M + \beta & (M > 256) \end{cases} \quad (9) \end{aligned}$$

$$\begin{aligned} \text{Height}_{\text{crossbar}}^{W=1} &= \begin{cases} 105.0 & (M \leq 256) \\ 101.8 & (M > 256) \end{cases} \quad (10) \end{aligned}$$

式 (9) の $\text{Width}_{\text{crossbar}}^{W=1}$ はデータビット幅 W が 1 ビットの場合におけるクロスバの横方向の幅である．また、式 (10) の $\text{Height}_{\text{crossbar}}^{W=1}$ はデータビット幅 W が 1 ビットの場合におけるクロスバの縦方向の高さである．ここで、 M はクロスバにおけるバンク数（メモリブロック数）であり、式中のパラメータ α 、 β は $\alpha = 21435$ 、 $\beta = 2149$ とした．

7.3 EBSF の面積

EBSF の全体構成は図 3 に示す構成である．ここで、閉そく網の面積評価に関する先行研究を見つけないことができなかったため、本論文では新しく面積見積りモデルを作成し面積評価を行うことにした．本論文では EBSF の面積を EBSF を構成する回路である 2×2 入出力のクロスポイントとそのクロスポイント間をシャッフル接続する配線部分に分けて求める．

図 12 に EBSF のクロスポイントの構成を示す．図 12 に示すように EBSF のクロスポイントはその大部分が 2×2 入出力のアドレススイッチとデータスイッチで構成される．アドレススイッチは前段のクロスポイントから入力される最大二つのアドレスを後段のクロスポイントへ交換出力するための単方向のスイッチである．データスイッチについてもほぼ同様であるが、データは双方向に通信できる必要があるので双

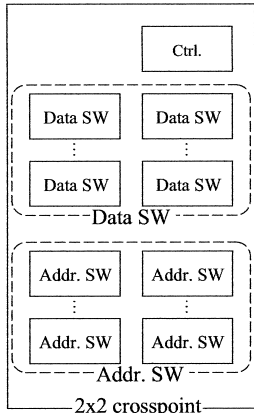


図 12 EBSF のクロスポイントの構成図
Fig. 12 Crosspoint of EBSF.

方向のスイッチで構成されている。また、これらのスイッチの制御は制御回路が行う。各クロスポイントの制御回路は閉そく網の前段から入力される二つのアドレスのデコードと調停処理を行い、各アドレススイッチとデータスイッチの開閉と交換状態を制御する回路である。

まず、実際の面積評価では EBSF のクロスポイントを構成するアドレススイッチ、データスイッチ、及び、制御回路の各回路をレイアウト設計しその面積を求めた。そして必要なアドレスビット幅、データビット幅に応じた各回路の面積の合計を一つの 2×2 スイッチの面積として EBSF 全体のスイッチ面積を求めた。

次に、クロスポイント間をシャッフル接続する配線面積の見積りモデルについて述べる。クロスポイント間の配線はシャッフル接続されるため、そのままの構成の場合、図 13 (a) のように斜めに交差する配線が多く発生する。そこで、図 13 (b) に示すように閉そく網の後段から前段に向かってスイッチの順番を入れ換えることで斜め配線を削減する方法をとり入れた。このような方法で斜め配線を直線的な配線にでき、その数を半減することができる。更に、半減した斜め配線は図 14 (b) に示すようにスイッチ間に縦方向配線を 2 層用いると仮定して面積を求めた。以上から、EBSF の回路部分の面積 $A_{crosspoint}$ と配線部分 A_{wire} の面積は M をバンク数 (メモリブロック数)、 K を EBSF の網の数として以下の式を用いて求めた。

$$A_{EBSF} = A_{crosspoint} \cdot \log_2 M \cdot \frac{MK}{2} \quad (11)$$

$$A_{wire} = (\log_2 M + 3 + W) \cdot \frac{MK}{2} \cdot \frac{1}{2}$$

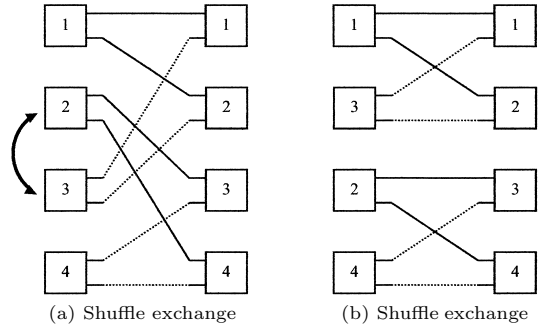


図 13 EBSF のシャッフル配線における斜め配線削減手法
Fig. 13 Method of reducing diagonal wiring in shuffle exchange of EBSF.

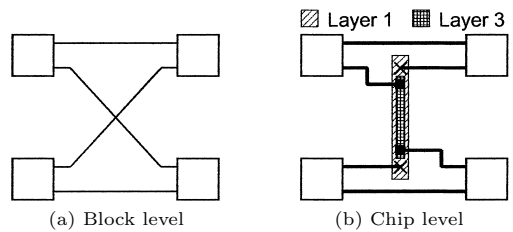


図 14 斜め配線のレイアウト
Fig. 14 Layout of diagonal wiring.

$$\cdot height_{crosspoint} \cdot pitch \quad (12)$$

ただし、式 (11) と式 (12) の $A_{crosspoint}$ 、 $height_{crosspoint}$ は式 (13) と式 (14) を用いた。

$$A_{crosspoint} = 98.6(\log_2 M + 3) + 253.4W + 250.5 \quad (13)$$

$$height_{crosspoint} = \{5.6(\log_2 M + 3) + 14.4W + 25.6\} \frac{MK}{2} \quad (14)$$

8. 評価

ここでは、4.~7. で述べた評価モデルを用いた評価結果を示すことで、ハードウェア量当りのアクセスバンド幅が高くなるバンク型マルチポートメモリの階層構造化方式を明らかにする。評価に用いる固定パラメータとしてポート数 128、総メモリバンク数 4096、総メモリ容量 4096 kByte、閉そく網を使った構成モデルにおける EBSF の網の数 $K = 8$ を用い、メモリブロック数は可変の構成パラメータとした。

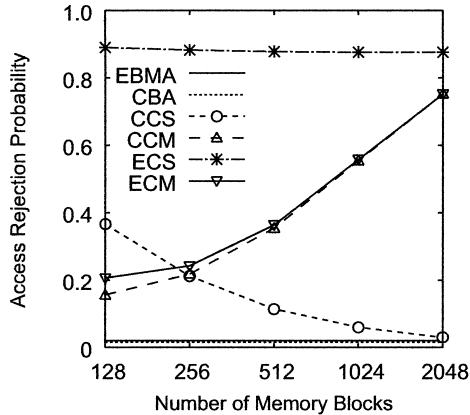


図 15 メモリブロック数に対するアクセス衝突確率(ポート数 128, バンク数 4096, メモリ総容量 4096 kByte)
Fig. 15 Number of memory blocks vs. access rejection probability (128 ports, 4096 banks, 4096 kbyte, $K=8$).

はじめに, トランジスタ数と面積の評価を各構成モデルで公平に行うためアクセス衝突確率の評価を行い各構成モデルでアクセス衝突確率がほぼ等しくなる構成パラメータを決める. その後, このパラメータで構成した各構成モデルのトランジスタ数と面積の評価結果を示す.

8.1 アクセス衝突確率の評価

各構成モデルのアクセス衝突確率の結果を示し, トランジスタ数と面積の評価で用いるメモリブロック数を決定する. 図 15 はポート数 128, バンク数 4096, メモリ総容量 4096 kByte, EBSF を用いた場合の網の数 K を $K=8$ に固定した場合におけるメモリブロック数に対する各方式のアクセス衝突確率の変化である. 図 15 の横軸は階層構造化したメモリにおけるメモリブロック数, 縦軸はアクセス衝突確率である. 図 15 から分かるように, 階層構造化したバンク型マルチポートメモリのメモリブロック数(下位階層の数)が 256 の場合, CCS 方式, CCM 方式, ECM 方式のアクセス衝突はほぼ等しくなる.

この結果から, 次節で示すトランジスタ数と面積の評価はメモリブロック数が 256 の場合について評価する. なお, ECS 方式のアクセス衝突確率は他と比べ高い値になる. そのため, 以降のトランジスタ数と面積の評価において ECS 方式の結果には触れない.

8.2 トランジスタ数の評価結果

図 16 にポート数 128, バンク数 4096, メモリ総容量 4096 kByte, データビット幅 1 ビット, 閉そく網の

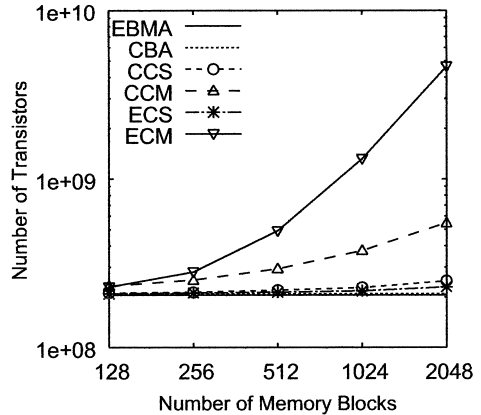


図 16 メモリブロック数に対するトランジスタ数(ポート数 128, バンク数 4096, メモリ総容量 4096 kByte, データビット幅 1)
Fig. 16 Number of memory blocks vs. Number of transistors (128 ports, 4096 banks, 4096 kbyte, $W=1$, $K=8$).

数 K を $K=8$ に固定した場合におけるメモリブロック数に対する各構成モデルのトランジスタ数の変化を示す. 図 16 の縦軸はトランジスタ数, 横軸はメモリブロック数である. なお, CBA 方式と EBMA 方式はメモリブロック数に無関係であるため, 図 16 では図 15 の 256 メモリブロックにおける ECM 方式, CCS 方式, CCM 方式のアクセス衝突確率とほぼ同程度になるバンク数である 256 バンクの場合の結果を示すことで公平なトランジスタ数評価をする.

ここで, 図 15 においてアクセス衝突確率がほぼ等しくなる 256 メモリブロックの場合について注目すると, CCS 方式のトランジスタ数は従来の CBA 方式と EBMA 方式とほぼ同じことが分かる. また, 従来の CBA 方式と EBMA 方式と比べた CCM 方式のトランジスタ数は約 25%増加していることが分かった. 同様に, ECM 方式では約 35%の増加となることが分かった.

このように, 図 16 の結果から階層構造化したバンク型マルチポートメモリのトランジスタ数は従来の CBA 方式や EBMA 方式と比べ同程度, あるいは, 増加することが明らかとなった. しかし, トランジスタ数だけの評価では実際にチップ化した場合の正確な結果については分からない. そのため, 次節では現実的な評価として面積の評価結果について述べる.

8.3 面積の評価結果

図 17 にポート数 128, バンク数 4096, メモリ総容

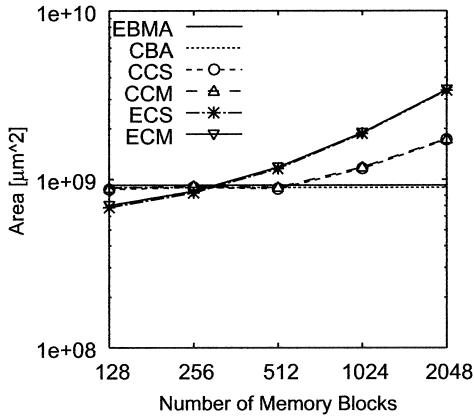


図 17 メモリブロック数に対する面積 (ポート数 128, バンク数 4096, メモリ総容量 4096 kByte, データビット幅 1)

Fig. 17 Number of memory blocks vs. chip size (128 ports, 4096 banks, 4096 kbyte, $W=1$, $K=8$).

量 4096 kByte, データビット幅 1 ビット, EBSF を用いた場合の網の数 K を $K=8$ に固定した場合におけるメモリブロック数に対する各方式の面積変化を示す。図 17 の縦軸は面積, 横軸はメモリブロック数である。なお, CBA 方式と EBMA 方式はメモリブロック数に無関係であるため, 図 17 では図 15 の 256 メモリブロックにおける ECM 方式, CCS 方式, CCM 方式のアクセス衝突確率とほぼ同程度になるバンク数である 256 バンクの場合の結果を示すことで公平な面積評価をする。

図 15 において ECM 方式, CCS 方式, CCM 方式のアクセス衝突確率がほぼ等しくなる 256 メモリブロックの場合について注目すると, ECM 方式の面積はほぼ面積の等しい CBA 方式, EBMA 方式, CCS 方式, CCM 方式と比較して約 5% 小さい面積で実現できることが分かる。ここで, 再び図 15 に注目すると ECM 方式のアクセス衝突確率はメモリブロック数が 128 と 256 の場合でほぼ等しいことが分かる。そこで, 図 17 の 128 メモリブロックにおいて面積の比較をすると, ECM 方式はほぼ面積の等しい CBA 方式, EBMA 方式, CCS 方式, CCM 方式と比較して約 20% 小さい面積で実現できることが分かる。

以上の結果から, 高いアクセスバンド幅と少ないハードウェア量を実現できるバンク型マルチポートメモリの階層構造化手法は ECM 方式であるといえる。

9. むすび

本論文では, 高いアクセスバンド幅と少ないハードウェア量の両立, 及び, オンチップ化に適したバンク型マルチポートメモリの実現方法として, 相互結合網の階層構造化に着目し, 数種類の方法についてハードウェア量当りのアクセス衝突確率を評価した。本論文で行った評価によると, アクセス衝突確率を同一とした場合, 閉そく網の EBSF とクロスバを組み合わせる階層構造化した ECM 方式が従来のバンク型マルチポートメモリ, 及び, その他の相互結合網の組合せで階層構造化したバンク型マルチポートメモリと比較して少ないチップ面積で実現できることが分かった。例えば, ポート数 128, バンク数 4096 (従来型のバンク型マルチポートメモリは 256 バンク), メモリ総容量 4096 kByte, データビット幅 1 ビット, EBSF の網の数 K (一つのメモリブロック当りの入出力ポート数) が 8 の場合, ECM 方式は従来のバンク型マルチポートメモリや ECM 方式以外の階層構造化したバンク型マルチポートメモリと比較して, チップ面積を約 5~20% 小さくできることが分かった。なお, 我々のグループが示したマルチポート SRAM の面積増加に関する文献 [14] を用いてポート数とメモリ総容量が同一のマルチポート SRAM と面積を比較すると, ECM 方式の面積はマルチポート SRAM の 1% 以下となる。遅延時間についてはこの面積差から考えると, ECM 方式の遅延時間はマルチポート SRAM と比較して短いと考えられる。また, 閉そく網の EBSF を用いた ECM 方式は従来のバンク型マルチポートメモリにおいて, バンクメモリをマルチポート化した場合に問題となる多対多割当機能を少ない回路規模で実現することができる利点もある。これらのことから, バンク型マルチポートメモリを階層構造化することで高いアクセスバンド幅と少ないハードウェア量を実現できる方法は閉そく網の EBSF とクロスバメモリを用いる方法であるといえる。今後の展望としては (1) 提案手法のチップ試作 (2) アプリケーションへ応用した場合のアクセスバンド幅評価が挙げられる。

謝辞 本研究は半導体理工学研究センター (STARC) との共同研究 “大きなランダムアクセスバンド幅をもつスーパーコンパクト・マルチポートメモリ, 及びそれを用いたシステム・オン・チップ/パッケージ向け高性能アプリケーション” によるものである。また, 本研究による設計は東京大学大規模集積シ

ステム設計教育研究センターを通し、日本ケイデンス株式会社、株式会社日立製作所の協力で行われたものである。

文 献

- [1] 井上智宏, 佐々木敬泰, 弘中哲夫, 小出哲士, マタウシュ ハンス ユルゲン, “閉塞網を用いたオンチップバンク型多ポートメモリの検討と回路規模評価” 信学論 (A), vol.J88-A, no.4, pp.498-510, April 2005.
- [2] H.J. Mattausch, “Hierarchical N-port memory architecture based on 1-port memory cells,” Proc. 23rd European Solid-State Circuits Conference (ESSCIRC’97), pp.348-351, 1997.
- [3] 佐々木敬泰, 井上智宏, 大森伸彦, 弘中哲夫, マタウシュ ハンス ユルゲン, 小出哲士, “オンチップ・マルチプロセッサ用共有キャッシュの実現方式の検討とその性能面積評価” 信学論 (D-I), vol.J87-D-I, no.3, pp.350-363, March 2004.
- [4] C.P. Kruskal and M. Snir, “The performance of multistage interconnection networks for multiprocessors,” IEEE Trans. Comput., vol.C-32, no.12, pp.1091-1098, Dec. 1983.
- [5] C.L. Wu and M. Lee, “Performance analysis of multistage interconnection network configurations and operations,” IEEE Trans. Comput., vol.41, no.1, pp.18-27, 1992.
- [6] K. Kumar and J.R. Jump, “Performance of unbuffered shuffle-exchange network,” IEEE Trans. Comput., vol.C-35, no.6, pp.573-578, June 1986.
- [7] C.T. Lea, “Multi- $\log_2 N$ networks and their applications in highspeed electronic and photonic switching system,” IEEE Trans. Comput., vol.38, no.10, pp.1740-1749, 1990.
- [8] D.H. Lawrie, “Access and alignment of data in an array processor,” IEEE Trans. Comput., vol.C-24, no.12, pp.173-183, 1975.
- [9] F.A. Tobagi and T. Kwok, “The tandem banyan switching fabric: A simple high-performance fast packet switch,” Proc. IEEE INFOCOM91, pp.1245-1253, 1991.
- [10] 塙 敏博, 天野英晴, “多重出力可能な MIN の性能評価” 情処学論, vol.36, no.7, pp.1630-1639, 1995.
- [11] 深江誠二, 大森伸彦, マタウシュ ハンス ユルゲン, 小出哲士, 井上智宏, 弘中哲夫, “バンク型マルチポートメモリにおける階層構造とクロスバ構造の比較” 信学技報, CAS2002-48, 2002.
- [12] S. Fukae, N. Omori, T. Koide, H.J. Mattausch, T. Inoue, and T. Hironaka, “Optimized bank-based multi-port memories through a hierarchical multi-bank structure,” Proc. SASIMI2003, pp.323-330, 2003.
- [13] 浅生宗隆, 井上智宏, 弘中哲夫, マタウシュ ハンス ユルゲン, 小出哲士, “メモリジェネレータを用いたバンク型マルチポートメモリの速度・面積評価” 信学技報, SDM2004-124, 2004.
- [14] Y. Tatsumi and H.J. Mattausch, “Fast quadratic increase of multiport-storage cell area with port number,” Electron. Lett., vol.35, no.25, pp.2185-2187, 1999.
(平成 17 年 8 月 1 日受付, 18 年 12 月 20 日再受付, 6 月 19 日最終原稿受付)



井上 智宏 (正員)

平 13 宇部工業高等専門学校専攻科了。
平 15 広島市立大学院情報科学研究科博士前期課程了。現在, 同大学院情報科学研究科博士後期課程に在籍。バンク型多ポートメモリの研究に従事。



浅生 宗隆

平 16 広島市大・情報工卒。平 18 同大学院情報科学研究科博士前期課程了。バンク型マルチポートメモリの研究に従事。



弘中 哲夫 (正員)

平 2 九州大学院総合理工学研究科博士前期課程了。平 5 同大学院博士後期課程了。同年, 九州大学工学部情報工学科助手。平 6 広島市立大学情報工学科助教授, 現在に至る。並列処理アーキテクチャ, スーパースカラプロセッサ, バンク型メモリを用いたアーキテクチャに関する研究に従事。情報処理学会, IEEE, ACM 会員。



谷川 一哉 (正員)

平 11 広島市大・情報科学・情報工卒。平 13 同大学院情報科学研究科修士課程了。平 16 同大学院博士後期課程了。同年広島市立大学情報科学部情報工学科助手, 現在に至る。博士(情報工学)。主としてリコンフィギュラブルアーキテクチャ, プロセッサアーキテクチャに関する研究に従事。情報処理学会, IEEE 各会員。



小出 哲士 (正員)

平 2 広島大・工・第二类(電気系)卒.
平 4 同大学院博士課程前期了. 平 4 広島
大・工・助手, 平 11 同・助教授. 平 11 年
4 月東京大学大規模集積システム設計教育
研究センター・助教授. 平 13 年 4 月広島
大・ナノデバイス・システム研究センター・
助教授. 博士(工学). 主としてメモリベースシステムアーキ
テクチャ設計, VLSI CAD, 遺伝的アルゴリズムに関する研究
に従事. 情報処理学会, IEEE, ACM 各会員.



マタウシュ ハンス ユルゲン
(正員)

昭 52 ドイツ・ドルトムント大学修士号
取得. 昭 56 ドイツ・ストット大学博士号
取得. 昭 57 ジーメンス研究所勤務. 平 2
同研究所主幹研究員. 平 8 広島大学ナノデ
バイス・システム研究センター助教授. 平
10 同大学同センター教授. 現在に至る. ナノデバイス, ナノ
テクノロジーのモデリング, アーキテクチャに関する研究に従事.
IEEE 会員.